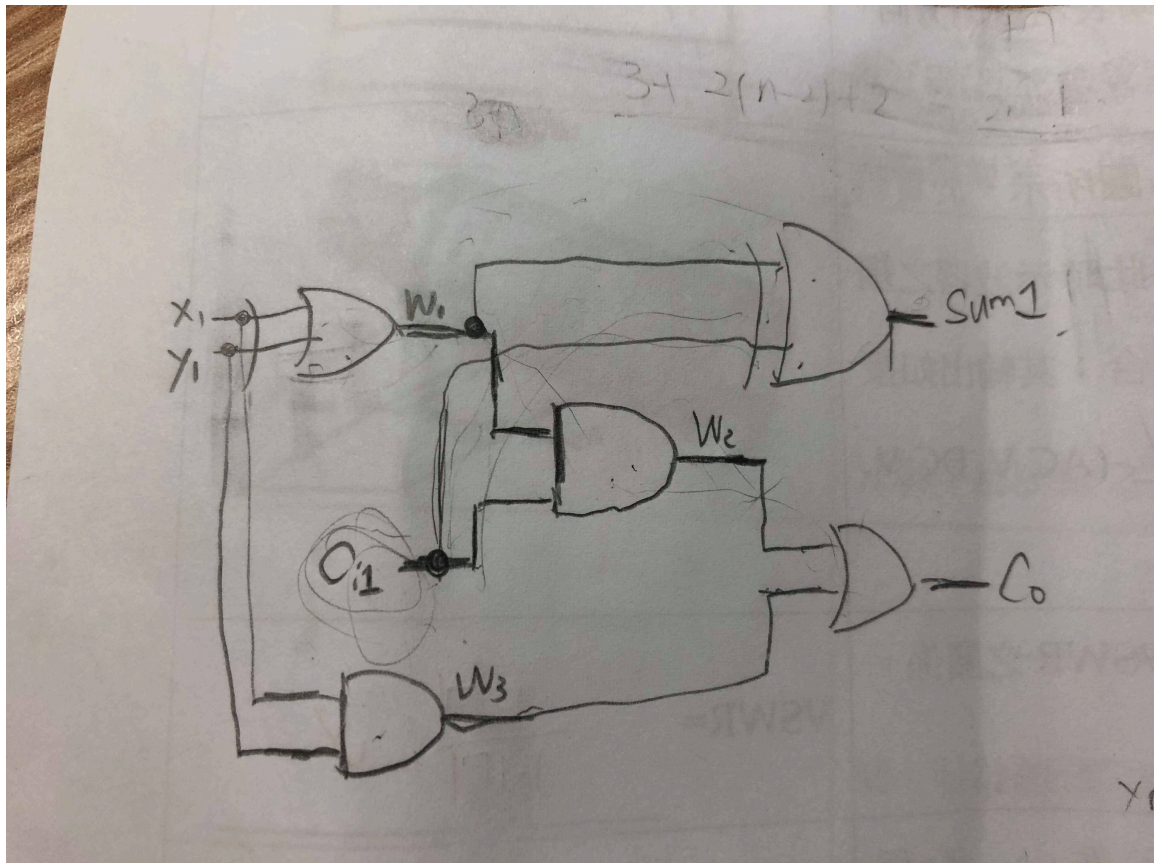


HW1 Report

B04901099 電機三 吳書帆

1.(3)



根據上圖設計形成的 1-bit full-adder，delay 應為 $3+2*(8-2)+2=17\text{ns}$ ，但實測結果 delay 大約為 16ns 。

```
`define CYCLE 16.0
```

```
=====  
===== Congratulation! You Pass! =====  
=====
```

```
Simulation complete via $finish(1) at time 176 NS + 1  
./adder_gate_test.v:75      $finish;  
ncsim> exit
```

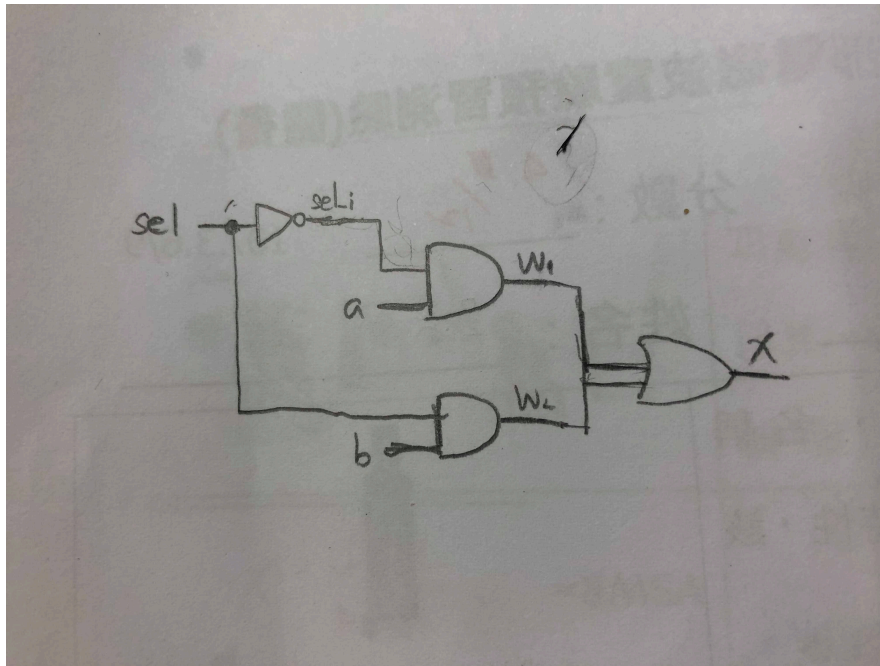
```
`define CYCLE 15.0
```

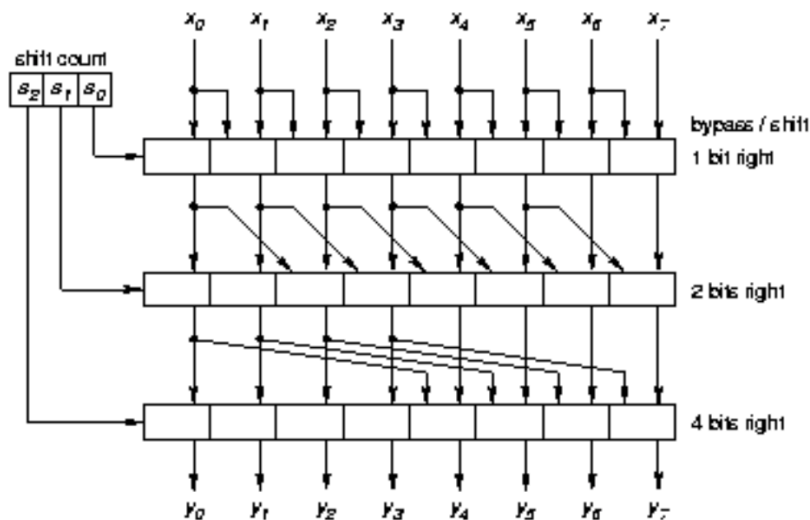
```
=====  
There are          1 errors.  
=====
```

```
Simulation complete via $finish(1) at time 165 NS + 1  
./adder_gate_test.v:75          $finish;  
ncsim> exit
```

推估會產生這個現象的原因為一剛開始給的 C_{in} 為 $1'b0$ ，因此在第一階段 $C_{out} = C_{in} * (A \oplus B) + A * B$ 被簡化成 $C_{out} = 1'b0 + A * B$ ，因此 gate-delay 會比預計的慢約 1ns。

2.(3)





上圖的 8-bit Barrel Shifter 是由 24 個 MUX 所組成。由上上圖推估每個 MUX 的 delay 為 3ns，但在一開始時，shift 的 3 個 bit 分別同時傳入 3 個 mux，因此可得到第一層的 delay 為 3ns 但下面兩層減為 2ns，總共為 7ns，可由下面的測試得到驗證。

```
`define CYCLE 6
```

```
=====

There are          8 errors.

=====

Simulation complete via $finish(1) at time 54 NS + 1
./barrel_gate_test.v:75                $finish;
```

```
`define CYCLE 7
```

```
=====

=====  Congratulation! You Pass!  =====

=====

Simulation complete via $finish(1) at time 63 NS + 1
./barrel_gate_test.v:75                $finish;
ncsim> exit
```

3.(2)

```
`define CYCLE 18
```

```
ncsim> run
An ERROR occurs at no.      10 pattern: Output 111100001 != answer 100000000.

=====

There are      1 errors.
=====

Simulation complete via $finish(1) at time 187 NS + 1
00./asu_gate_test.v:81      $finish;
00ncsim> exit
```

```
`define CYCLE 18.5
```

```
=====

=====  Congratulation! You Pass!  =====

=====

Simulation complete via $finish(1) at time 198 NS + 1
./asu_gate_test.v:81      $finish;
ncsim> exit
```

首先先由 1.(3),2.(3)的實測結果判斷出 critical path 為 adder_gate 的部分，對照 1.(3)的結果，將原本 adder_gate 的 delay 加上後來加在 mux 上 2.5ns 的 delay 為 18.5ns，與實測結果相符。

3.(3)

```
`define CYCLE 9
```

```

An ERROR occurs at no.      1 pattern: Output 0xxxxxxx != answer 010101010
An ERROR occurs at no.      2 pattern: Output 010101010 != answer 001010100
An ERROR occurs at no.      3 pattern: Output 001010100 != answer 010101000
An ERROR occurs at no.      4 pattern: Output 010101000 != answer 001010000
;

=====

There are          4 errors.
=====

[0:100];
Simulation complete via $finish(1) at time 103400 PS + 1
./asu_gate_test.v:81      $finish;
ncsim> exit0], out);

```

```

`define CYCLE 9.5

=====

==== Congratulation! You Pass!  =====

=====

Simulation complete via $finish(1) at time 104500 PS + 1
./asu_gate_test.v:81      $finish;
ncsim> exit

```

經過優化後的 adder 由於其 delay 已經比 barrel_shifter_gate 還要小了，因此 critical path 轉換至另外一個 module 上，對照 2.(3)的結果，將原本 barrel_shifter_gate 的 delay 加上後來加在 mux 上 2.5ns 的 delay 為 9.5ns，與實測結果相符。優化的部分主要是將原本的 adder 修改成類似 Carry Look Ahead Adder 的概念，利用事先將每個 bit 的 Cin 先算好，省下了許多接收前一個 Cin 所需要等待的時間。

3.(4)

舉個例子：

101 左圖為一二進位乘法之直式算式，我們發現當乘數為 1 時，則會產生
x 101 一數使被乘數做 shift 的動作，依照其位數判斷需 shift 幾位，因此透
—— 過 adder-shifter unit 我們可先讓 shifter 先行運作，將每一列的數字存
101 到 Register 裡，最後再將每一列的數字透過 adder 相加，完成乘法。
10100
——
11001