

```
timescale 1ns / 1ps
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 04/18/2021 09:27:17 PM
// Design Name:
// Module Name: Full_Adder
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
```

```
module Full_Adder(
    input A,
    input B,
    input c_in,
    output s,
    output c_out
);
    wire C = ~c_in;
    m4_1e sum (.in({c_in, C, C, c_in}), .sel({A,B}), .e(1), .o(s));
    m4_1e carry (.in({1'b1, c_in, c_in, 1'b0}), .sel({A,B}), .e(1), .o(c_out));
endmodule
```