```
`timescale 1ns / 1ps
//////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 04/26/2021 10:03:00 PM
// Design Name:
// Module Name: edge_detector
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
//////////////////////////////////////////////////////////////////////////////////


module edge_detector(
    input in,
    input clk,
    input out
    );
    wire D, D2;
    FDRE #(.INIT(1'b0) ) Q0 (.C(clk), .CE(1'b1), .D(in), .Q(D));
    FDRE #(.INIT(1'b0) ) Q1 (.C(clk), .CE(1'b1), .D(D), .Q(D2));
    assign out = D & ~D2;
endmodule
```