

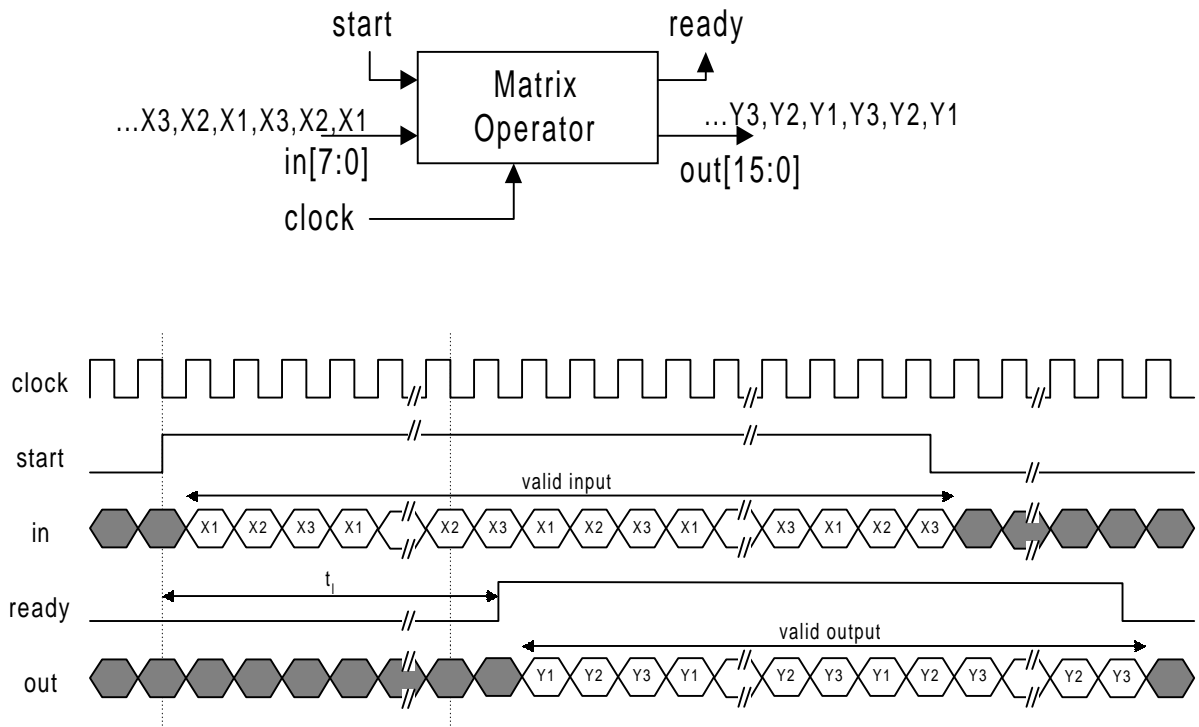
86 學年度大專校院 積體電路設計競賽 研究所 Cell-Based 組競賽題目

一、題目內容

有一資料處理系統，將輸入資料透過矩陣運算方式，轉成另一格式輸出，其轉換矩陣如下所示：

$$\begin{bmatrix} Y1 \\ Y2 \\ Y3 \end{bmatrix} = [A] \begin{bmatrix} X1 \\ X2 \\ X3 \end{bmatrix} = \begin{bmatrix} 95 & 14 & 19 \\ 56 & 64 & -8 \\ -33 & -31 & 64 \end{bmatrix} \begin{bmatrix} X1 \\ X2 \\ X3 \end{bmatrix}$$

其中，輸入訊號 X1 X2 X3 為 2 補數表示之 8-bit signed integer。而輸出訊號 Y1 Y2 Y3 則為 2 補數表示之 16-bit signed integer。[A]為一常數矩陣(上式中之數字為 10 進位)。此資料處理系統的輸出及輸入定義如下圖所示：



- ✦ 輸出及輸入的資料(in, out)均在 clock 的正緣變化。而有效的輸出入資料範圍分別由 start 及 ready 控制，這兩個控制訊號是在 clock 的負緣變化。
- ✦ 當 start 由 0 變 1 後，下一個 clock 的正緣開始為有效資料(valid input)，直到 start 由 1 變 0 為止。輸入資料是以 (X1,X2,X3) 為一組的方式連續送入。
- ✦ 當 ready 由 0 變 1 時，表示輸出資料已經算好，將於下一個 clock 的正緣處開始輸出。其輸出方式也是以 (Y1,Y2,Y3) 為一組的方式連續送出直到 ready 由 1 變 0 為止。

- ✦ t_i 由設計者自訂，但越短越好。
- ✦ clock 的頻率至少為 20MHz。請以最節省面積的方式達到最高的工作頻率。
- ✦ I/O pin name 及 Top cell name 的定義如下：

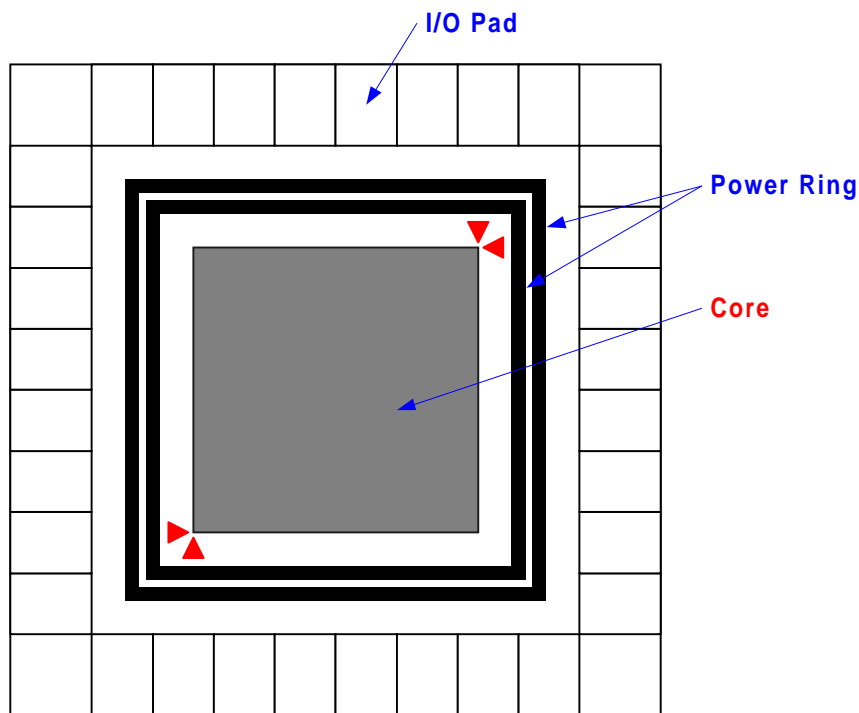
```
module CHIP (out, ready, in, start, clock);
    input    start, clock;
    input[7:0] in;
    output   ready;
    output[15:0] out;

endmodule
```

- ✦ 請使用主辦單位提供的 test bench(**test_bench.v**)進行 verilog simulation。評審亦以此 test bench 為審查依據。simulation clock period 之調整請參考 test bench 檔案中之說明。

二、使用軟體注意事項

- ✦ 請利用 CIC 提供的 COMPASS cell library(**3.0 版之 High-performance cell**)完成設計。
- ✦ 設計者可以從 RTL 著手，經由 Synopsys(3.4b) synthesis 產生 gate-level netlist，再將 netlist 轉入 OPUS 中以 Cadence Cell3(9502)進行 layout placement and routing。也可以直接在 OPUS 中進行 schematic entry、simulation 及 layout placement and routing
- ✦ 佈局驗證(DRC, ERC 及 LVS)請使用 Dracula(Cadence 9502)。
- ✦ Gate level simulation 應包含 **I/O pad**，並請使用 **Verilog linear model**(cb60hp231d.vmd, cb60io420d.vmd)。
- ✦ 為避免主辦單位驗證結果時的困擾，所有電路之輸出、輸入及電源等接腳須與題目指定之名稱相同。
- ✦ 評分標準包含 core area 和 clock period，評分公式請參照參賽手冊。core area 的算法如下圖所示，不包括 pad 及 power ring，只計算 core 部分（自左下角至右上角之方形區域）。



三、繳交設計結果

✦ 請準備以下檔案：

1. Verilog gate level netlist file(請確認包含所有進行 simulations 所需之檔案)。未使用 Synopsys 而直接在 OPUS 中進行 schematic entry 及 simulation 者免交。

2. 設計資料庫(Cadence design library)

完整的設計資料庫(包含 1 個檔案及 1 個目錄)，假設你的 Cadence design library 名稱為 **your_lib**，請到你的 library 所在的目錄下利用以下指令進行壓縮。

```
>tar cvf YourDesign.tar your_lib your_lib.lib
          ↑
        檔案名稱自取
```

3. 佈局檔(GDSII File)

請利用 Cadence 環境中的 stream out 功能將 layout library 轉成 GDSII 的佈局檔。

4. DRC,ERC 及 LVS 驗證結果。(YourDesign.sum, YourDesign.lvs)

5. 如欲說明電路架構及有特殊創意之處，可另外以文字及圖片加以說明。（請存

成 MS-word 檔案或純文字檔案)

- ✦ 請另建一個新目錄，並將以上各項需要繳交的檔案複製到此新目錄下。在此目錄下執行以下指令將所有檔案壓縮並整合為一個檔案：

```
> tar cvf xxxxxxxx.tar *  
      ↑  
      檔案名稱自取  
> compress xxxxxxxx.tar
```

經由以上指令可得到 **xxxxxxx.tar.Z** 的檔案。

- ✦ 文件說明檔(**report.xxx**):

本項檔案係用來說明參賽者繳交的各相關檔案之檔案名稱、使用軟體項目、相關規格及其他說明事項。本項檔案格式由主辦單位提供，請參照隨題目所取回的檔案中的 **report.000** 檔，將相關資料名稱填入檔案中。

- ✦ 請將最後壓縮整合的檔案(**xxxxxxx.tar.Z**)以及文件說明檔(**report.xxx**)使用 binary 模式利用 **icresult** 的帳號及密碼傳送至以下四個傳送網站之一即可。

(請先上傳 **xxxxxxx.tar.Z**，再上傳 **report.xxx**)

1. 台灣大學 : video3.ee.ntu.edu.tw (140.112.20.228)
2. 晶片中心 : ftp.cic.edu.tw (140.126.24.62)
3. 逢甲大學 : virgo.iecs.fcu.edu.tw (140.134.24.9)
4. 成功大學 : cad7.ee.ncku.edu.tw (140.116.156.157)

傳送的目錄為 **inst_cell/**參賽隊號。

- ✦ 各項設計資料檔如需更新時，請重複以上步驟，並另取新的檔名傳送，注意務必更改文件說明檔 **report.xxx** 的相關內容。
- ✦ 文件說明檔的檔名須以 **report** 為檔名開頭，副檔名請以數字依序命名，如 **report.000** 代表原始檔名，**report.001** 代表第一個更新版本，如另有更新，請依此類推。
- ✦ 其他注意事項請參考參賽手冊。