



Práctica 5 - Avanzada

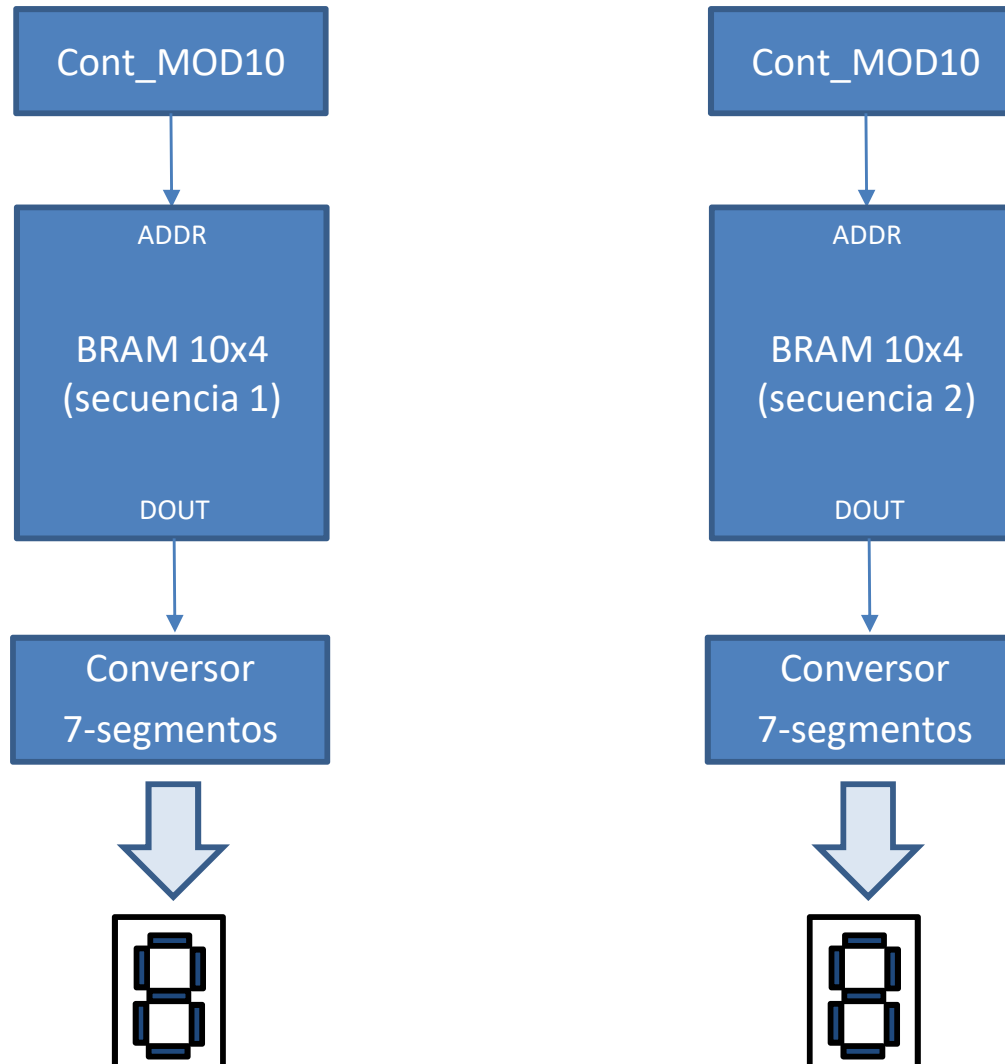
Diseño de un Sistema Algorítmico:
Máquina Tragaperras



Máquina Tragaperras

- Con la finalidad de modificar la secuencia normal de cuenta, se van a añadir dos memorias BRAM 10x4 que contendrán la traducción del valor del contador a un número de 4 bits (entre 0 y 9).

Implementación





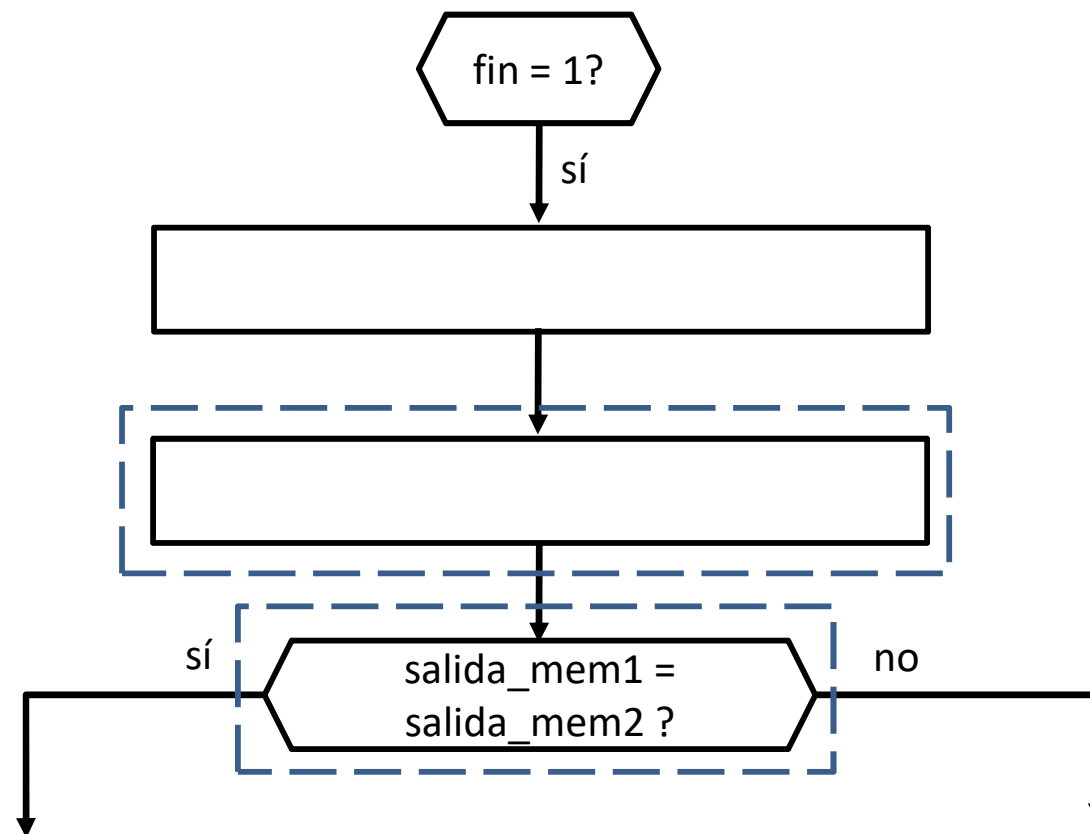
Implementación

- los dos memorias BRAM funcionarán con un reloj de 100MHz
 - Las memorias estarán siempre leyendo
 - Propuesta → Definir dos memorias en dos ficheros diferentes e instanciarlas en la ruta de datos:
 - 1) `type ram_type is array (15 downto 0) of std_logic_vector (3 downto 0);
signal ram : ram_type := ("0011", "0100", "0001", "1001", "1000", "0010",
"0111", "0110", "0101", "0000", "0000", "0000", "0000", "0000", "0000",
"0000");`
 - 2) `type ram_type is array (15 downto 0) of std_logic_vector (3 downto 0);
signal ram : ram_type := ("0101", "0110", "0111", "1000", "1001", "0000",
"0001", "0010", "0011", "1000", "0000", "0000", "0000", "0000", "0000",
"0000");`
- La comparación para ver si hay premio será la salida de las dos memorias en lugar de la salida de los contadores

Implementación



- Modificación en el diagrama ASM
 - El primer estado de espera es para que los contadores tengan un valor estable (**ya existía**)
 - El segundo estado de espera es para que se produzca la lectura en las memorias (**nuevo**)



Calificación



- Implementación sobre la FPGA (0,5 puntos)