



Práctica 2 - Avanzada

Máquinas de estado finitas

Objetivo



- 1) Modificar el diseño para que el número de intentos sea variable
 - A la vez que se introduce la clave, el usuario introducirá el número de intentos desde 0 a 7 (será necesario almacenarlo en registro)
- 2) Además, cuando el número de intentos llegue a cero, los leds que indican el estado de bloqueado deben quedar parpadeando (apagarse y encenderse cada segundo)

Implementación



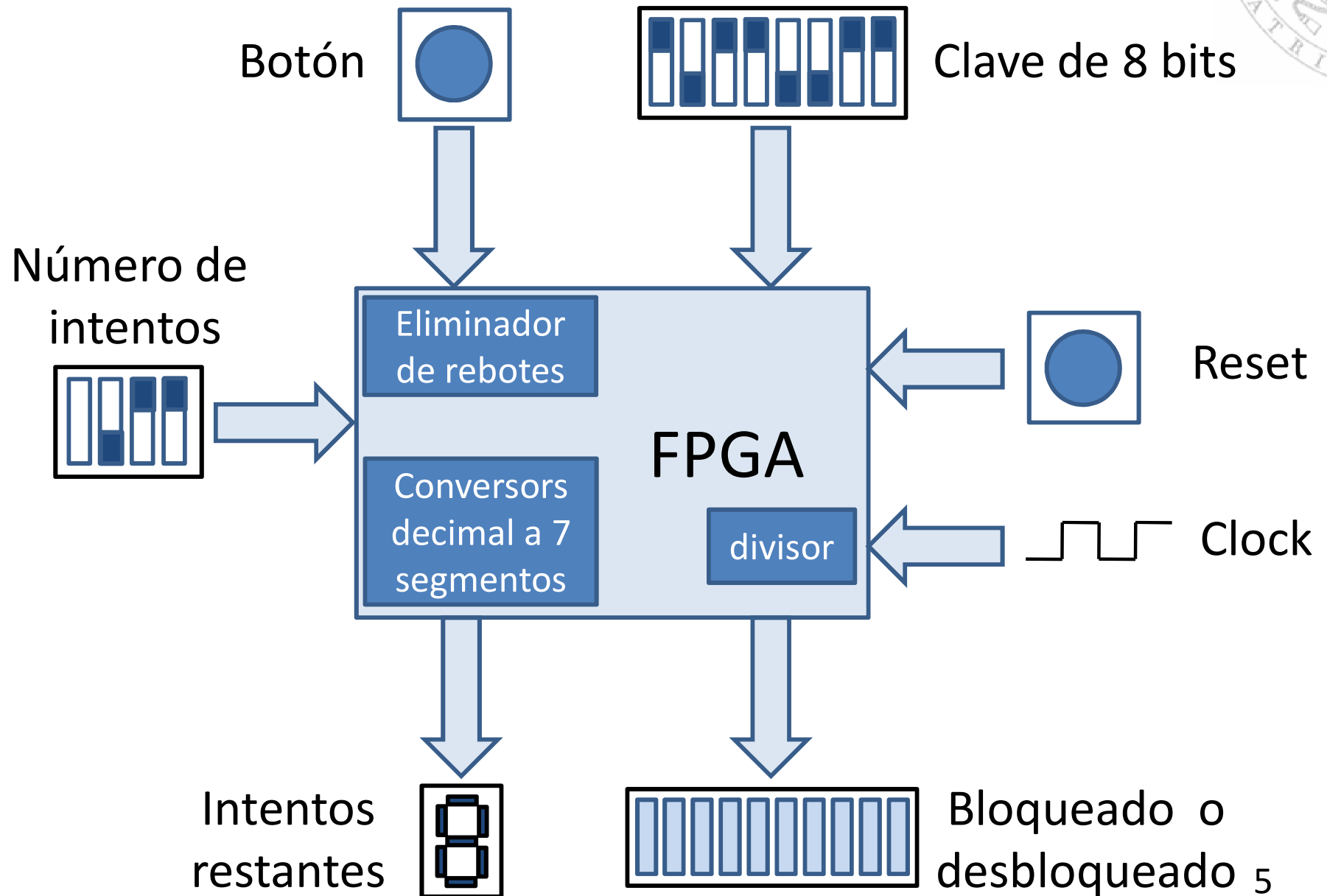
- Restricciones de diseño:
 - Podéis utilizar el divisor de la práctica anterior para generar una señal cuadrada de frecuencia 1Hz a partir de una señal de 100 MHz, pero es obligatorio que el sistema siga funcionando a 100 MHz
 - Para el parpadeo de los leds no se pueden definir dos estados 'final' diferentes



Implementación

- Para introducir la clave de 8 bits utilizaremos el banco de switches de la placa extendida.
- Para introducir el número de intentos utilizaremos el banco de switches superior.
- El botón para almacenar o introducir la clave será un pulsador.
- Para mostrar que el cerrojo se encuentra abierto se encenderán todos los leds del banco de leds, y por el contrario, cuando el cerrojo esté bloqueado el banco de leds estará apagado.
- El número de intentos restantes se mostrará en un display de 7 segmentos.

Implementación



Calificación



- Implementar sobre la FPGA
 - 1) Número de intentos variable (+0.15 puntos)
 - 2) Parpadeo de los leds (+0.05 puntos)