



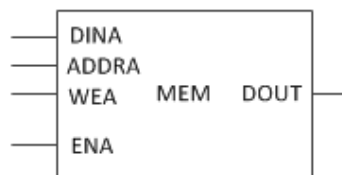
NOMBRE:

GRUPO:

(2.5 puntos) Diseñar la ruta de datos y la unidad de control (diagrama ASM y tabla de salidas) de un sistema algorítmico que dados dos números, A y B (8 bits en C2), almacenados en una memoria RAM, calcule A-B, almacene el resultado en la memoria y lo visualice en el puerto de salida Resultado. Finalmente se activa la señal Fin a 1 y el sistema vuelve al estado inicial. La dirección de memoria donde tiene que guardarse el resultado será la primera dirección a partir de la dirección de B que tenga almacenado un cero. Suponer que siempre hay alguna posición libre.

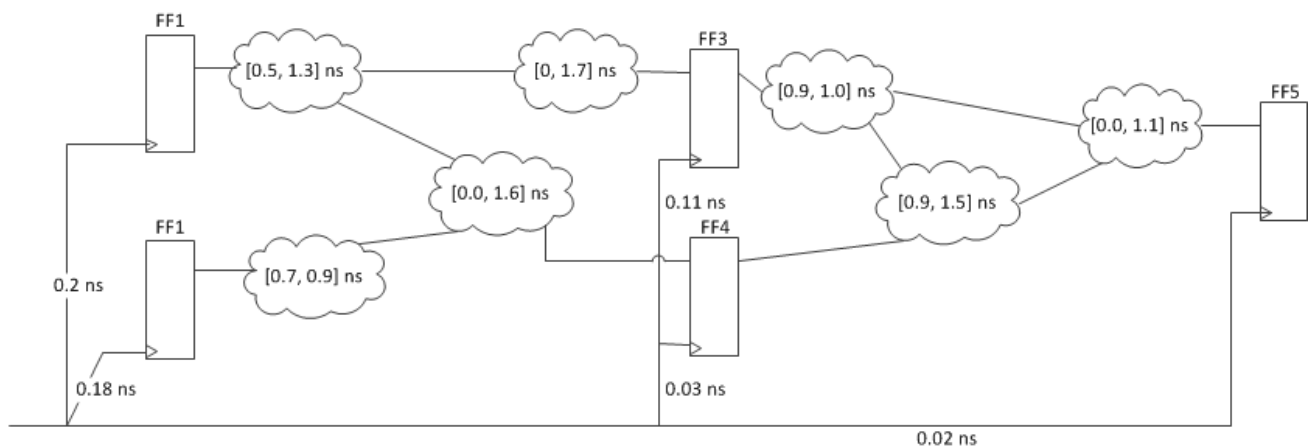
Las entradas del sistema son: Inicio, DirA, DirB (direcciones de memoria de A y B, respectivamente). Las salidas del sistema son: Fin y Resultado. En la ruta de datos se debe usar una memoria SRAM(*) de 128 palabras con un único puerto de lectura/escritura, un único sumador/restador, registros y elementos combinacionales que se consideren necesarios. Se valorará el uso del hardware mínimo.

(*) Puede usarse SRAM síncrona o asíncrona. El alumno deberá especificar el tipo de memoria que haya escogido. Los puertos de la memoria son los que se muestran en la siguiente figura.



(1.5 puntos) En el circuito de la figura los valores que aparecen dentro de cada nube son el retardo mínimo y máximo de la lógica contenida en ellas. Los valores en las líneas de reloj son el retardo de propagación desde la fuente de reloj. El retardo de propagación clk a Q de los registros es 0.12 ns, $T_{\text{setup}} = 0.1$ ns y $T_{\text{hold}} = 0.05$ ns.

- Calcular los márgenes de setup en los registros de destino si la frecuencia de reloj fuese 250 MHz. ¿habrá violaciones de setup o hold en el circuito?
- ¿Cuál sería la frecuencia de reloj máxima a la que podría trabajar este circuito?
- Si la frecuencia de reloj fuese 500 MHz, y con su estructura actual, el circuito tendría violaciones de setup. Modificar el diseño para que sea capaz de trabajar a 500 MHz y calcular los márgenes de setup para el nuevo diseño. **Nota:** No se conoce la estructura lógica de las nubes y por tanto la solución no puede ser proponer modificar su estructura.

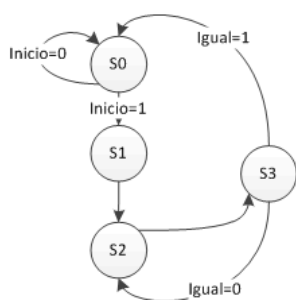


(1.5 puntos) Diseñar una red iterativa 2D de $n \times n$ celdas que tenga n salidas z (una por cada fila). La salida z de cada fila será '1' si en la fila correspondiente la secuencia "11" sólo ha aparecido una vez. La información deberá transmitirse de arriba abajo y de derecha a izquierda, y la salida se generará en la celda situada en el extremo izquierdo de cada fila.

- Diseñar la celda básica y la última celda.
- Modificar la red para que la salida z de cada fila sea 1 cuando dicha fila y la superior cumplan la condición de que la secuencia "11" sólo ha aparecido una vez en cada una de las filas. Nota: el diseño de todas las celdas de la red no tiene porqué ser igual.

(1.5 puntos) Dada la ruta de datos y la especificación de la unidad de control, completar el cronograma para las señales que se indican. El registro Addr es un contador hacia arriba con carga paralela. El registro cntr es un contador hacia abajo con carga paralela. La memoria es una memoria SRAM síncrona. El circuito “=0” es un comparador con el vector 0000. Indicar los valores de los registros en formato hexadecimal.

	cntr_ld	cntr_en	addr_ld	addr_en	suma_ld	suma_mux	WEA	FIN
S0	0	0	0	0	0	0	0	1
S1	1	0	1	0	1	0	0	0
S2	0	1	0	0	0	0	0	0
S3	0	0	0	1	1	1	0	0



Dir	Val
0x0	0x0
0x1	0x1
0x2	0x2
0x3	0x3
0x4	0x4
0x5	0x5

