

第 5 章 运算放大器的设计

5.1 运放结构及指标

由于信号的共模电压在 $0.5V_{DD}$ 左右，综合考虑降低噪声方面考虑，选择 P 型管作为运放的输入管，其结构如图 5.1 所示：其中第一级为 P 型输入的全差分折叠式共源共栅型运算放大器，第二级采用共源结构，电阻 R 和电容 C 分别为密勒补偿中的调零电阻和密勒电容。

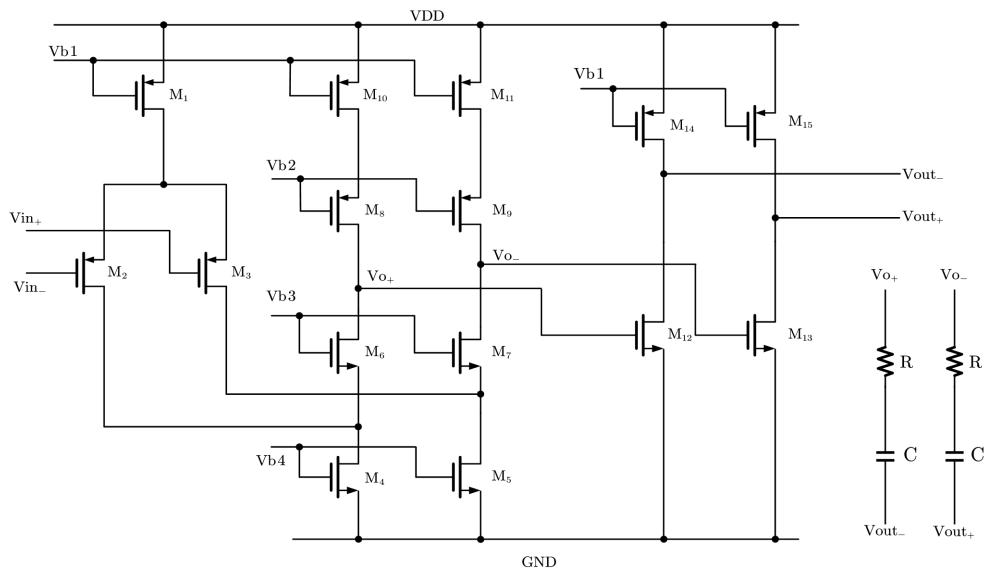


图 5.1 两级运算放大器电路图

由第二章的设计指标分析可知，该两级运放增益需达到 78 dB ，单位增益带宽积需达到 500 MHz ，此外选取负载电容 C_L 为 3 pF 。因此运放设计指标如表 5.1 所示。

表 5.1 运放设计指标

Parameter	Requirement
Gain/ dB	78
Vdd/ V	1.8
Vcm/ V	0.9
GBW/ MHz	500
C_L / pF	3

5.2 基于跨导效率 (g_m/id) 的运放设计方法

在选定电路拓扑结构之后，需要结合电路的指标需求确定器件的尺寸，比如晶体管的宽长比，电阻和电容的大小等。传统的设计方法利用长沟道模型进行手工计算，将计算得到的尺寸代入仿真环境中进行仿真，往往你会发现得到的结果与预期有较大的偏差，这是因为仿真使用的 SPICE 模型更为精确，精度较差的长沟道模型手工计算得到的仿真结果必然与预期存在着鸿沟，因此我们需要一套更为准确的设计方法。基于跨导效率的设计方法使用 SPICE 模型预先仿真得到设计曲线图，将大量通过实际仿真得到的数据保存起来，这些数据都非常精确，避免了手工计算因忽略大量调制因素而带来的越来越大的设计误差。使用的设计方法作为 g_m/id 查找表的约束，可以有效地调整尺寸以满足品质因数。

5.2.1 晶体管的性能指标

一个晶体管的电流转换效率、工作速度和单管最大增益可分别由跨导效率 (g_m/id)、特征频率 (g_m/C_{gs}) 和本征增益 (g_m/g_{ds}) 来衡量。其中，不同的 g_m 对应了所设计的晶体管的频率宽度 f_T ，不同的 id 对应了所设计的晶体管的功耗。对晶体管性能指标的分析，就是如何在一个有限的电流情况下得到最快速的晶体管；同时电流的情况也与噪声有关，也需考虑到电流的大小和噪声的关系。

5.2.1.1 跨导效率

晶体管的跨导效率是一个衡量晶体管在放大信号时性能的参数。它定义为晶体管跨导 g_m 与晶体管漏电流 id 的比值。在理想情况下，提高晶体管的跨导效率意味着在保持相同跨导的情况下可以减少电流消耗，或者在保持相同电流的情况下可以提高跨导，从而提高放大器的性能。代入长沟道模型表达式，有

$$\frac{g_m}{id} = \frac{2}{V_{ov}} \quad (5-1)$$

式 (5-1) 表示，降低晶体管的过驱动电压 V_{ov} 能够提升晶体管的跨导效率，

但是需注意的是，长沟道模型并不准确，且当 V_{ov} 较低时，式 (5-1) 不成立，为保证晶体管的其他性能，跨导效率应保持在合理的范围内。

5.2.1.2 特征频率

特征频率是衡量晶体管高频性能的重要参数，定义为晶体管跨导 g_m 与电容 C_{gs} 的比值，单位是 rad/s，称为特征角频率 ω_T ，其表达式如下：

$$\omega_T = \frac{g_m}{C_{gs}} = \frac{3}{2} \frac{\mu V_{ov}}{L^2}$$

将特征角频率转化为特征频率 f_T ，有

$$f_T = \frac{g_m}{2\pi C_{gs}} = \frac{3}{4\pi} \frac{\mu V_{ov}}{L^2}$$

与跨导效率一样，在给定工艺下，固定长度晶体管的特征频率也由过驱动电压 V_{ov} 决定。设计中往往希望这两个参数都尽可能大来满足高速低功耗的设计。但从表达式可以看出，两者随 V_{ov} 变化的趋势相反，当 V_{ov} 较低时，晶体管的跨导效率较高，即晶体管的功耗低，但此时特征频率较低，引入的电容较大，带宽低，速度慢。 V_{ov} 较高时情况则相反，电路速度快但功耗高。

综合考虑两个参数的影响，将它们相乘，得到

$$\frac{g_m}{id} \frac{g_m}{C_{gs}} = \frac{3\mu}{L^2} \quad (5-2)$$

式 (5-2) 表示，两个参数的乘积由迁移率 μ 及晶体管沟道长度 L 决定，不再与过驱动电压 V_{ov} 有关。所以要进一步提升晶体管的总体性能，希望迁移率 μ 尽可能大，沟道长度 L 尽可能小。

5.2.1.3 本征增益

晶体管的本征增益指负载为无穷大时，由晶体管本身参数产生的增益，单级共源放大器可实现的最大增益就是本征增益：

$$|A_{DC,\max}| = g_m r_o = \frac{g_m}{g_{ds}}$$

代入长沟道模型可进一步得到表达式：

$$|A_{DC,\max}| = g_m r_o \approx \frac{1}{\lambda} \frac{g_m}{id} = \frac{2}{\lambda V_{ov}}$$

式中 λ 为沟道长度调制系数。

5.2.2 测试平台搭建及仿真

在使用 g_m/id 方法之前，我们需要对晶体管进行仿真，并绘制 g_m/id 相关波形：

- f_T (特征频率)- g_m/id
- $g_m r_o$ (本征增益)- g_m/id
- id/W (电流密度) - g_m/id
- $f_T * g_m / id - g_m / id$

其中 $g_m r_o = g_m / g_{ds}$ 、 $id/W = id / VAR("W")$ ，各参数均不依赖于宽长比，且沟道长度确定后，以上参数关系均不受晶体管宽度影响。

5.2.2.1 PMOS 相关曲线绘制

搭建如图 5.2 所示的的仿真电路。

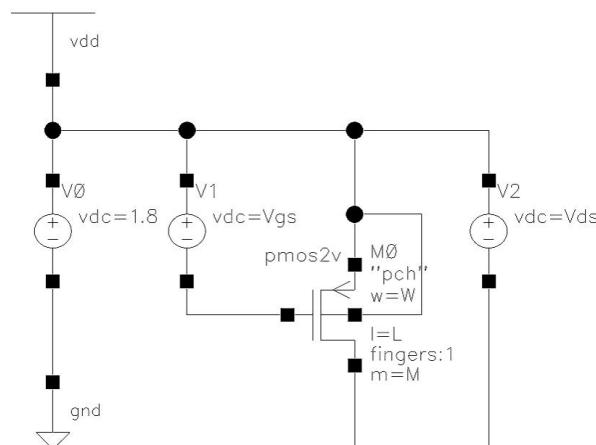


图 5.2 PMOS 测试电路

其中两个信号源分别为理想直流源 vdc，其直流电压参数分别设为 VDS 和 VGS ，PMOS 为工艺库中的 pmos2v，其长度设为 L ，宽度设为 W ，Multiplier 设为 M （晶体管的并联个数）。

打开 ADE Explorer 仿真器，点击“create new view”（若之前已创建，则选择 open existing view）点击 OK。

按图 5.3 所示设置 ADE Explorer，其中 L 为“180n:200n:2 μ ”代表 L 从 180 nm 开始，间隔 200 nm，变化到 2 μm ，可用同样的方法对其他参数进行扫描，此处只展示单个变量。设定晶体管漏源电压 $VDS=VDD/2=900$ mV，通过 DC 仿真扫描 VGS (V_{ov})，提取晶体管的静态工作点。

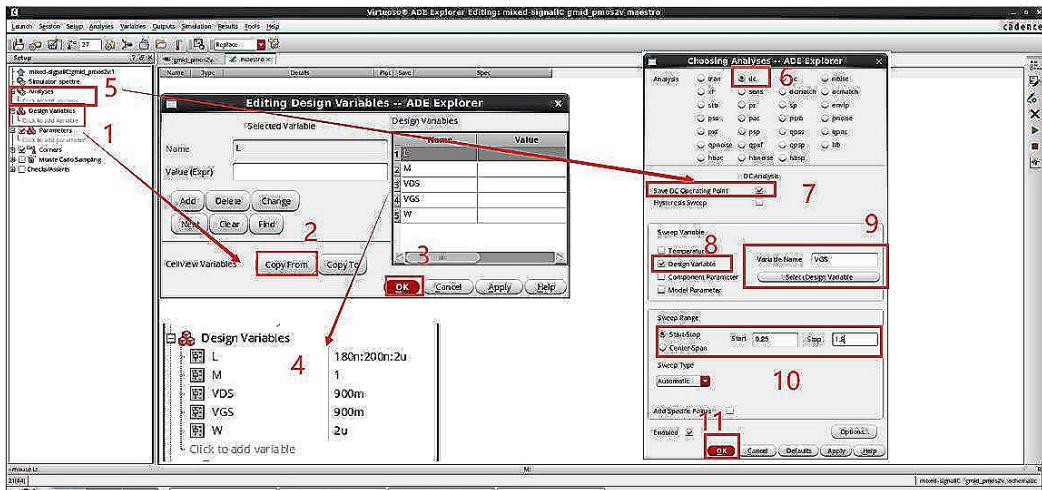


图 5.3 ADE Explorer 设置

设置完成后，先运行一次。待仿真结束后添加相关函数表达式：在 Tools 中打开 calculator，点击 os 进入电路原理图中再点击 pmos2v，可在 list 中选择需要的参数，如 gmoverid（代表 g_m/I_D ）、gm、cg（栅极对地总电容，约为 cgs 的 1.5 倍）、gds、id 等。

接下来开始构建函数关系，以 $f_T * g_m / id - g_m / id$ 函数为例：

1. 在 OS 窗口中选择 gm，接着继续选择 cg，之后点击 calculator 界面中的“/”（对应图 5.5 右图中的第 1 步），此时函数表达式为 OS("/M0","gm") / OS ("/M0","cg")；

2. 将表达式改为 $OS("/M0","gm") / (OS("/M0","cg") * 6.28)$ ，其代表 f_T ，其中所有字符均为键盘输入（对应图 5.5 右图的第 2 步）；
3. 将该表达式存入 Stack 中（对应图 5.5 右图第 3 步）；
4. 删除输入框中的表达式后再 OS 窗口中选择 gmoverid（代表 gm/id）并存入 Stack 中；删除输入框中的表达式后再 Stack 中双击表达式 $OS("/M0","gm") / (OS("/M0","cg") * 6.28)$ （对应图 5.5 右图第 4 步）；
5. 接着双击表达式 $OS("/M0","gmoverid")$ 后点击 calculator 界面中的“**”（对应图 5.5 右图中的第 5 步）；
6. 最后将表达式存入 Stack 中；在 Function Panel 中搜索 WaveVsWave 函数（对应图 5.5 右图中的第 6 步）；
7. 在 WaveVsWave 函数中将 gm/id 选为 x 轴, ft*gm/id 选为 y 轴后点击 OK（对应图 5.5 右图中的第 7 步）；
8. 将最终的表达式发送 ADE 界面（对应图 5.5 右图中的第 8 步）。

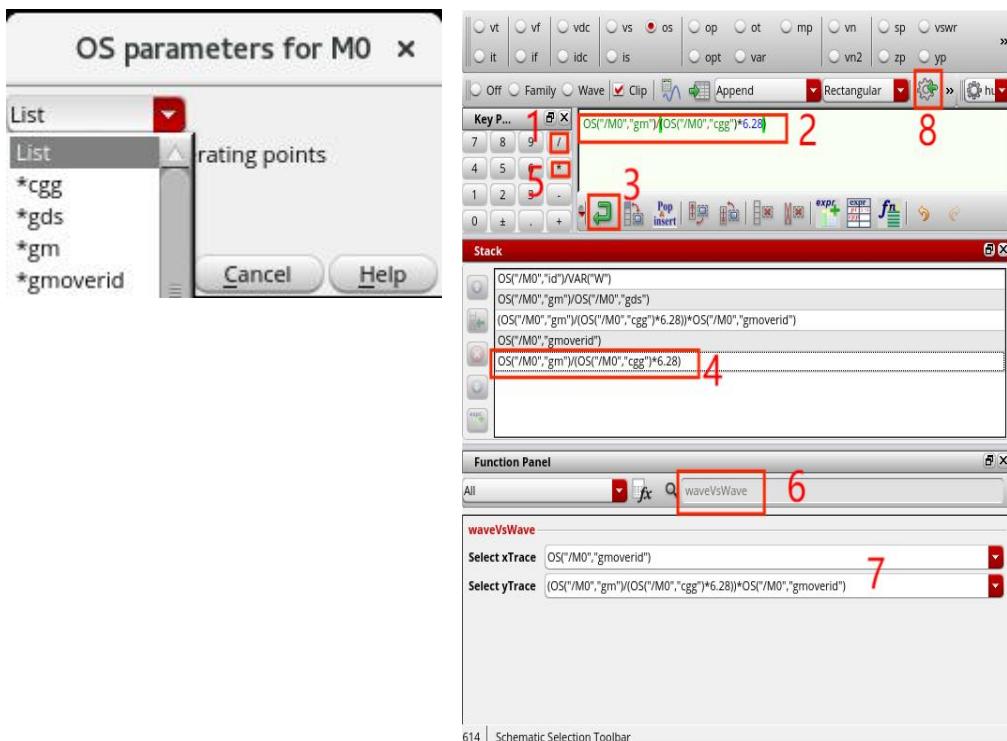


图 5.4 OS 窗口及 calculator 设置

需要添加 $f_T \cdot g_m / id$ 、 $g_m r_o \cdot g_m / id$ 、 $id / W \cdot g_m / id$ 、 $f_T * g_m / id - g_m / id$ 的函数表达式，其中 id / W 的表达式为 $OS("/M0","id") / VAR("W")$ ，它的 $/VAR("W")$ 为键盘手动输入， W 为晶体管设置的宽度变量。变量表达式及其含义如表 5.2 所示。

表 5.2 变量表达式及其含义

变量表达式	含义
$(OS("/M0","gm") / (OS("/M0","cg") * 6.28)) * OS("/M0","gmoverid")$	$ft * gm / id$
$OS("/M0","gmoverid")$	gm / id
$OS("/M0","id") / VAR("W")$	id / W
$OS("/M0","gm") / OS("/M0","gds")$	$gmro$
$OS("/M0","gm") / (OS("/M0","cg") * 6.28)$	ft

所有表达式发送至 ADE Explorer 后如图 5.5 (a) 所示，给在 Name 框中输入对应的函数表达式名称如图 5.5 (b) 所示。

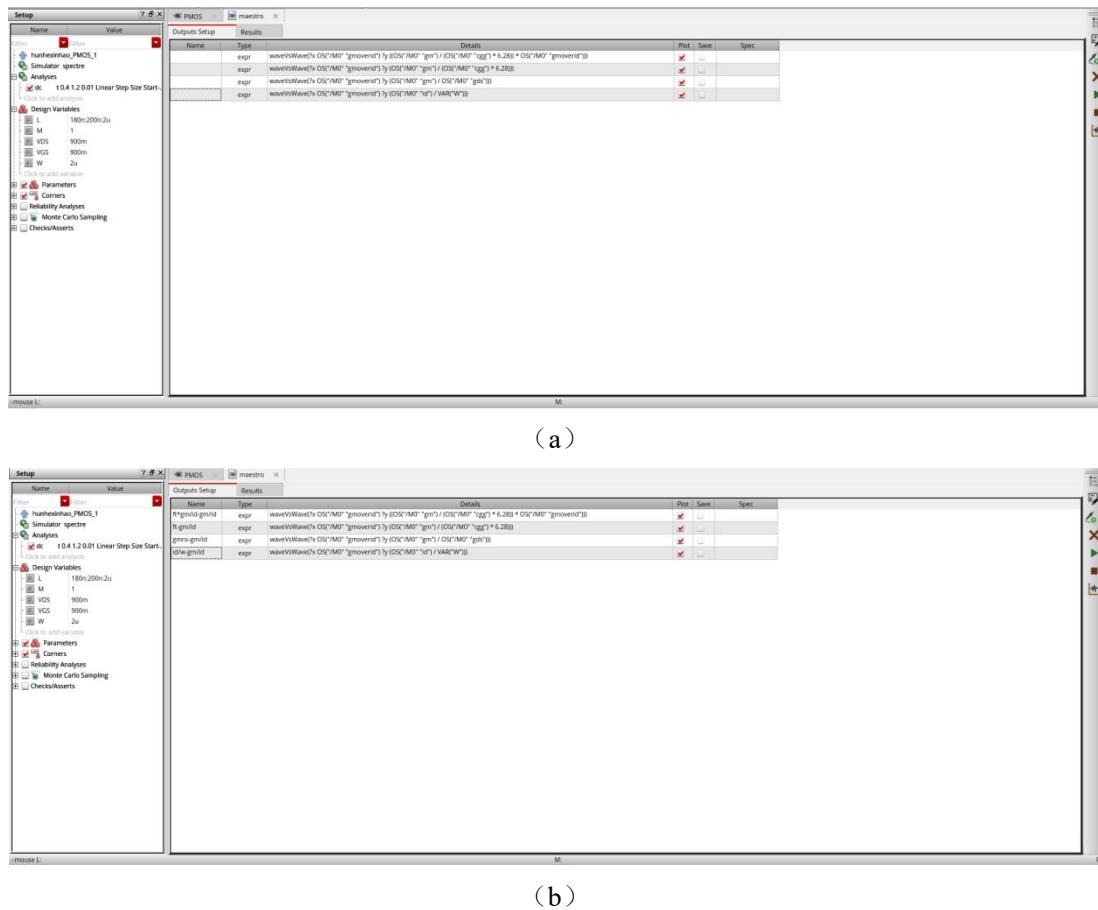


图 5.5 函数表达式命名

运行仿真得到相关波形如图 5.6 所示。

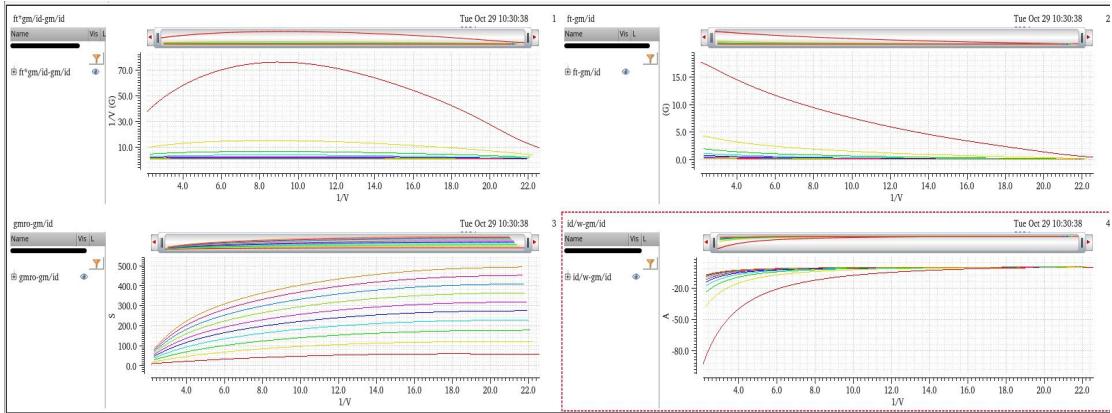
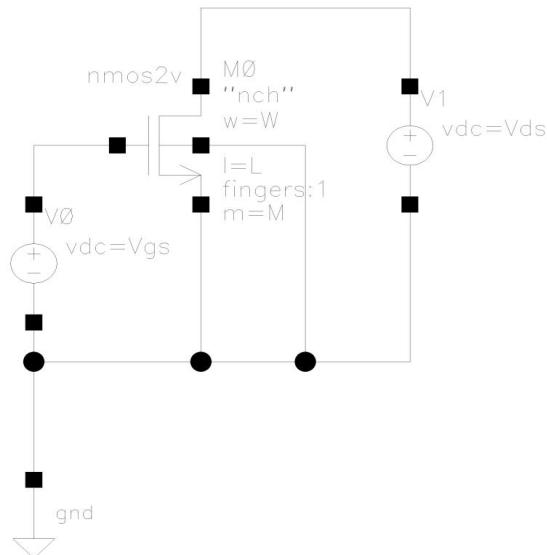


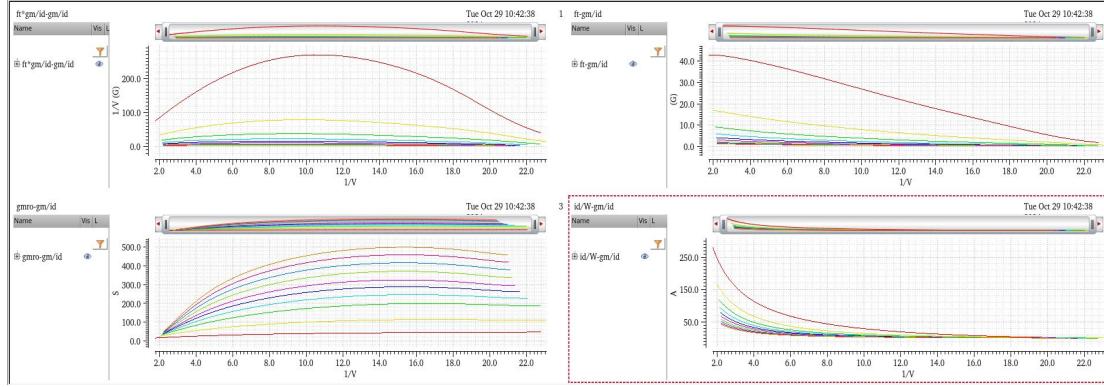
图 5.6 PMOS 的 gm/id 相关波形

5.2.2.2 NMOS 相关曲线绘制

NMOS 的测试电路如上图 5.7 (a) 所示。 g_m/id 相关波形的绘制同样按照上述步骤完成即可，仿真波形如图 5.7 (b) 所示，完成后点击保存。



(a)



(b)

图 5.7 NMOS 测试电路及 gm/id 相关波形

完成 NMOS 和 PMOS 的 g_m/id 相关波形的绘制后即可对该二级运算放大器进行设计了，值得注意的是 W 的值不会改变 g_m/id 相关波形，而 M 的值的不同会导致 g_m/id 的波形发生变化，因此需要根据实际情况扫描不同 M 值的 g_m/id 相关波形。

5.2.3 gm/id 设计方法

在得到上述 g_m/id 相关波形后，将以以上波形为基础进行设计。 g_m/id 方法分为以下五个步骤：

- | | |
|----------------------|-----------------------|
| (1) 确定输入晶体管的跨导 g_m | (2) 选定每个晶体管的 g_m/id |
| (3) 选取晶体管的长度 L | (4) 计算电流 id |
| (5) 计算晶体管的宽度 W | |

下面用 g_m/id 方法开始设计两级运放，两级运放电路图如图 5.8 所示。

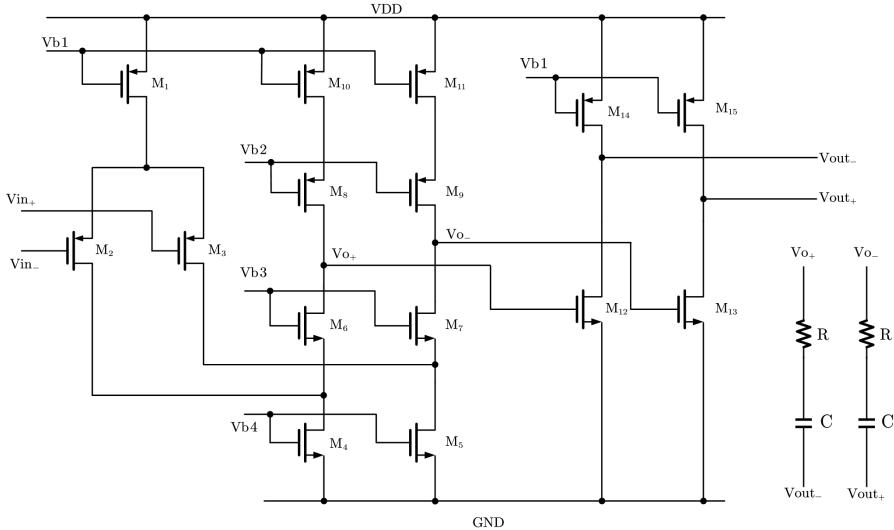


图 5.8 两级运算放大器电路图

5.2.3.1 决定输入晶体管的 gm

输入晶体管的大小与运放的单位增益带宽设计需求有关, 对于第一级输入管有 $g_{m2,3} = 2\pi \times GBW \times C_C$, 通常 C_C 取 0.2~0.3 倍的负载电容 C_L , 由运放指标知道 $GBW=500$ MHz, $C_L=3pF$, 在本设计中取 $C_C=800$ fF, 因此 $g_{m2,3} = 2\pi \times 500 \times 10^6 \times 800 \times 10^{-15} S \approx 2.512mS$, 为保留设计裕度, 我们取 $g_{m2,3} = 3mS$ 。

而对于第二级放大器输入晶体管的 $g_{m12,13}$, 由于第二级会产生第二个极点 f_{nd} , 为了使相位裕度达到一个合适的值, 一般取经验值 $f_{nd} = 3 \times GBW$, 此时极点频率 满 足 如 下 关 系 : $f_{nd} = \frac{g_m}{2\pi C_L} \times \frac{1}{1.3}$, 则 $g_{m12,13} = 2\pi \times C_L \times 1.3 \times 3GBW = 2\pi \times 3 \times 10^{-12} \times 1.3 \times 3 \times 500 \times 10^6 S = 36.75mS$, 我们取 40 mS 进行后续运算。

5.2.3.2 决定晶体管的 gm/id

由 $f_T * g_m/id - g_m/id$ 波形图变化规律可知, g_m/id 在一段区间内保持峰值平稳状态, 这正是选取晶体管 g_m/id 的依据, 在 $0.18 \mu m$ 工艺下, g_m/id 的经验取值范

围为 4~20 之间。

在放大电路中，晶体管主要有两个作用：作为放大管和作为电流源管。不同位置发挥不同作用的晶体管在 g_m/id 取值上有所不同，一般而言作为放大作用的晶体管的 g_m/id 取值大于作为电流源负载时的取值，这是由噪声所导致的。如图 5.9 是晶体管的噪声分析模型，电流噪声为： $\overline{I_n^2} = 4g_m K T \gamma$ ，因为 $4KT$ 为常数且 γ 在一定工艺下为确定值，所以电流噪声正比于晶体管的跨导 g_m ；由输入输出关系能推出输入的电压噪声为： $\overline{V_{in}^2} = \frac{4KT\gamma}{g_m r_o}$ ，从而输入的电压噪声反比于晶体管的跨导 g_m 。由此可见，当晶体管起放大作用时应取较大的 g_m/id 值，而起电流源作用时取较小的 g_m/id 值。

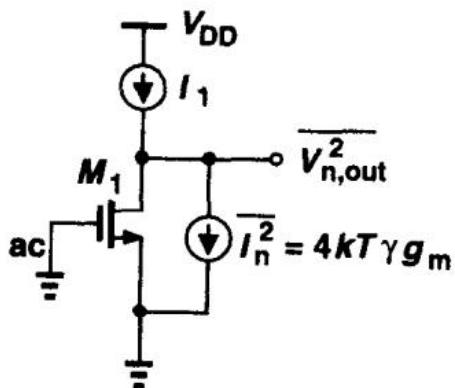


图 5.9 晶体管噪声分析模型

此外，由前文关于跨导效率，特征频率和本征增益的公式可以推出，在一定 V_{ov} 范围内，选取较小的 g_m/id 值会导致特征频率的提升，本征增益的减小，即晶体管的频率特性会更好，速度更快。而选取较大的 g_m/id 值则会使晶体管的本征增益更高，且功耗更低。

本设计中第一级输入管选用 $g_m/id = 13$ ，第二级输入管选用 $g_m/id = 10$ 。对于负载晶体管而言，对于负载晶体管而言，其 $V_{D,sat} = 150mV$ 时效果最好，而当 $V_{D,sat} = 150mV$ 时，NMOS 的 $g_m/id = 10.16$ ，PMOS 的 $g_m/id = 10.76$ ，我们取所有负

载管 $g_m/id = 10$ 。

5.2.3.3 决定晶体管的 L

通过 $f_T - g_m/id$ 曲线和 $g_m r_o - g_m/id$ 曲线随 L 的变化规律可以看出短沟道晶体管会有更高的 f_T ，适于高速设计，而长沟道晶体管有更高的 $g_m r_o$ ，适于高增益设计。我们根据晶体管本征增益的需求来设计 L 值，由前文可知该二级运放增益需求约为 78 dB，可将第一级增益需求设计为 55 dB，二级增益需求为 25 dB。我们根据直流增益的设计需求来分析晶体管本征增益的需求。假设同一级晶体管本征增益相同，有

$$|A_{DC1}| = g_{m3} \{ [g_{m7}r_{o7}(r_{o3}/r_{o5})] / (g_{m9}r_{o9}r_{o11}) \} \approx \frac{1}{3} g_m^2 r_o^2$$

计算得到 55 dB 直流增益对应的第一级晶体管本征增益约为 40。

对于第二级共源极放大器，有

$$|A_{DC2}| = g_{m13}(r_{o13}/r_{o15}) \approx \frac{1}{2} g_m r_o$$

计算得到 25 dB 直流增益对应的第二级晶体管本征增益同样约为 40。

对于 NMOS，无论是放大管还是负载管，我们都取 g_m/id 为 10， g_m/id 为 10 时不同长度 L 下的 $g_m r_o - g_m/id$ 曲线如图 5.10 所示。可以看到 L 值越大，本征增益越大。而 L 等于最小尺寸 180 nm 时 $g_m r_o = 39$ ，几乎满足设计需求，所以我们可选择第二级输入管 L 为 180 nm，其余 NMOS 管 L 值可以稍微大一些，选择 L 为 380 nm。

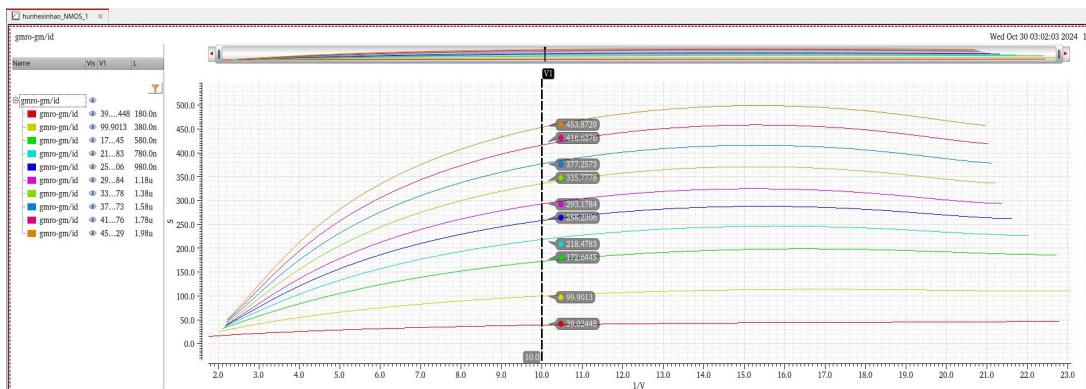


图 5.10 NMOS gmro-gm/id 曲线

对于 PMOS，第一级输入晶体管的 g_m/id 取的 13，其余 PMOS 负载管 g_m/id 为 10。图 5.11 是不同 L 下的 $g_m r_o - g_m/id$ 曲线。从图中可以看出 g_m/id 为 13，L 为 180 nm 时的 $g_m r_o = 54$ 。 g_m/id 为 10，L=180 nm 时 $g_m r_o = 47$ ，均满足 $g_m r_o = 40$ 的设计需求。所以对于第一级输入管仍选择 L 为 180 nm，其余 PMOS 负载管 L 为 380 nm。

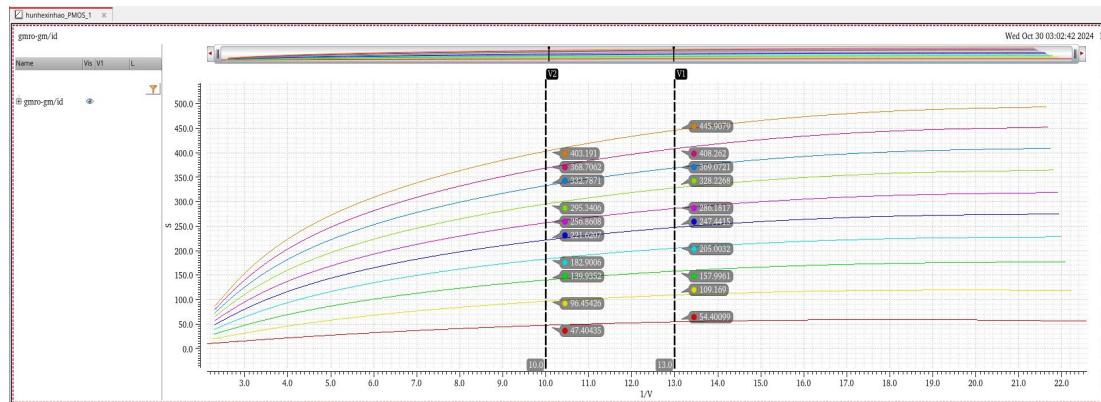


图 5.11 PMOS gmro-gm/id 曲线

若运放最后的增益无法达到要求则可以适当地增加晶体管的长度来提高增益。

5.2.3.4 计算电流 id

在完成前三个步骤后，就可以计算电流了。对于第一级输入管， $g_{m2,3} = 3mS$ ， $g_m/id = 13$ ，电流 $id = \frac{3}{13}mA \approx 230\mu A$ ，对于尾电流管 M_1 流过的电流是 $M_{2,3}$ 的两倍，为 $460\mu A$ ，故 $M_{4,5}$ 电流也取 $460\mu A$ ， M_{6-11} 电流取 $230\mu A$ 。第二级同理， $g_m/id = 10$ ， $g_{m12,13} = 40mS$ ，可计算出电流为 4mA。

5.2.3.5 计算晶体管的宽度 W

晶体管的宽度是由 $id/W - g_m/id$ 曲线计算出来的，通过该曲线找到 g_m/id 值所对应的 id/W 值，再由已知的 id 即可求出 W 。以 $M_{2,3}$ 为例，仿真 $L=180 \text{ nm}$, $M=1$ 时的 $id/W - g_m/id$ 曲线，如图 5.12 (a) 所示。当 $g_m/id = 13$ 时， id/W 为 4.073, $M_{2,3}$ 电流为 $230 \mu\text{A}$ ，故 $W = \frac{230}{4.073} \approx 56.5 \mu\text{m}$ ，由于 $56.5 \mu\text{m}$ 是一个较大的数值，我们将参数 M 改为 8，再进行仿真，仿真结果如图 5.12 (b) 所示。

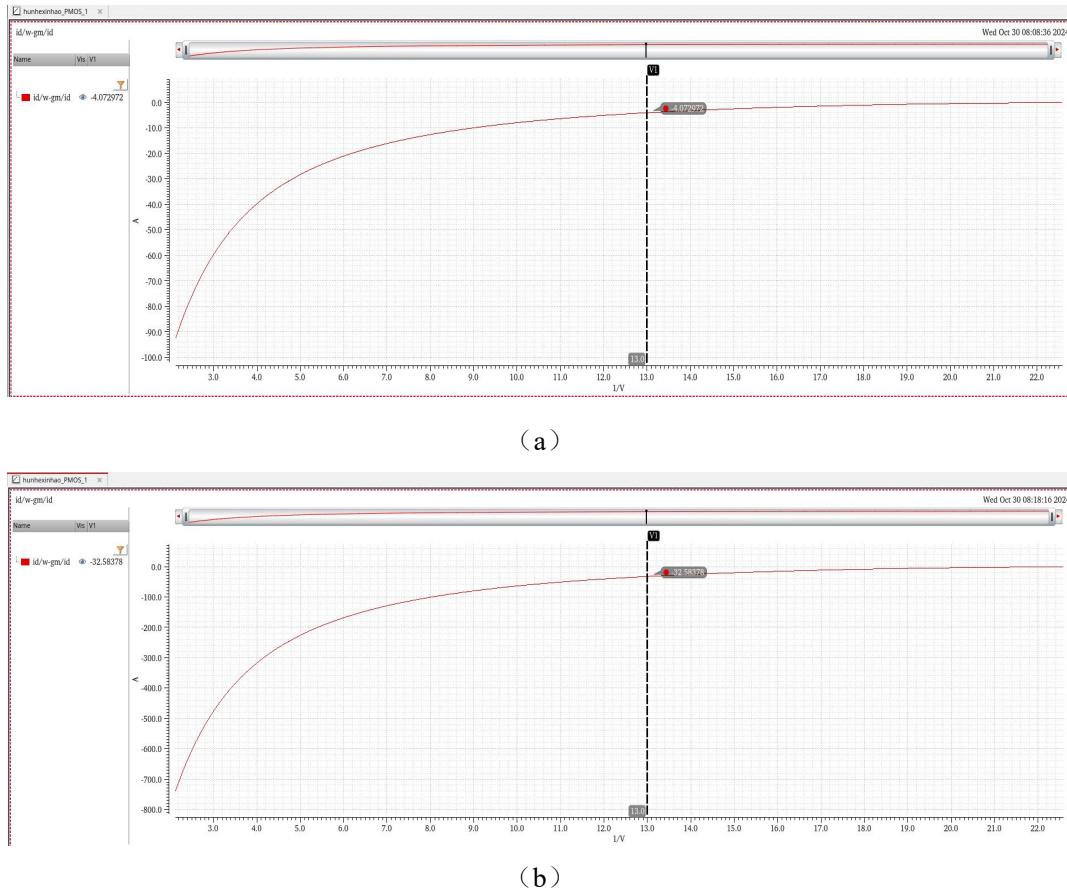


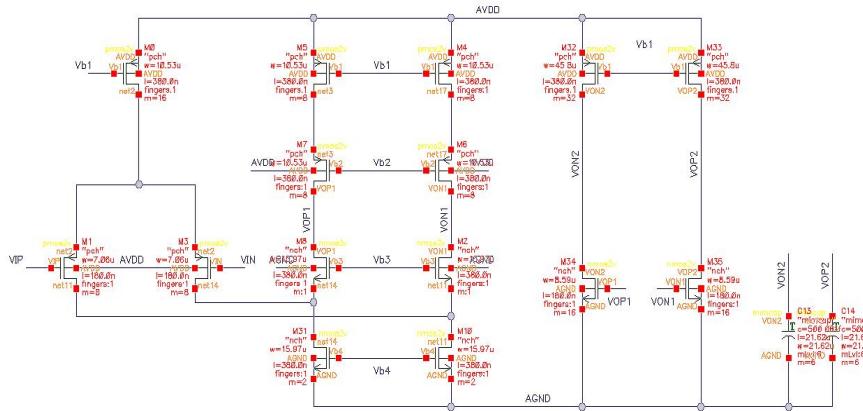
图 5.12 $M_{2,3}$ id/W -gm/id 曲线

将 M 改为 8 后， id/W 为 32.58，可计算出 $W \approx 7.06 \mu\text{m}$ 。按照同样的方法可以求出运放所有晶体管的宽度 W 如表 5.3 所示。

表 5.3 两级运放晶体管尺寸

晶体管	L/nm	$W/\mu m$	M
M_1	380	10.53	16
M_2 、 M_3	180	7.06	8
M_4 、 M_5	380	15.97	2
M_6 、 M_7	380	15.97	1
M_8 、 M_9 、 M_{10} 、 M_{11}	380	10.53	8
M_{12} 、 M_{13}	180	8.59	16
M_{14} 、 M_{15}	380	45.8	32

完成所有晶体管尺寸的计算后即可搭建两级运放原理图，如图 5.13 所示。



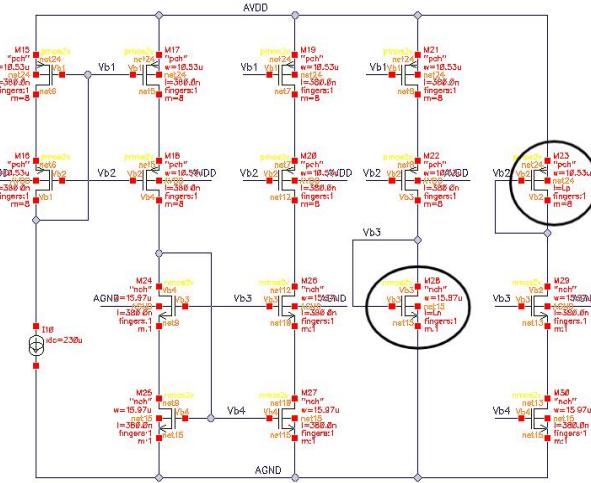


图 5.14 运放偏置电路

偏置电路中所有 PMOS 晶体管的尺寸和运放原理图中的 M_4 相同，所有 NMOS 晶体管的尺寸和 M_2 相同，直流源 idc 设为计算的电流值 $230 \mu\text{A}$ 。在偏置电路中需要调节图 5.14 中圈出来的晶体管的长度使得运算放大器的所有晶体管能工作在饱和区，暂时将 PMOS 的长度设为 L_p , NMOS 的长度设为 L_n 以方便后续调试，这两个参数的值只会改变第一级运放的工作状态，因此第一级运放的尺寸将不会改变。

将电流源 idc 用自偏置电路替换，自偏置电路宽长比与偏置电路一样，通过控制电阻的大小，改变自偏置电路提供的电流大小，本设计中，使电流达到 $230 \mu\text{A}$ 即可，完整的偏置电路如图 5.15 所示。

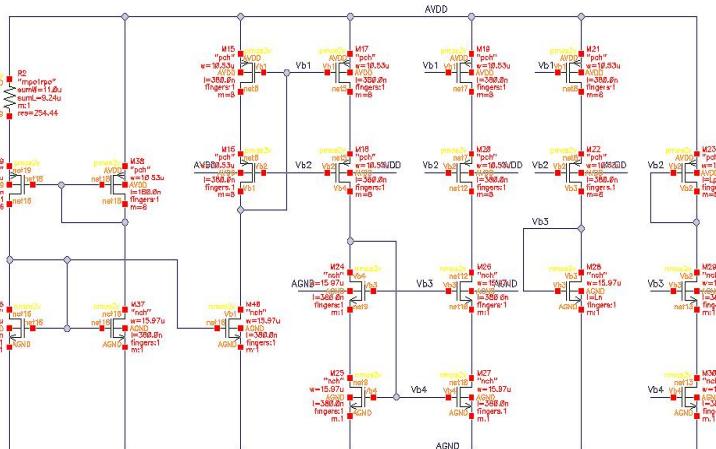


图 5.15 完整偏置电路

5.3.2 共模反馈电路设计

在本设计中我们采用了全差分的电路结构。相比于单端类似电路结构，全差分放大器在提供更大输出摆幅的同时还避免产生镜像极点，所以可以达到很高的闭环速度。但是差动反馈并不能校正输出的共模电平，而且顶部和底部电流源之间存在随机失配，从而会导致共模电平显著的上升或下降，因此就需要引入共模反馈电路来提供一个稳定的共模电平。

常用的共模反馈主要有两种：

- (1) 连续时间共模反馈（电路图如图 5.16 所示）。
- (2) 开关电容共模反馈（电路图如图 5.17 所示）。

运放的输入级对摆幅要求不高，而开关电容共模反馈回路会降低运放内部主极点的位置，从而降低整个运放的 GBW 。相比于开关电容共模反馈，连续时间共模反馈不会引入额外的负载，从而不会增大输入级的功耗。因此，输入级一般采用连续时间共模反馈。尽管连续时间共模反馈不会引入额外的负载，但是连续型共模反馈限制了电路的输出摆幅。为了使运放拥有尽可能宽的输出摆幅，输出级一般采用开关电容共模反馈。

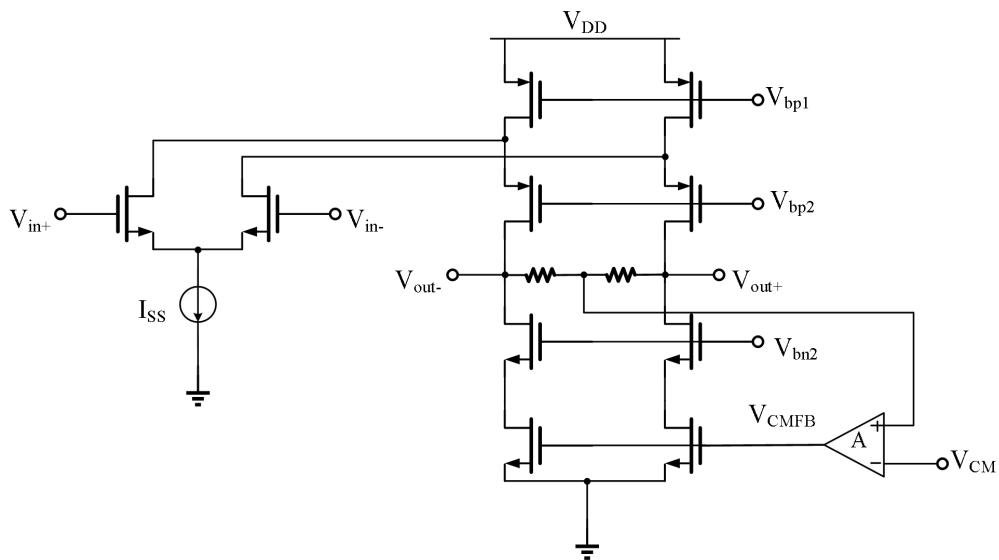


图 5.16 连续时间共模反馈

该运放采用对称开关电容共模反馈电路，电路原理图如图 5.17 所示。

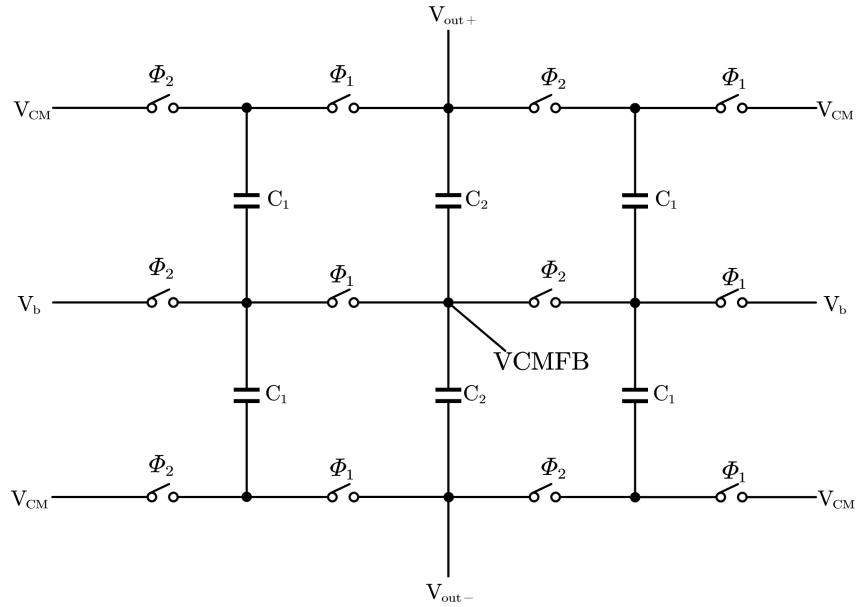


图 5.17 对称开关共模反馈电路

其仿真电路图如图 5.18 所示，开关选用 CMOS 互补开关，电容 $C_1=200 \text{ fF}$, $C_2=10 \text{ fF}$ ，完成电路搭建后还需对该共模反馈电路进行封装以供后续运放使用，封装过程为：保存好电路后在左上角点击 Create-Cellview-From Cellview，之后编辑图形后保存即可。

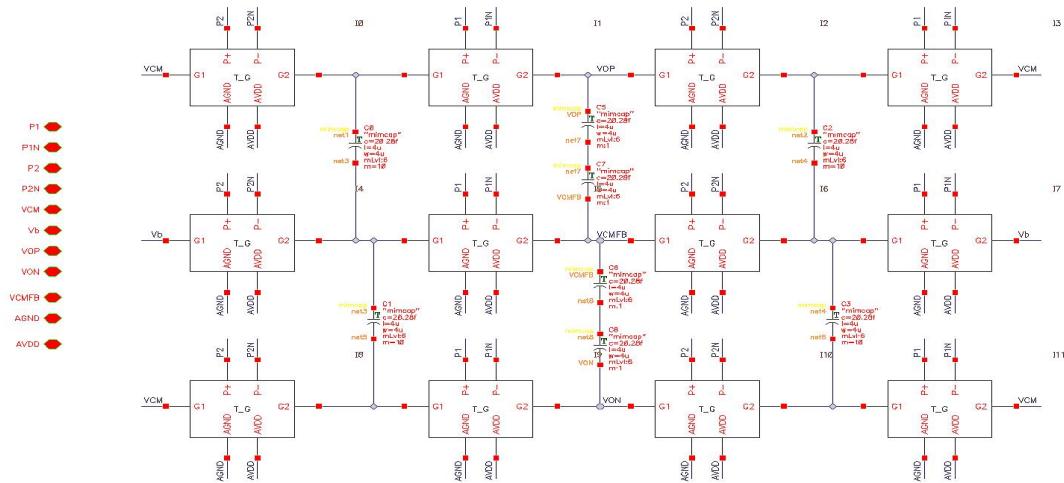


图 5.18 对称开关共模反馈仿真电路图

如图 5.19 所示，将开关电容共模反馈电路 symbol 加入两级运放中给每一级放大器各接一个共模反馈电路，其中 V_{b4} 接共模反馈 $VCMFB1$ ，第二级运放的负载偏置接 $VCMFB2$ 。

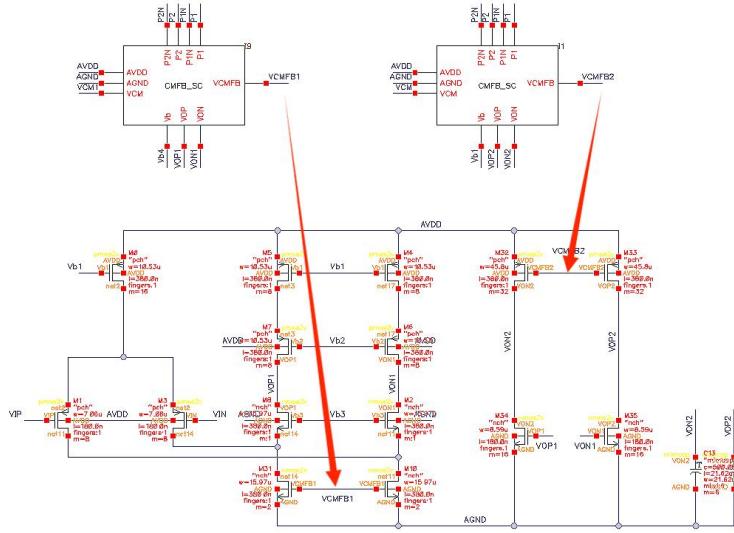


图 5.19 添加共模反馈模块

当在低速（10 MHz 以下）工作时，连续时间共模反馈电路的稳定速度会高于开关电容共模反馈电路。此时，开关电容共模反馈电路环 1 比环 2 的稳定速度慢，因此稳定速度决定于环 1。所以连续时间共模反馈电路的稳定速度会快于开关电容共模反馈电路的稳定速度。当在高速（100 MHz 以上）工作时，开关电容共模反馈电路速度受限于环 2，此环的建立速度和连续时间共模反馈时间相当，但由于存在两个环路和两个建立过程，因此总体来说，会比连续时间共模反馈电路建立速度慢。所以在共模稳定速度方面，连续时间共模反馈电路会更优秀，尤其是在低频电路中。

5.4 密勒补偿

5.4.1 密勒定理

在许多模拟电路和数字电路中存在着一种重要现象与“密勒效应”有关，由密勒以定理的形式做了叙述，密勒定理只适用于阻抗与主通路并联的情况（图 5.20），在这种情况下可以将该两个节点之间的阻抗 Z 等效成两个对应节点对地的阻抗 Z_1 和 Z_2 ，如图 5.21（a）等效为 5.21（b）：

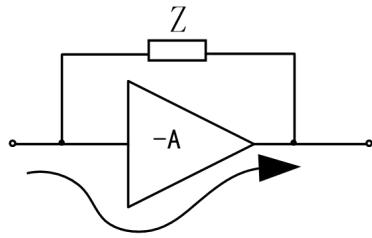


图 5.20 阻抗与主通路并联

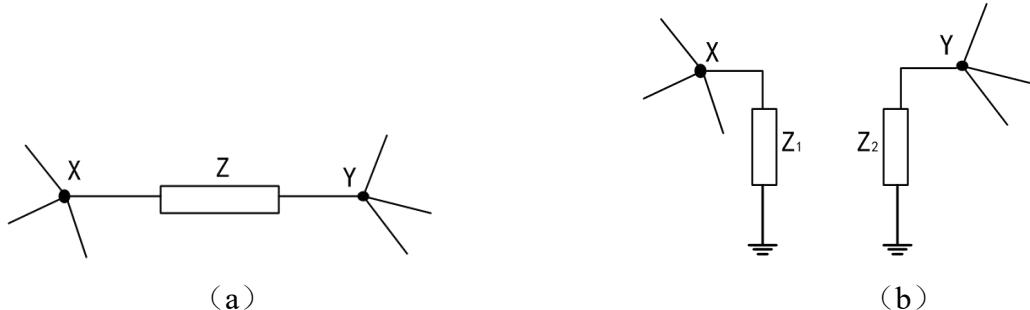


图 5.21 密勒定理示意图

Z_1 、 Z_2 的推导过程如下：

由图 5.21 (a) 得：

$$\frac{V_X - V_Y}{Z} = \frac{V_X}{Z_1} \quad (5-3)$$

$$\frac{V_X - V_Y}{Z} = -\frac{V_Y}{Z_2} \quad (5-4)$$

联立式 5-3 和式 5-4，可以推导出阻抗 Z_1 和 Z_2 的阻值分别为：

$$Z_1 = \frac{Z}{1 - \frac{V_Y}{V_X}} \quad (5-5)$$

$$Z_2 = \frac{Z}{1 - \frac{1}{\frac{V_Y}{V_X}}} \quad (5-6)$$

5.4.2 密勒补偿

在负反馈电路中会出现自激振荡现象，为了使放大电路能够正常稳定工作，必须对放大电路进行频率补偿。单级 OTA 具有一个低频极点，多级 OTA 级联时，

随着级数增加，低频极点个数增加。两级或者多级 OTA 应用在反馈系统中时，因为一个左半平面极点贡献 -90° 相移，多个极点可以使得负反馈变为正反馈，因此需要考虑环路稳定性。即使在两级 OTA 只有两个低频极点而不会有正反馈振荡的情况下，如果相位裕度太小（两极点距离太近），在瞬态单位阶跃输入情况下，输出也会有振荡，稳定需要较长时间。因此也需要保持一个合适的相位裕度，比如大于 60° 。

密勒补偿是一个常用的补偿方法。在第二级输入输出间插入补偿电容 C_C ，通过密勒补偿，第二级输出极点频率增大，而第一级输出极点频率减小。主极点和次主极点被分离，因而相位裕度变大。

两级 OTA 结构中第二级多为简单共源级，忽略寄生的 C_{GD} 电容， $GBW = g_{m1}/C_C$ ，在双极点系统中，相位裕度为 $90^\circ - \arctan\left(\frac{|GBW|}{\omega_2}\right)$ ，若 $\omega_2 = GBW$ ，则相位裕度约为 45° ，此时有 $C_C = g_{m1} C_L / g_{m2}$ 。而实际上，考虑到 ω_2 对闭环 GBW 的影响，密勒电容取值修正为 $C_C = g_{m1} C_L / g_{m2} / \sqrt{2}$ 。运放如果在负载电容 1 pF 的前提下需要 60° 的相位裕度，可令密勒补偿电容 $C_C = 220 \text{ fF}$ 。

5.5 电路仿真与调试

信号源及测试电路如图 5.15 所示。

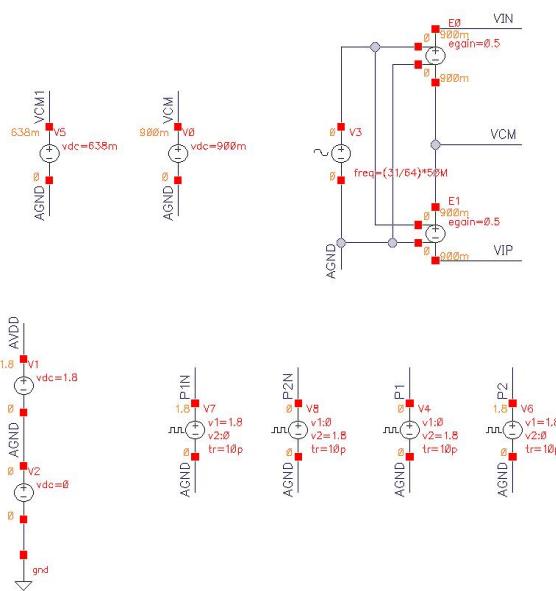


图 5.15 信号源及测试电路

首先对放大器逐级进行 DC 仿真，目的是让两级运放所有晶体管工作在饱和区。

对于第一级放大器，打开仿真器 ADE L，将变量 L_p 、 L_n 添加进仿真器并都设置为 3 u，如图 5.16 所示。其中 w 和 na 是 CMOS 互补开关里 NMOS 的宽和 P、N MOS 宽之比。

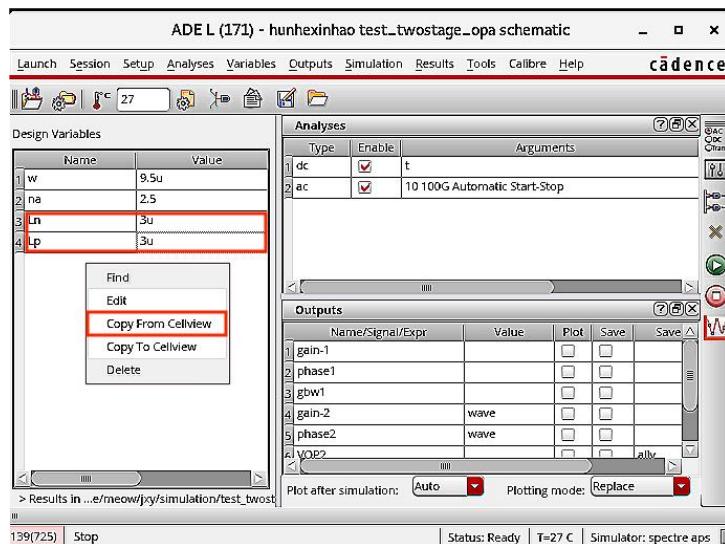


图 5.16 ADE L 设置

添加 ac 和 dc 仿真，其参数如图 5.17 所示。

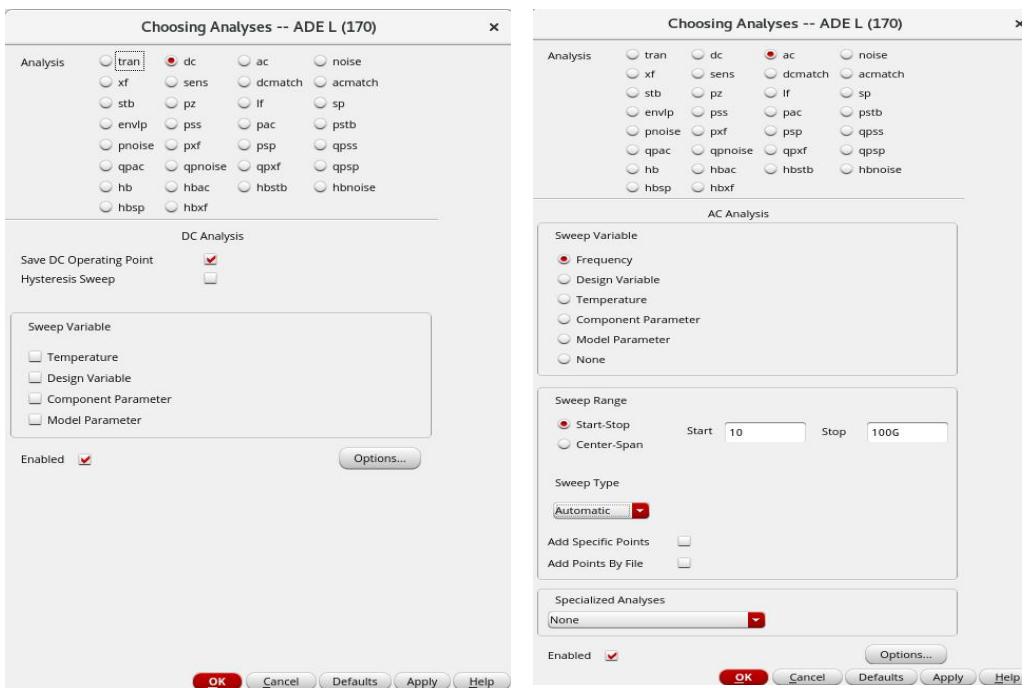


图 5.17 ac、dc 仿真设置

点击“仿真”，待仿真结束后点击“Results”→“Annotate”→“DC Operating Points”查看晶体管的参数，改变 L_p 的参数来调节第一级的输出电压，由于第一级的输出 V_{ON1} , V_{OP1} 的静态电压为第二级驱动管提供 V_{GS} ，所以需要由第二级MOS管的工作状态决定第一级的输出。通过查看第二级输入管的 $v_{GS}-g_m/id$ ，可以看到 g_m/id 为10左右时， V_{GS} 需要638 mV左右的电压，如图5.18所示。

故 V_{ON1} , V_{OP1} 的输出电压应该为638 mV，通过调节 LP 与 LN 来实现。

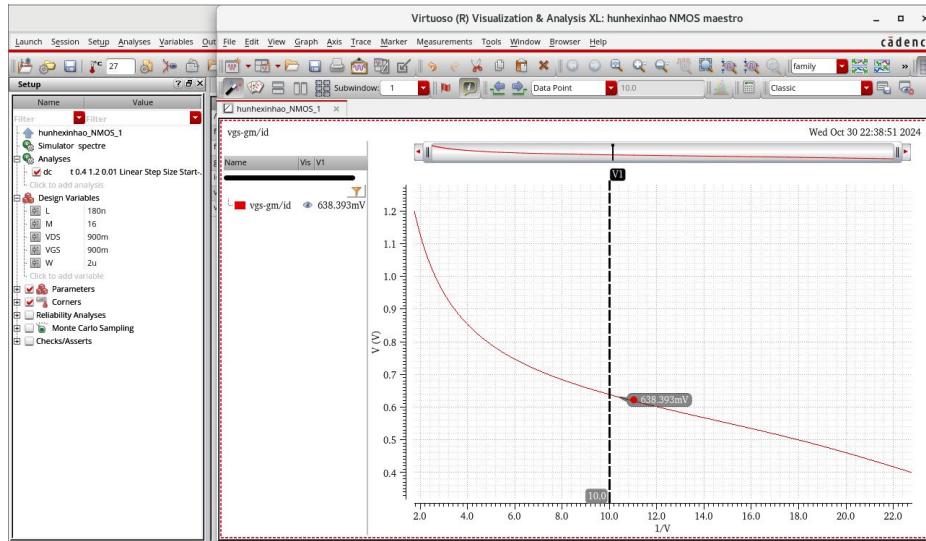


图5.18 第二级输入管 $v_{GS}-g_m/id$ 曲线

调整完成的第一级电路静态工作点如图5.19所示，所有管子均处于饱和区，且输出静态电压为设计的638 mV。

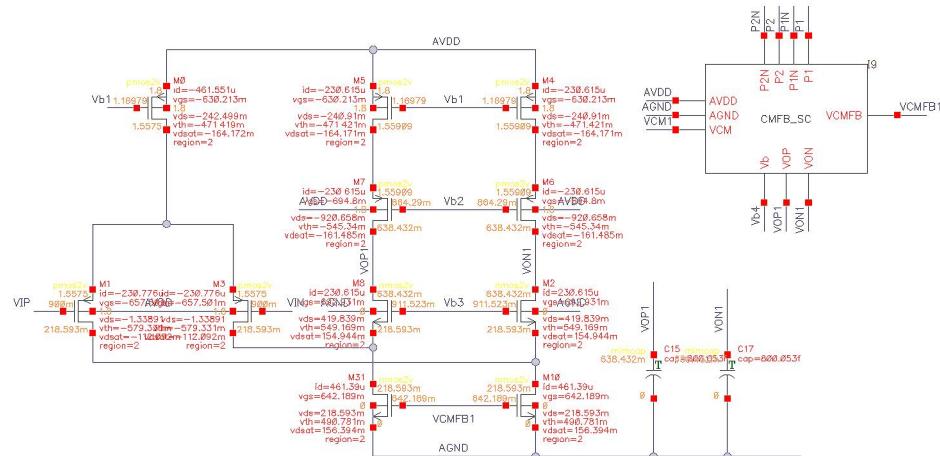


图5.19 一级运放直流工作点

对于第二级运放，由于负载的偏置电压直接用的第一级负载电压 V_{b1} ，因此需要调节二级运放的负载晶体管尺寸，使得第二级电路的直流工作输出电压为 900 mV 左右。将第二级 PMOS 管宽度设为 W ，同样将 W 添加进 ADE L 的设计变量中，调节 W 的值使得 VOP2、VON2 静态电压为 900 mV，如图 5.20 所示，是整个二级运放调好的静态工作点展示。

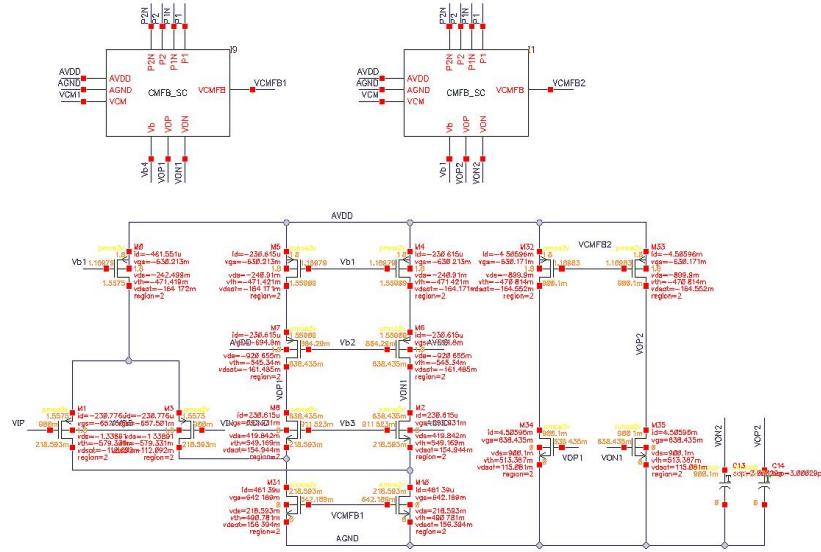


图 5.20 两级运放直流工作点

所有管子均处于饱和区，且输出静态电压为 900 mV。

接下来对两级运放进行 AC 仿真。在 ADE L 窗口中点击“Results”→“Direct Plot”→“AC Gain & Phase”，先后点击差分输出和差分输入（用 vcvs 接成一个输出端，如图 5.21 所示）。查看两级运放增益和相位裕度如图 5.22 所示。

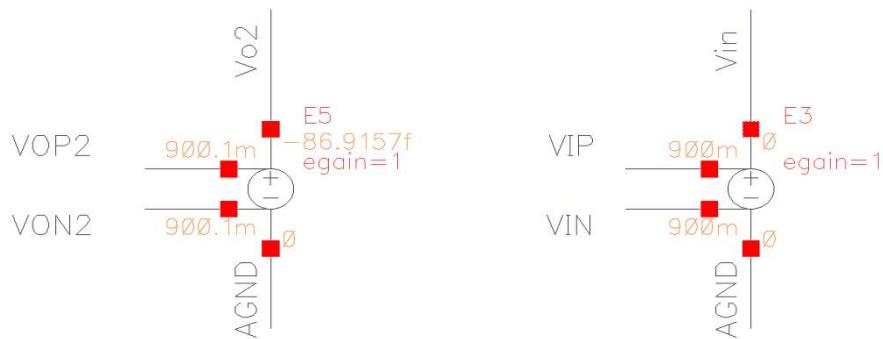


图 5.21 差分输出、差分输入

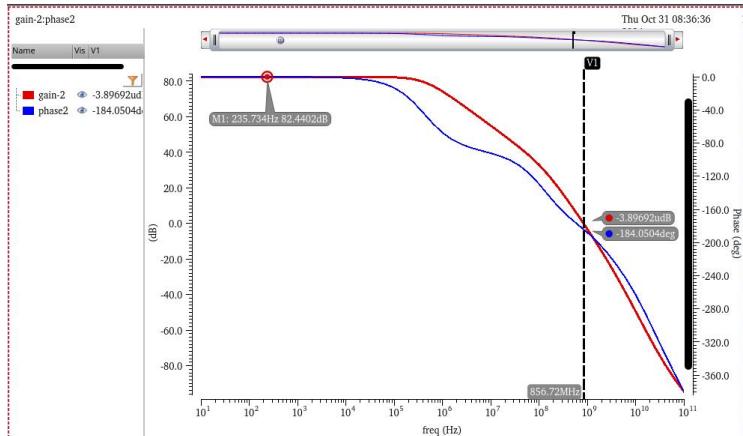


图 5.22 运放增益和相位

从图 5.22 可以看出该运算放大器的直流增益为 82.4 dB，带宽 GBW 为 856 MHz，相位裕度不达标。考虑加入调零电阻和密勒电容，通过密勒补偿把主次极点分离，提升相位裕度，而调零电阻可以消除由密勒电容所带来的右半平面零点所导致的相位上的影响。密勒补偿电容一般取 0.2~0.3 倍的负载电容 C_L ，即 600 fF~900 fF，本设计中取 800 fF。而调零电阻的公式为：

$$R = [g_{m2}/(1.2 \times g_{m1}) + 1]/g_{m2} \quad (5-7)$$

式中 g_{m2} 是第二级运放输入管跨导， g_{m1} 是第一级运放输入管跨导。可通过点击“DC Operating Points”，再点击对应的 MOS 管查看它们的数值，如图 5.23 所示。

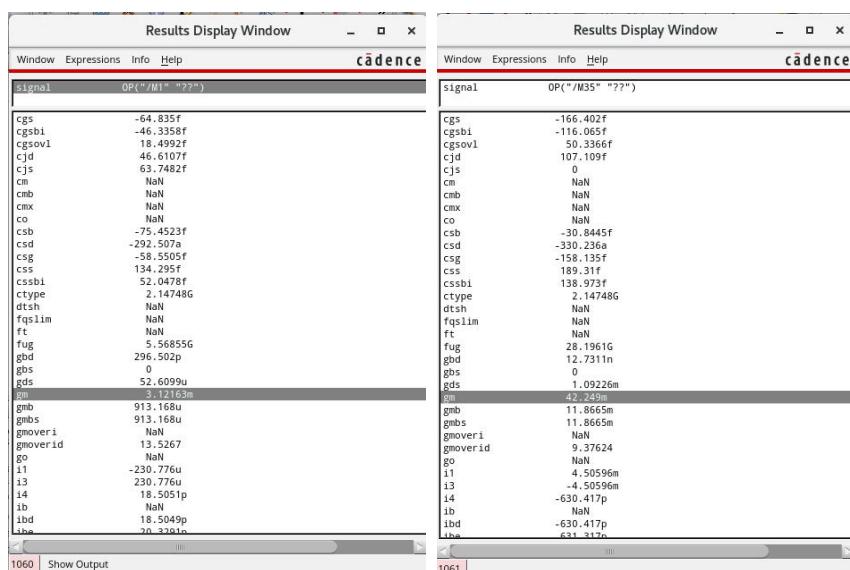


图 5.23 一二级输入管跨导

通过公式可计算出 $R = 290\Omega$ 。在两级运放中加入计算得到的密勒电容和调零电阻，如图 5.24 所示。

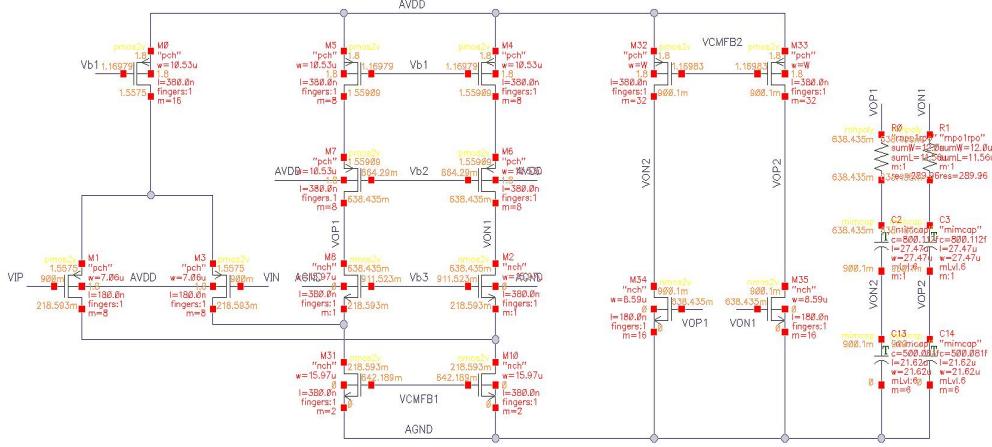


图 5.24 添加密勒电容和调零电阻

再次仿真增益和相位，如图 5.25 所示，可以看出直流增益约为 82.4 dB, GBW 约为 528 MHz, 相位裕度约为 66 deg, 满足开关电容保持电路对运放指标的要求。

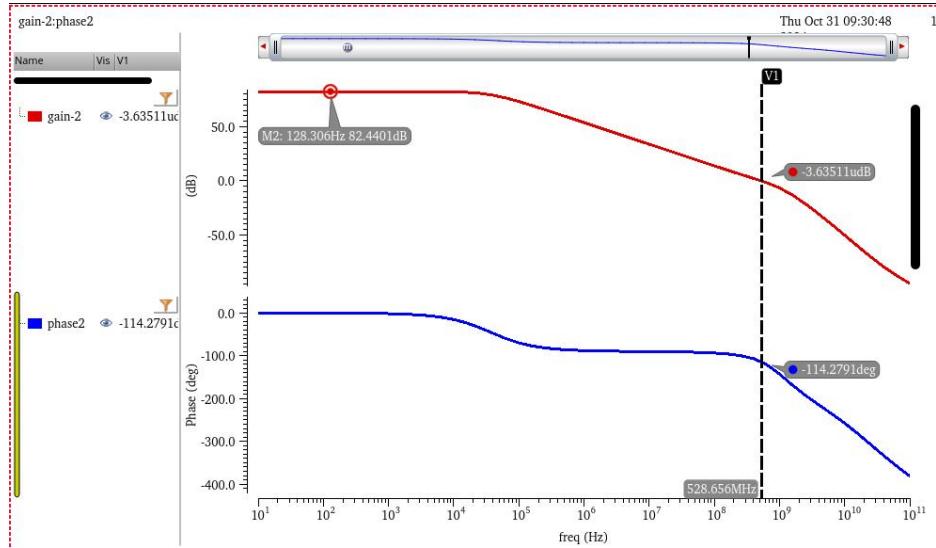


图 5.25 最终运放增益和相位

至此运算放大器设计完毕，完整运放如图 5.26 所示。

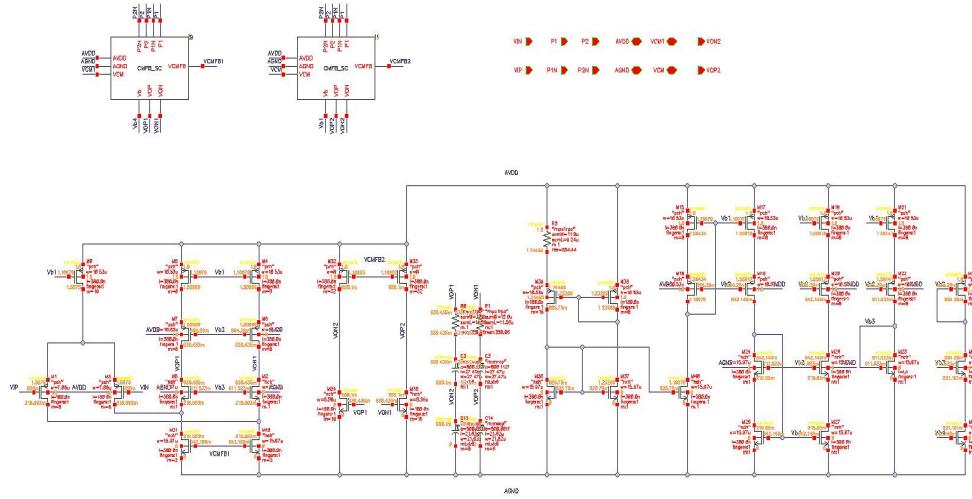


图 5.26 完整运放原理图

将运放进行封装，得到如图 5.27 所示 Symbol。

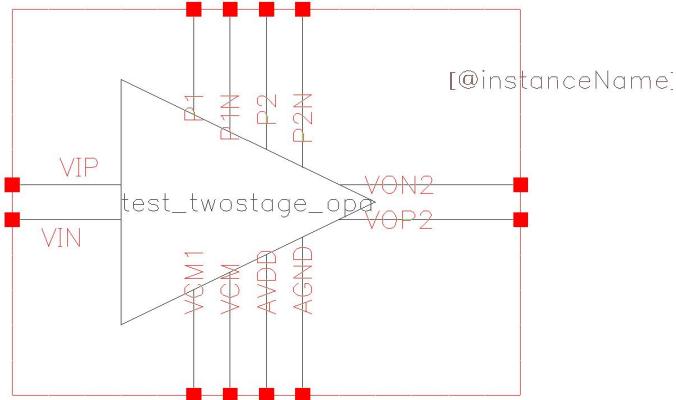


图 5.27 运放 Symbol