

Arithmetic Logical Unit (ALU) – Specification

Ben Bekir Ertugrul, Frederik Höft, Manuele Waldheim, Patrik Schottelius

1 Aufbau

Die ALU besteht aus fünf Hauptelementen:

1. Über zwei bidirektionale Schnittstellen können Signale von Innen und Außen angelegt werden.
2. Ein Steuerwerk kann für die Eingabe von 74181 spezifischen Operationen genutzt werden.
3. Die 74181 ist eine 4-bit ALU mit der einfachen Operationen wie bspw. AND, OR, Addition oder Subtraktion möglich ist. Sie wird über eine spezifische Codierung operiert.
4. Über einen Wallace Multiplikator können Multiplikations-Operationen durchgeführt werden.

Device	Num. Used	Inputs	Outputs
NOT	2	1	1
AND	3	2	1
NAND-2 (1-Inv)	1	2	1
AND-3 (1-Inv)	3	3	1
AND-3 (2-Inv)	3	3	1
AND-4	1	4	1
AND-4 (2-Inv)	2	4	1
OR-2	5	2	1
NOR-4	1	4	1

XNOR-2	4	2	1
MUX-2x4 T.S.	2	10 (EN, S0, 4D1...1D1, 4D0...1D0)	4 (4Q...1Q)
Buffer-4 T.S.	2	5 (OE, D3...D0)	4 (Q3...Q0)
Reg-4	1	6 (CLK, D3...D0, CLR)	4 (Q3...Q0)
74_181	1	14 (A3...A0, B3...B0, Cn, M, S3...S0)	8 (F3...F0, A=B, Cn+4, G, P)
Signed-MUL-4	1	8 (A3...A0, B3...B0)	8 (P7...P0)

Table 1: Parts of the ALU implementation

1.1 Beschreibung

Folgend werden die jeweiligen Bausteine der ALU erläutert. Es wird mit den zwei Bidirektionalen Schnittstellen begonnen:

Die 13 Eingänge werden wie folgt angeschlossen:

1. **B3...B0**: Bidirektionaler Anschluss von außen für die Schnittstelle, über den Daten sowohl ein- als auch ausgegeben werden können.
2. **ID3...ID0**: Unidirektionaler Anschluss von innen für die Schnittstelle, über den Daten eingegeben werden können.
3. **BD**: Innerer Anschluss für ein *Busy*-Signal über das eine aktuell laufende Operation abgefragt werden kann.
4. **SD**: Äußerer Anschluss für ein *Start*-Signal.
5. **R/W**: Außenanschluss für das Setzen von Lesen/Schreiben der bidirektionalen Ein- und Ausgänge.
6. **IR/W**: Innenanschluss für das Setzen von Lesen/Schreiben der unidirektionalen Ein- und Ausgänge.
7. **CLK**: Anschluss für einen Taktgeber.

Die 6 Ausgänge:

1. **IQ3...IQ0**: Unidirektionaler Anschluss von innen, über den Daten ausgegeben werden können.
2. **BQ**: Ausgang des *Busy*-Signals, über das eine mögliche aktuell ablaufende Operation abgefragt werden kann.
3. **SQ**: Ausgang des *Start*-Signals.

Spezialfälle:

1. **Case R/W = 0, IR/W = 0:** Beide Schnittstellen stehen auf Modus *Schreiben*. Aufgrund der Arbitrierung wird die Eingabe des Inneren Signals (IQ3...IQ0) priorisiert.

Die 74181 ALU wird über ein Steuerwerk angesteuert. Die Eingänge der *PROM*:

1. **In3...In0:** 4-bit Eingabe, die auf ein 8-bit Ausgabesignal umgerechnet wird.

Die Ausgänge:

1. **Out7:** Ausgang eines Busy-Signals, welches in die Schnittstellen weitergeleitet wird.
2. **Out6:** Modus der 74181 ALU, mit der Operationen durchgeführt werden sollen.
3. **Out5:** Carry der 74181 ALU.
4. **Out4...Out1:** Das Steuersignal, welches der 74181 ALU angibt, welche Operation durchgeführt werden soll.
5. **Out0:** Signal, welches eine Multiplikations-Operation an den Multiplikator weiterleitet.

INPUTS				OUTPUT
In3	In2	In1	In0	Out7...0
0	0	0	0	D6
0	0	0	1	DC
0	0	1	0	C0
0	0	1	1	92
0	1	0	0	AC
0	1	0	1	81
0	1	1	0	80
0	1	1	1	80
1	0	0	0	00
1	0	0	1	00
1	0	1	0	00
1	0	1	1	00
1	1	0	0	00
1	1	0	1	00
1	1	1	0	00
1	1	1	1	00
1	1	1	1	00

Figure 1: Truth table for the mapping of 4-bit inputs to 8-bit outputs within the PROM

Vor das Steuerwerk sind ein 2x4-Multiplexer und 4-bit Register geschaltet. Diese werden für den Übergang der Zustände benötigt. Der Multiplexer Eingang *S0* wird über das *Busy*-Signal geschaltet. Liegt ein *Busy*-Signal an, so werden die Ausgänge des Multiplexers auf '1111' geschaltet und das Steuerwerk befindet sich in einem Wartezustand, bis über ein *Start*-Signal eine neue Operation gestartet wird.

Die vom Steuerwerk berechneten Operationsanweisungen werden dann an die 74181 ALU weitergeleitet. Diese hat die Eingänge:

1. **A3...A0**: Die erste 4-bit Eingabe, die bei der Operation genutzt wird.
2. **B3...B0**: Die zweite 4-bit Eingabe, die bei der Operation (möglicherweise) genutzt wird.
3. **Cn**: Carry-in, mit dem für bestimmte Operationen nochmals unterschieden wird, welche Operation getätigt werden soll.
4. **M**: Modus. Dieser schaltet zwischen zwei möglichen Operations-Gruppen der ALU.
5. **S3...S0**: Die Steuerungskodierung, mit der eine Operation festgelegt wird.

Die Ausgänge:

1. **F3...F0**: Das 4-bit Ergebnis der von der ALU durchgeführten Operation.
2. **A=B**: Flag, ob Eingangssignale A und B äquivalent sind.
3. **Cn+4**: Flag, ob ein Übertrag bei der Operation entstanden ist.
4. **G,P**: Flags, die für den Anschluss eines Carry-Lookahead Addierers genutzt werden können.

Die weiteren Flags *Zero*, *Carry*, *Overflow/Underflow*, *Equal* werden über eine separate Logik berechnet, da die ALU-internen Flags fehlerhaft waren.

Final der Multiplikator. Die Eingänge:

1. **A3...A0**: Die erste 4-bit Eingabe, die bei der Operation genutzt wird.
2. **B3...B0**: Die zweite 4-bit Eingabe, die bei der Operation genutzt wird.

Die Ausgänge:

1. **P7...P0**: Das Ergebnis der zwei 4-bit Zahlen Multiplikation.

Das Ausgangssignal der 74181 ALU wird in zwei Multiplexer weitergeleitet. Die ersten vier bit des Ergebnisses des Multiplikators werden in den ersten- und die letzten vier in den zweiten Multiplexer geleitet. Die Multiplexer entscheiden über das Signal der Steuerwerks *PROM Out0*, welches Ergebnis genutzt wird. Die Multiplexer Ausgänge werden dann entsprechend an eine Schnittstelle weitergeleitet, sodass dort das Ergebnis der Operation anliegt.

Wenn bei einer Operation ein- oder mehrere Flags auftreten, so wird das Ergebnis in die erste Schnittstelle- und die Flags in die zweite geschrieben, mit folgender 4-bit Anordnung:

1. *Zero*
2. *Equal*
3. *Overflow*
4. *Carry*

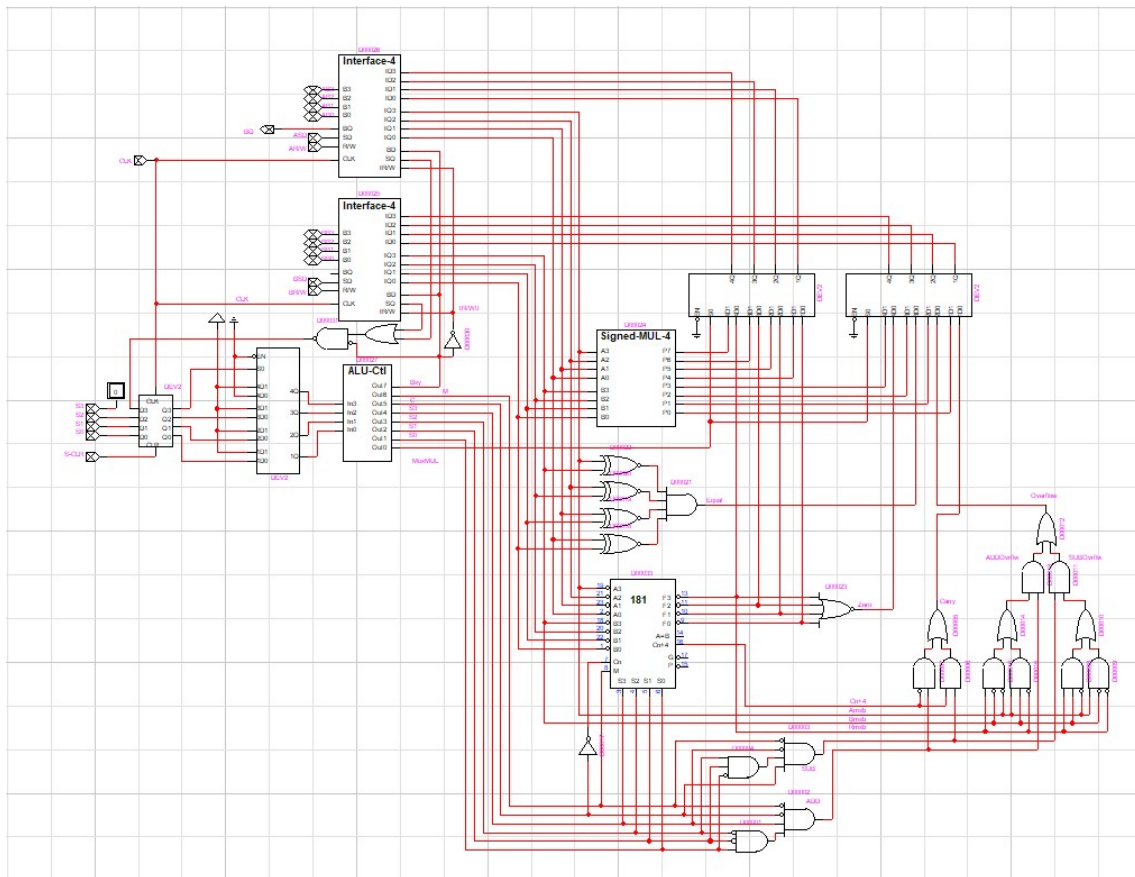


Figure 2: Picture of the ALU Logic Network

1.3 Verifikation durch Tests

Die Testfälle wurden durchgeführt und die Ergebnisse in Tabellen festgehalten:

INPUTS			OUTPUTS	
AB3..0	BB3..0	S3..0	AB3..0	BB3..0
1100	0011	0000 (AND)	0000	1000
1111	0000	0001 (OR)	1111	0000
1111	1111	0000 (AND)	1111	0100
0000	0000	0001 (OR)	0000	1100
1100	0110	0010 (NOT)	0011	0000
1000	0111	0011 (ADD)	1111	0000
1001	0001	0100 (SUB)	1000	0000
0010	0011	0101 (MUL)	0000	0110
0101	0110	0110 (RES)	0101	0000
0101	0110	0111 (RES)	0101	0000

Figure 3: Tests for the basic ALU-Operations

Weitere Tests für Abdeckung der Spezialfälle sind zu ergänzen.