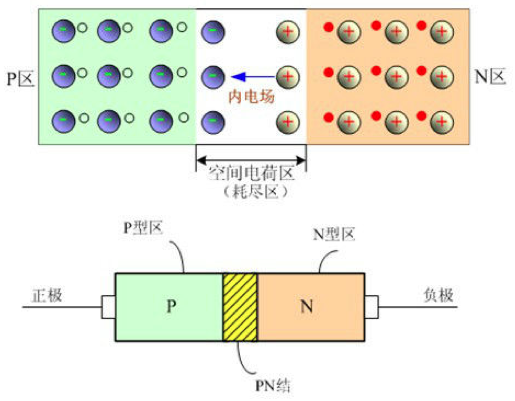
uo﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽﷽**一、模拟电路**

**1二极管(非门)**



PN结

·P型半导体：掺杂磷，5价磷与4价硅产生共价键，多出一个电子

·N型半导体：掺杂碰，3价碰与4价硅产生共价键，多出一个空穴

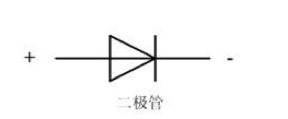
特性：

·单向导电：PN结通正向电压时导通

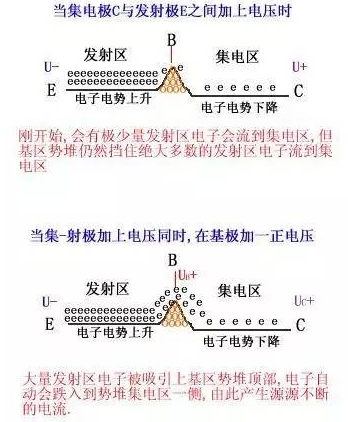
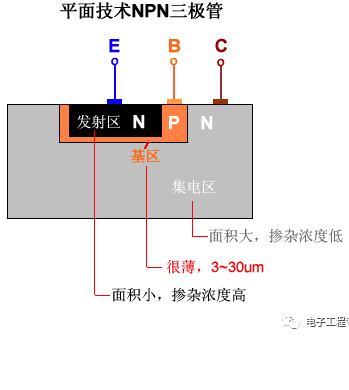
·反向击穿：PN结通反向电压，增大到一定程度将击穿，烧毁器件

·电容特性：PN结通反向电压，在一定程度内具有电容效果

门电路：非门



**2三极管(与非门、或非门)**



NPN结

·E极(N型)：面积小(削弱电子向B极扩散)，掺杂浓度高(电子多)

·B极(P型)：面积大很薄(便于电子向C极扩散)，掺杂浓度低(空穴少)

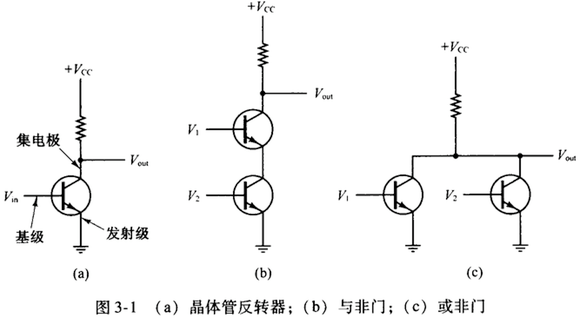
·C极(N型)：面积大(便于收集电子)，掺杂浓度低(电子少)

特性：

·B极开关：可通过控制B极电压有无，控制C-E电流的通断

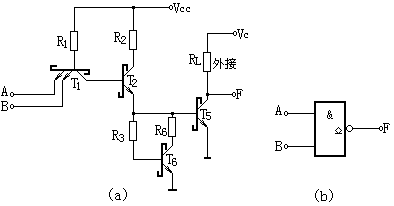
·放大B极电流：可通过控制B极电压大小，控制C-E电流的大小

门电路

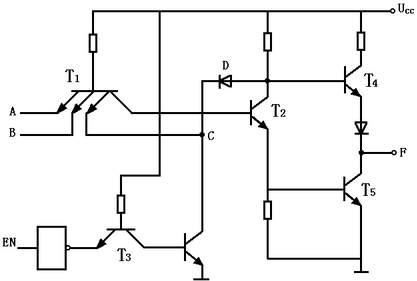


**3晶体管**

集电极开路门(OC门)：适用两个以上输入端的与非门



三态门(TSL)：逻辑门的输出除有高、低电平两种状态外，还有高阻状态(相当于开路)



**4晶体管制造技术**

双极晶体管(TTL、ECL)和CMOS(金属氧化物半导体)

**二、布尔代数**

**1公式化简**

变换律和结合律

A + B = B + A A·B = B·A

A + (B + C) = (A + B) + C A·(B·C) = (A·B)·C

分配律和吸收律

A + B·C = (A + B)·(A + C) A·(B + C) = A·B + A·C

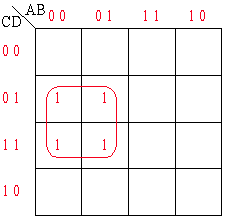
A + A·B = A A·(A + B) = A

反演律

!(A + B) = !A·!B !(A·B) = !A + !B

**2卡诺图化简**

**卡诺图规则：**相邻小格只有一个变量相反（相邻小块可减少一个变量）



**卡诺图化简步骤**

·将多项式的每项用相邻小格圈出(如ABC将圈出上图横3 | 纵3、4)

·将圈出的小块合并为多维块(上图由两个一维块组成的二维快)

·将高纬块作为多项式的项

·相邻的非高纬块拆分为两个(贪婪)高纬块作为多项式的项

**卡诺图化简案例：**F(A,B,C,D) = A'B'D + A'BD

1）通过上图圈出两个一维块; 2）合并为高纬块; 3）最终

F(A,B,C,D) = A'D

**3、门电路设计与实现**

写出函数的真值表

写出真值表对应的布尔代数

化简布尔代数

将布尔代数的最小项用与门实现

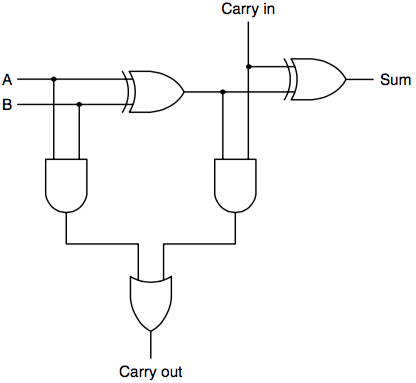
将所有与门输出作为或门的输入

**三、数字电路**

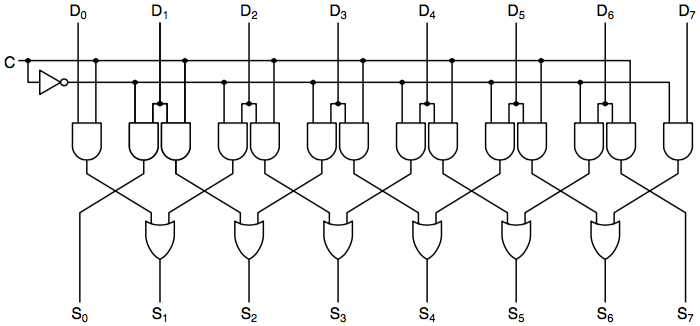
**1组合逻辑电路**

任意时刻的输出仅仅取决于该时刻的输入，与电路原来的状态无关

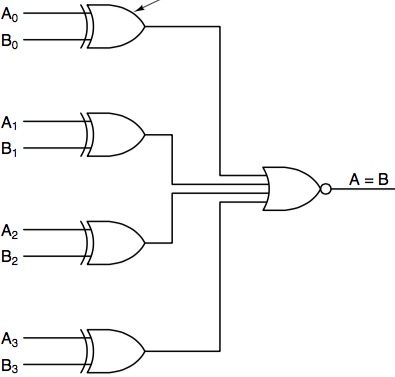
**加法器：**实现连个输入的全加和



**移位器：**将输入信号按位左/右移，高低位补0。二进数乘法

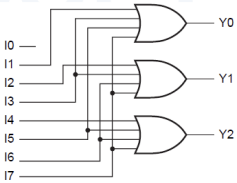
****

**数值比较器：**比较一个输入信号是否与给定值相等

****

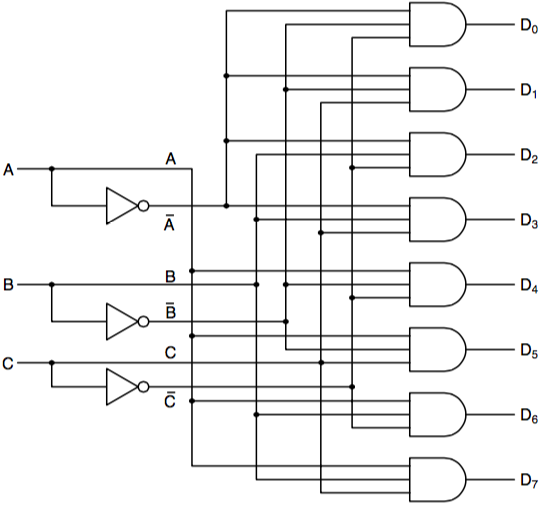
**编码器：**将输入信号转化为二进制代码

案例：外设芯片将外设信号编码后传输到总线(光驱)



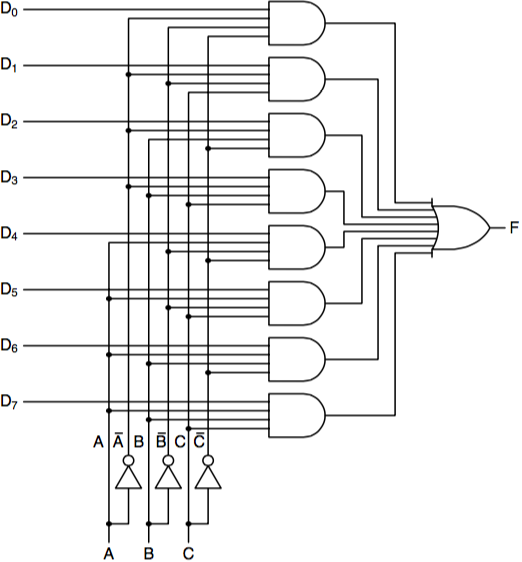
**译码器：**将二进制代码转化对应的输出信号

案例：外设芯片将总线二进制编码转化为外设所识别的信号(光驱)



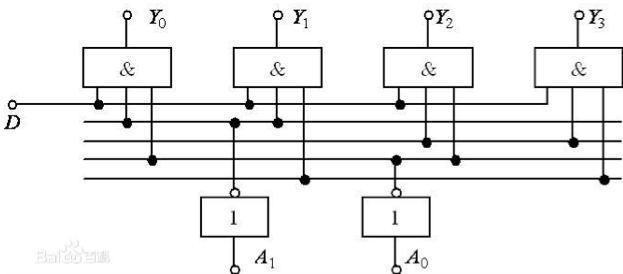
**数据选择器：**控制信号ABC与计数器结合，实现并行转串行输出

案例：外设芯片(USB、键盘)

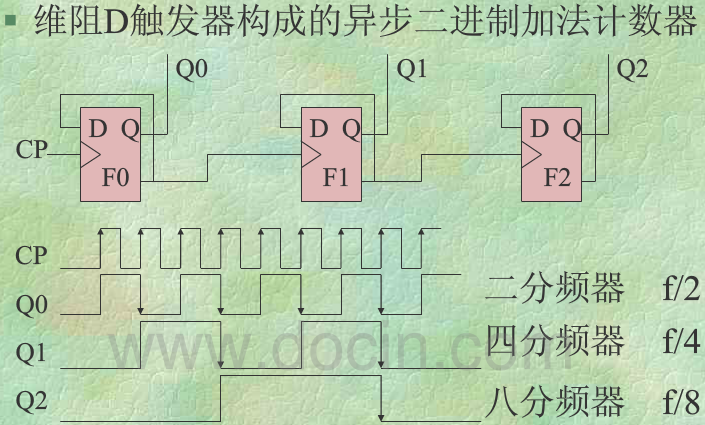


**数据分配器：**控制信号A0A1与计数器结合，实现串行转并行输出

案例：主板串行接口芯片



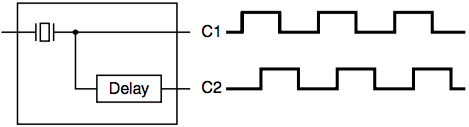
**计数器：**实现时序的计数功能



**2时序逻辑电路**

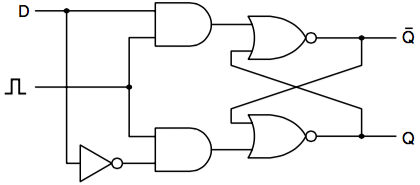
任意时刻的输出不仅取决于当时的输入信号，而且还取决于电路原来的状态

**时钟(晶振器)：**能发出一些列脉冲，脉冲之前的宽度与时间间隔完全相同



**锁存器：**时钟信号为高电平时，采样数据并存储到电路中

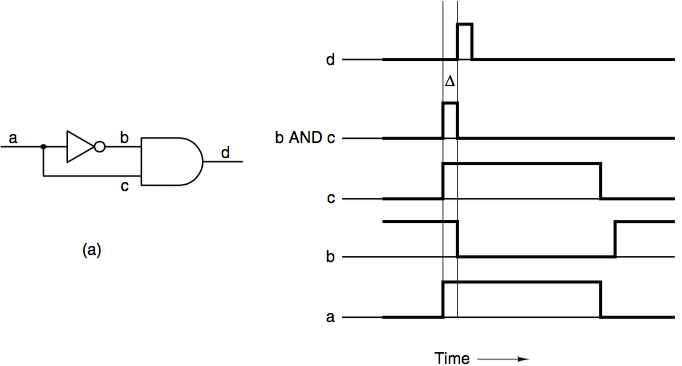
局限性：必须保证时钟信号与内存存储周期保持同步



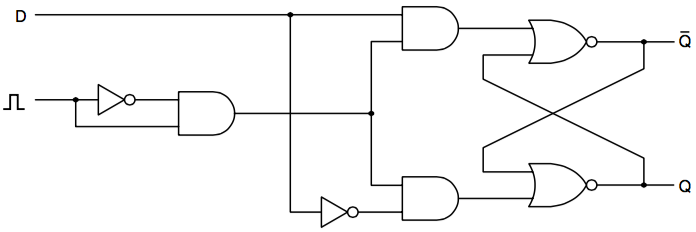
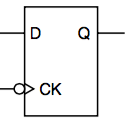
**触发器：**触发电路和锁存器的组合电路，时钟上升沿或下降沿某时刻采样并存储数据

特性：不用考虑时钟脉冲信号长度，在变化中的某时刻触发

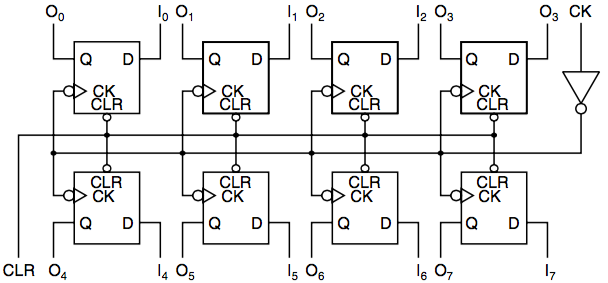
a) 触发电路时序图



b) D触发器电路图

或

**寄存器：**由多个触发器组成的电路



**内存：**由多路选择器片选多个寄存器实现