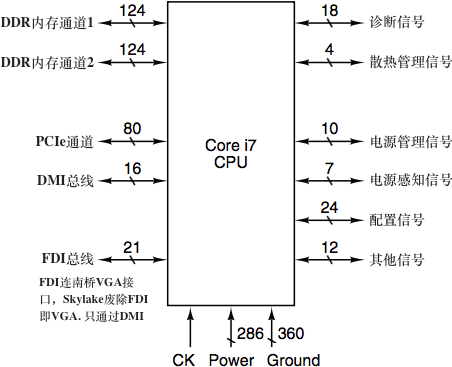
**一、CPU芯片管脚信号**



DDR内存通道：地址、数据64根、控制总线共124根

DDR3时频(由100MHz倍频)为1333MHz

双通道速度为1333M x 8B(64位) x 2 ≈ 20GB/s

PCIe通道：地址、数据、控制公用总线，X16(双工32)，三个X8(双工16)，即80根

PCIe2.0时频(由100MHz倍频)2.5GHz

X16双工速度为2.5G x 2B(16位) x 2 ≈ 10GB/s

DMI总线：地址、数据、控制公用总线，z97芯片X4(双工8)，南桥X4(双工8)

DMI时频(由100MHz倍频)2.5GHz

X4双工速度为2.5G x 0.5B(4位) x 2 ≈ 2.5GB/s

中断信号：接收外设的通知信号(操作完成信号/ IO错误信号)

总线仲裁信号：控制总线上的流量，防止两个设备同时使用总线

协助助理信号：与协助处理器交互(浮点运算芯片、GPU芯片)

电源管脚和接地管脚：提供CPU工作所需的电压(高电平、低电平)

时钟信号管脚：协调CPU内部各组件同步工作

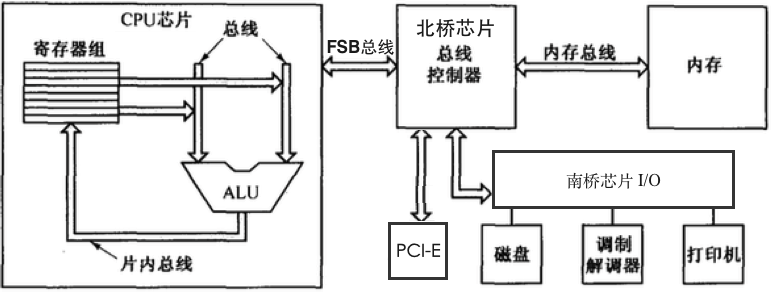
状态信号管脚：CPU温度、负载等

其他控制管脚：保持旧外设芯片的兼容性

**二、计算机总线**

**1总线模型**

**传统总线模型**



·总线控制器协调CPU、内存和所有设备的频率(传统模型总线频率由最低设备决定)

·FSB总线，即前端总线，是CPU对外的工作频率

**Core I系列CPU总线模型**



·北桥芯片被放入CPU，内存、PCI-E工作频率由CPU内部控制器协调

·CPU与南桥芯片直接相连，他们之前的总线叫DMI总线

**Core I系列的总线分类：**下述控制器芯片集成在CPU内部

·QPI总线 芯片间(核心间、核心与控制器)的总线，串行类PCIe

·内存总线 内存控制器与内存之间的总线，并行

·PCIe总线 PCIe控制器与PCIe设备之间的总线，串行类PCIe

·DMI总线 DMI控制器与南桥之间的总线，串行类PCIe

**2总线功能与性能**

**总线功能**

·地址总线：传送CPU欲操作内存/外设的数据地址

·数据总线：传递CPU寄存器与内存/外设的数据信号

·控制总线：传递CPU对内存/外设的操作信号，如读/写等

**总线性能**

·总线宽度：地址总线扩宽寻址空间增大；数据总线扩宽数据传输量增大

·时钟频率：增快时钟频率，加快数据传输速度

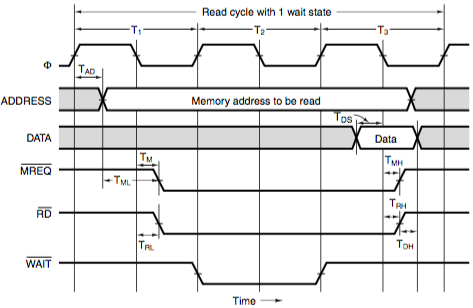
**3总线的工作原理**

**总线上的设备**

主设备：能获得总线控制权的设备

从设备：被主设备访问的设备

**同步时钟工组步骤：**读取内存



·T1上升沿CPU在地址总线上给出要读的内存地址

·T1下降沿CPU给出!MREQ和!RD信号，标识对内存进行读取操作

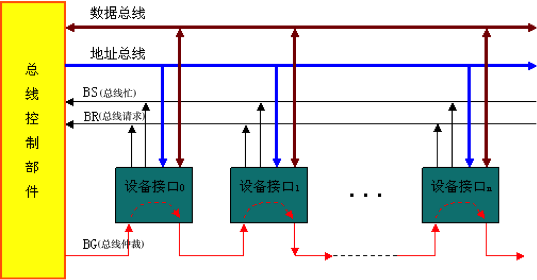
·T2上升沿内存响应!WAIT信号，通知CPU保持等待响应

·T2下降沿结束!WAIT信号，解除CPU的等待状态

·T3上升沿内存在数据总线上准备被读取的数据

·T3下降沿CPU读取数据总线上的数据，并结束MREQ和RD控制信号

**总线仲裁**



·设备提出总线申请请求（BR）

·如果总线不忙，总线控制器发出批准信号（BG）

·申请的设备截获BG，并禁止BG信号进一步向后传播

·申请的设备发出BS并开始使用总线。BS信号将阻止其他设备使用总线直到被释放

**4其他总线的操作**

**多处理器特殊读-写控制总线：**多处理器访问同一存储地址时，提供一种特殊读-写控制总线（对应CPU HLock pin引脚，拉低电位将锁住总线），确保只有一个核心占用总线

**中断控制器(南桥芯片)处理多设备的中断请求的总线周期**

·多个设备发起中断请求，中断控制器向CPU中断管脚发送INT(中断请求)

·CPU可响应中断时，向控制器发送INTA(中断应答)

·中断控制器收到INTA信号后，通过数据总线输出中断号

·CPU获取中断号后，从中断向量表获取中断程序的入口地址

中断向量表位于内存中一特定区域

·CPU完成中断后向中断控制器的寄存器中写入完成状态

·中断控制器根据寄存器准备下一中断请求