实现TLP、DLLP和PLP的传输

**一、物理层实现机制与电气特性**

**1差分信号**

作用：可实现数据可靠、稳定的传输

电器特性：交变电磁场相互抵消、电流衰减不影响差值

实现：发送端发送两个等值相反相位的信号，接收端通过电压差判断逻辑0或1

**2 AC耦合电容**

作用：去除差分信号中得直流分量

电器特性：交变电流可穿透电容

实现：在发送端是差分信号穿过AC耦合电容

**3加扰编码**

作用：随机化数据流。规律电流产生的磁场叠加，将干扰电流的运动

电器特性：洛伦兹力

实现：用LSFR生成的随机序列异或数据流，接收端采用同一G(x)和初始值解码

LSFR见《二进制数》

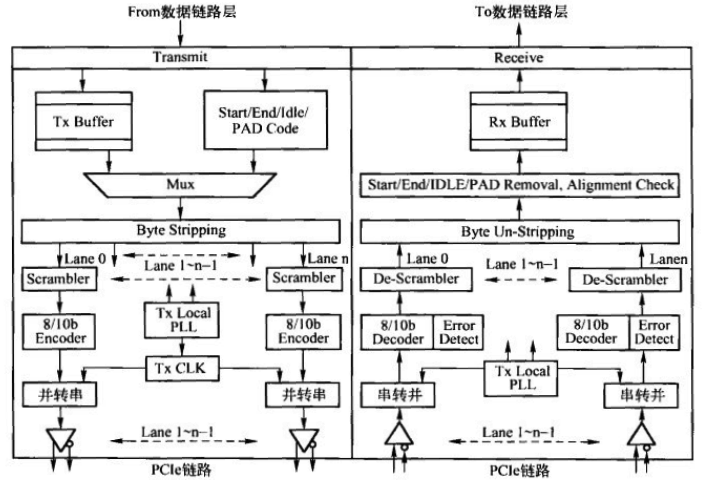
**3 8b/10b编码**

作用：平衡数据流0或1的数量，过多的0或1将使AC耦合电容满载

电器特性：电容满载时，同极性交变电流不能穿透

实现：间8b/10b编码表

**二、物理层的组成**



**1发送单元**

数据准备逻辑

·Tx缓冲 接收来自链路层的TLP、DLLP

·控制符 包括封装TLP、DLLP的前后缀，PLP相关的字符

数据拆分逻辑

·Byte Strip 将TLP、DLLP拆分到不同Lane中，PLP直接分发到每个Lane

数据编码逻辑

·Scrambler 仅对数据字符进行加扰编码

·8/10b 对所有数据字符、控制字符进行8/10b编码

数据发送逻辑

·并转串逻辑 将数据转化为串行发送

**2接收单元**

数据接收逻辑

·串转并逻辑 将串行数据转化为并行

数据解码逻辑

·Scrambler 仅对数据字符进行加扰解码

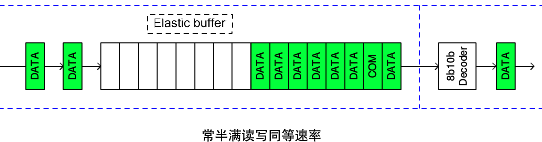
·8/10b 对所有数据字符、控制字符进行8/10b解码

数据重组逻辑

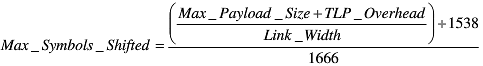
·Byte Un-Strip 将不同Lane中得数据组装为TLP、DLLP、PLP

**3弹性缓冲**

作用：用于消除接收时钟(发送端)与本地时钟(接收端)产生的时钟漂移(De-skew)

****

缓冲区大小：Max\_Symbols\_Symbols\_Shifted x 2

****

TLP发送中途不能插入SKIP序列；发送完成时，时钟补偿计数器恰巧归0

·Max\_Payload\_Size TLP包的最大载体4K

·TLP\_Overhead 物理层TLP头信息28B，见物理层TLP

·Link\_Width 物理层使用的Lane的数目

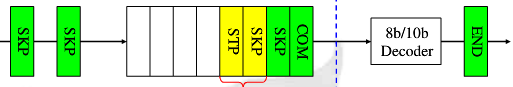
·1538 发送SKIP序列依赖发送的最大字节数

·1666 产生一个时钟漂移的周期数

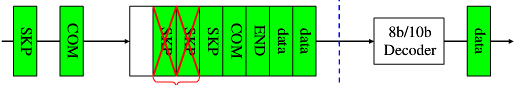
·Max\_Symbols\_Shifted 物理层传输可产生的最大时钟漂移数

工作原理

发送端快：弹性缓冲接收能充满一半数目的SKP字符，LFSR不对SKP移位操作



接收端快：弹性缓冲选择性的补半满SKP或不将SKP放入缓冲区



**三、数据报文**

**1物理层有效字符**

数据字符：TLP和DLLP中对应的字符

控制字符：包括TLP、DLLP的前后缀以及组成PLP的字符



**2物理层TLP和DLLP**

物理层TLP



物理层DLLP



**3 PLP报文(Ordered-Sets或字符序列)**

PLP仅存在物理层，且在每个有效Lane中同步发送

TS1、TS2序列：训练序列，链路训练中使用



·Link Number Switch下游端口号 0~255

·Lane Number 链路的通道号 0~255

·Speed 链路的传输速率

1位 是否支持2.5GT/s

2位 是否支持5.0GT/s

3位 是否支持8.0GT/s

4~5位 保留

6位 多功能位，配置失败Notification、De-emphasis使能位

7位 speed\_change位，用于通知链路需要改变传输频率

·Cammand 存放命令

0位 Hot Reset

1位 Disable Link

2位 Loopback

3位 Disable Scrambling

4位 Compliance Receive

Idle序列：通知对端进入Electrical Idle状态的序列



FTS序列：快速训练序列，使接收端快速获得Bit/Symbol lock。发出数量由TS1/2决定



SKIP序列：对弹性缓冲区的时钟补偿，PCIe规定每发送1538B，发送一个SKIP序列



**四、链路训练**

**1端点EP电气状态及识别方法**

端点设备电气状态

·无设备/无供电 发送逻辑压差0，接收逻辑阻抗无穷大

·工作模式 发送逻辑压差0.8v~1.2v，接收逻辑阻抗40~60Ω

·Electrical Idle 发送逻辑压差0~5mv，接收逻辑阻抗40~60Ω

端点电气状态切换

·切到Electrical Idle

1)主动切换，向对端发送Idle序列(让对端先进入)后，使发送逻辑电压至0~5mv

2)被动切换，10ms之内判断对端发送逻辑压差<75mv时进入

·切到工作模式

主动切换，使发送逻辑压差至0.8v~1.2v

被动切换，20ms之内判断对端发送逻辑压差>75mv时进入

Receiver Detection序列(探测对端设备)

·使检测端发送逻辑压差为0（DC共模电压）

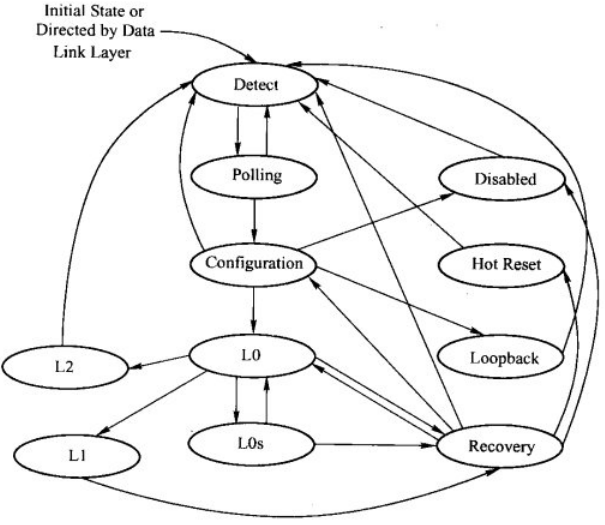
·使检测端暂时提高电压伏值，产生一个脉冲电流

·根据通过AC耦合电容的电流判断

1)无设备阻抗大，有微小电流通过

2)有设备(工作模式/Electrical Idle) 阻抗40~60Ω，有电流通过

**2 LTSSM状态机**



**3 Detect状态**

Quiet子状态：Detect的初始状态

·使发送逻辑进入Elecrical Idle（此时链路状态机为DL\_Inactive）

·延迟12ms或识别对端发送逻辑退出Elecrical Idle进入Active子状态

Active子状态：识别Lane对端接收逻辑存在

·向所有Lane的对端发送Receiver Detection序列

都未识别时 进入Quiet子状态

都被识别时 进入Polling状态

·部分识别，则延迟12ms重新识别

识别结果相同 进入Polling状态

识别结果不同 进入Quiet子状态，重新识别

**4 Polling状态**

Active子状态：确定Bit/Symbol Lock，其保证物理层不会丢失数据

·发送逻辑向连续发1024个TS1序列（Lane/Link Number为0）

·接受逻辑同时等待对端TS1/TS2序列

收到8个连续TS1 进入Configuration子状态

收到8个连续TS2 进入Configuration子状态

·未收到8个连续TS1/TS2序列，延迟20ms后

收到8个连续TS1 进入Configuration子状态

收到8个连续TS2 进入Configuration子状态

上述条件均未成立 进入Complianace子状态

Configuration子状态：确定信号的极性翻转；确保两端设备同时进入Configuration

·处理物理层已识别Lane的极性翻转

·发送逻辑停止TS1并连发TS2序列（Lane/Link Number为0）

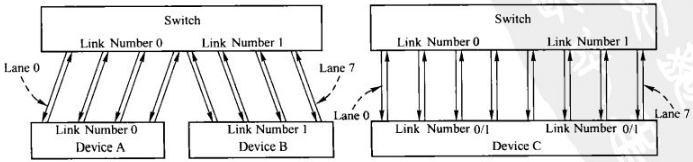
先进入该子状态的一端发送16个TS2(前8个使对端也进入该子状态)

·链路两端接收逻辑能同时收到8个连续TS2

后进入该子状态的一端收到16个TS2(前8个使其进入该子状态)

·未连续收到8个TS2时，延迟48ms重新进入Detect

**5 Configuration状态**

****

Link Number的协商：分组Switch下游链路（确定其下游端口与设备的连接拓扑）

·Switch向各端口发送其自身端口号的TS1

·Switch获取下游设备的反馈TS1，最终确定Switch端口的拓扑结构

Switch多个端口收到同一TS1反馈时，下游设备连接了多个端口

Switch每个端口收到各自TS1反馈时，下游设备只连了一个端口

Lane Number的协商：Switch分组链路中，确定其逻辑Lane号与下游设备Lane号映射

·Switch将分组链路中的Lane进行逻辑编号（多个0~n）

·Switch向各Lane发送其分组链路对应逻辑Lane号的TS1

·Switch获取下游设备的反馈TS1，将下游设备Lane号与Switch逻辑Lane号绑定

Link Number与Lane Number的确认

·Switch与下游设备手发TS2，确定Link号和Lane号

·发送SKIP序列，消除时钟漂移

·确定快速恢复训练的N\_FTS值

·确定链路支持的传输率

·进入L0状态，链路层状态机由DL\_Inactive迁移到DL\_Init

**6 Recovery状态**

进入Recovery的条件

·在L0更改数据传输率

·在L0更改链路宽度

·在L0收到TS1或TS2序列

·在L0识别对端非正常进入Idle状态（正常时通过EIOS使两端都进入Idle）

·由L0s恢复到L0时，若Bit/Symbol Lock获取失败

·由L1回到L0时

Recovery操作流程：以更改传输率为例子(简化了交互过程)

·PCIe两端用TS1协商速率

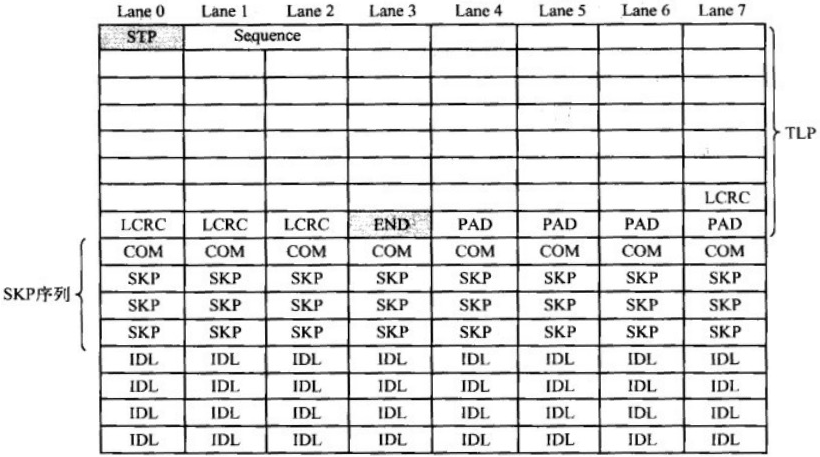
·PCIe两端用TS2确定协商的速率

·迁移到Detect进行重新训练

**7 L0、L0s、L1、L2**

L2最省电，轮训探测的延迟最长，所以省电

**五、数据传输**



·弹性缓冲区的接收端保证了多个Lane中的数据同步传输

·数组组成为

Lane0 + Lane1 + Lane2 ... Lane0 + Lane1 + Lane2 ...