

Universidad Tecnológica Nacional FACULTAD REGIONAL CORDOBA



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

ANTE PROYECTO FINAL



Plataforma de Hardware Reconfigurable

Alumno: Luis Alberto Guanuco

Legajo: 49544

Año Académico: 2011

Doc.- IEPF- 01 – Carátula Proyecto Final

F.U.M: Mayo 2008

Introducción

Universidad Tecnológica Nacional facultad regional cordoba



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

El presente trabajo de tesis, enfocado en el ámbito académico, presenta una plataforma educativa abierta para el desarrollo de descripción de hardware en dispositivos PLDs (*Programmable Logic Devices*).

El desarrollo cubre las herramientas de *hardware* para las Cátedras de Técnicas Digitales, lo que permite al estudiante introducirse en el diseño de arquitecturas reconfigurables.

A la vez que la plataforma ayuda en el aprendizaje y puesta en práctica de los diseños descritos en VHDL(VHSIC hardware description language), permite el acercamiento a la microelectrónica, área fundamental en el desarrollo tecnológico.

Desarrollo

El desarrollo está compuesto por una placa base que contiene todos los recursos/periféricos a ser utilizados por el dispositivo central que se encuentra en otra placa. El bloque central posee el dispositivo lógico reconfigurable, que puede ser una FPGA o un CPLD. En la misma placa se dispone de el clock externo como también memoria de programación. Lo anteriormente descrito puede verse en la Figura 1.

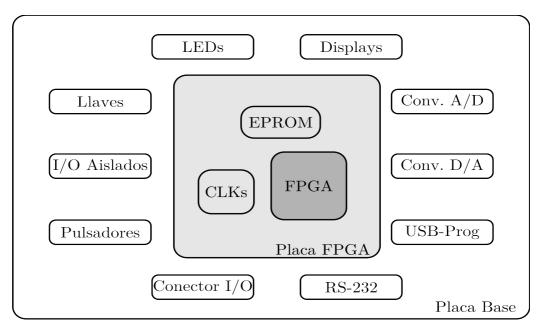


Figura 1: Esquema de la plataforma de hardware reconfigurable.

Recursos

El desarrollado del proyecto se realizará íntegramente en el grupo de investigación CUDAR. El grupo está compuesto con docentes y estudiantes especializados en el área de robótica como también en la automatización de sistemas físicos empleando nuevas

Doc.- IEPF- 01 – Carátula Proyecto Final

F.U.M: Mayo 2008

Universidad Tecnológica Nacional facultad regional cordoba



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

tecnologías. Particularmente se posee un gran conocimiento del lenguaje que permite la descripción de *hardware* logrando diseñar arquitecturas reconfigurables en FPGA/CPLD. Con el desafío de difundir ésta tecnología, CUDAR gestó la creación de la electiva "Técnicas Digitales IV" que se encuentra dictando ya hace cinco años con un alto acaparamiento de estudiantes avanzados de la carrera.

Luis Alberto Guanuco
Becario Investigador del CUDAR

Directores de Tesis:

Ing. Cavallero Rodolfo (Coordinador del área Ténicas Digitales).

Ing. Cayuela Pablo (Docente Electiva "Técnicas Digitales IV").

Ing. Olmedo Sergio (Docente Electiva "Técnicas Digitales IV").

Doc.- IEPF- 01 – Carátula Proyecto Final

F.U.M: Mayo 2008