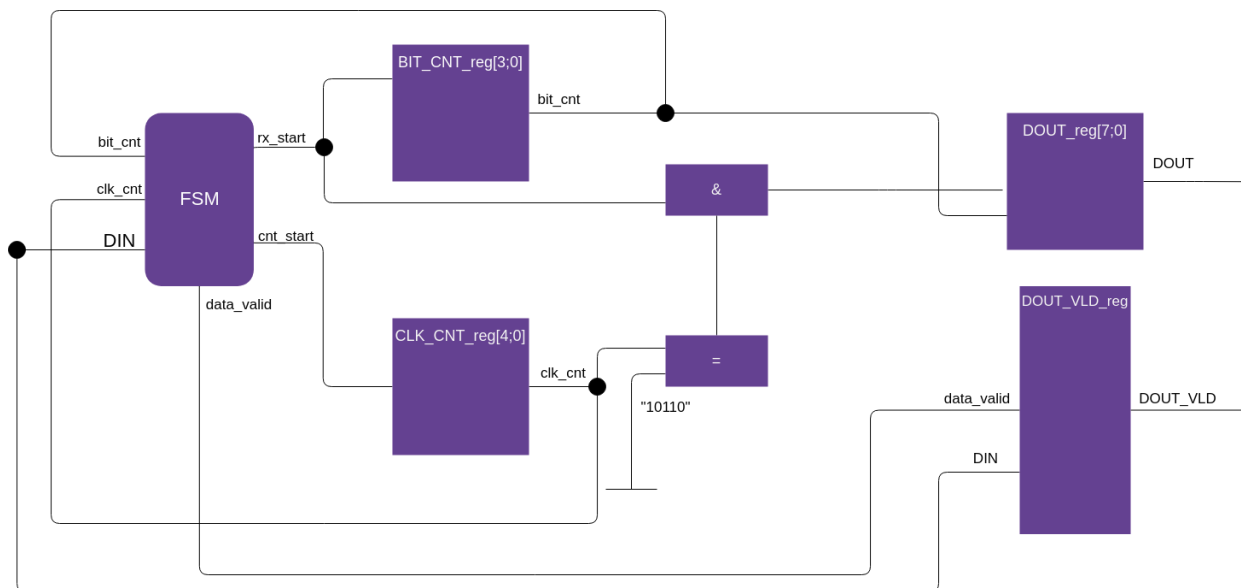


# Výstupní zpráva

**Jméno:** Kininbayev Timur

**Login:** xkinin00

## Architektura navrženého obvodu (na úrovni RTL)



**FSM:** konečný automat. Dostává na vstup data, počítadlo bitů a počítadlo hodinových taktů a podle toho mění svůj stav.

**BIT\_CNT\_reg [3:0]:** počítá jednotlivé bity zprávy

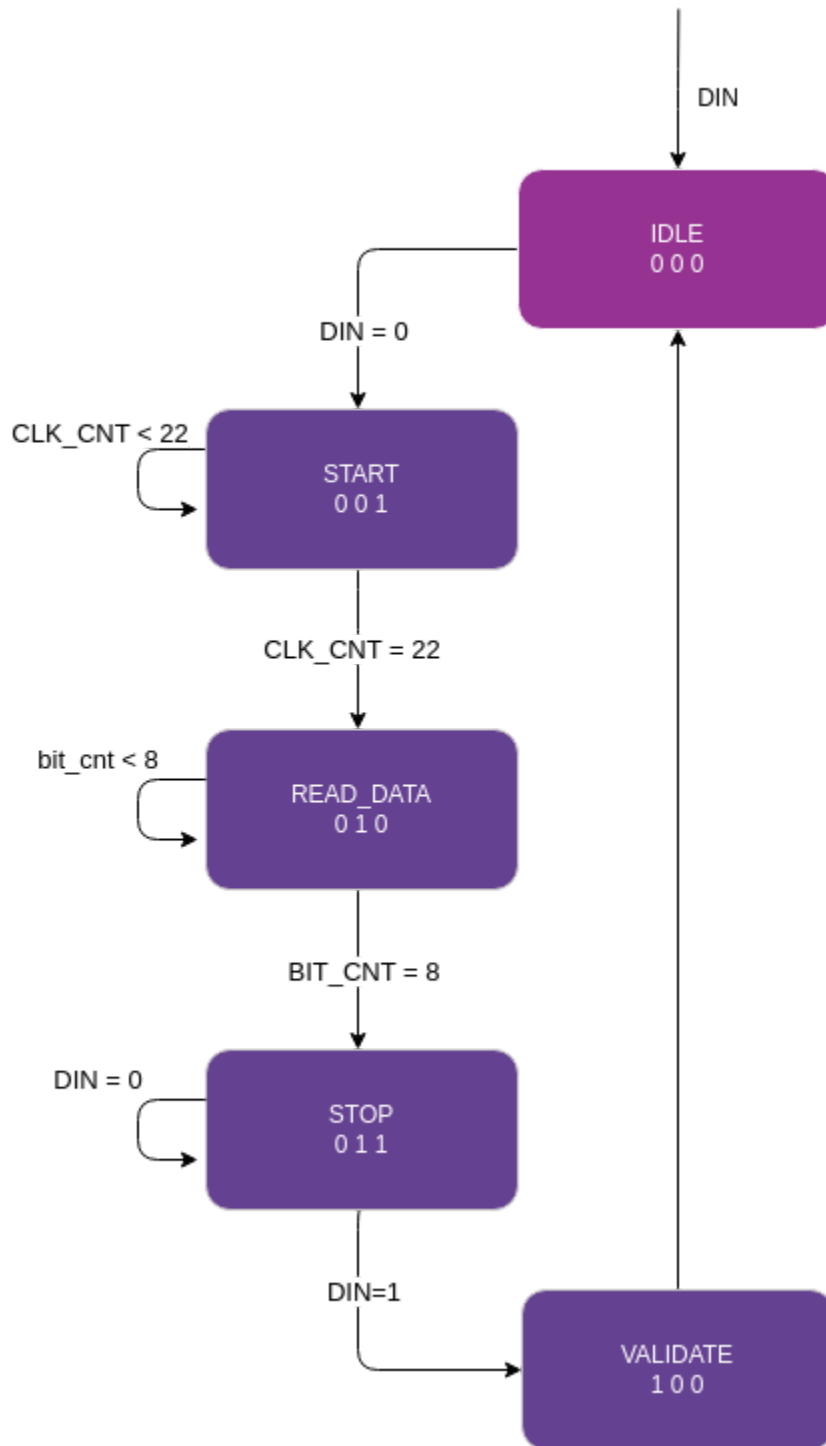
**CLK\_CNT\_reg [4:0]:** počítá takty hodinových signálu

**DOUT\_reg [7:0]:** vypíše na výstup načtené bity, pokud byli splněny podmínky

**DOUT\_VLD\_reg [4:0]:** pokud `data_valid` se rovná 1, vypíše se na výstup log. 1

## Návrh automatu (Finite state machine)

### Schema automatu



## Legenda:

- **Stávy automatu:** IDLE, START, READ\_DATA, STOP, VALIDATE
- **Vstupní signály:** DIN, BIT\_CNT, CLK\_CNT
- **Moorovy výstupy:** DATA\_VALID, RX\_START, CNT\_START

## Popis funkce

- **IDLE:** Automat čeká na příchod start bitu
- **START:** Automat čeká potřebný počet hodinových signálů do chvíle, kdy lze načíst první datový bit
- **READ\_DATA:** Receiver čte 8 bit a ukládá je do výstupního registru
- **STOP:** Po nalezení stop bitu čeká na input signál a přechází do **VALIDATE**
- **VALIDATE:** Nastaví **DATA\_VALID** na 1 a přechází do **IDLE**
- **DIN:** input signál
- **CLK\_CNT:** hodinový počítáč
- **BIT\_CNT:** bitový počítáč
- **CNT\_START:** signalizuje o možnosti spočítání hodin
- **RX\_START:** signalizuje o možnosti načítání dat
- **DATA\_VALID:** signalizuje o správnosti načteného vstupu

## Snímek obrazovky ze simulace

