

ESP32-C6 系列

硬件设计指南

关于本文档

本文提供基于 ESP32-C6 的硬件设计的指导规范。ESP32-C6 是一款具有超低功耗系统级芯片，支持 2.4 GHz Wi-Fi 6 (802.11 ax)、Bluetooth® 5 (LE)、Zigbee 及 Thread (802.15.4)。这些规范将帮助您提升电路和 PCB 版图设计的准确性。



版本 v1.0
乐鑫信息科技
版权 © 2023

目录

1	产品概述	5
2	原理图设计	6
2.1	电源	8
2.1.1	数字电源	8
2.1.2	模拟电源	8
2.2	上电时序与复位	9
2.2.1	上电时序	9
2.2.2	复位	9
2.2.3	上电、复位时序图	10
2.3	Flash	10
2.4	时钟源	11
2.4.1	外置主晶振时钟源（必选）	11
2.4.2	RTC 时钟（可选）	12
2.5	射频 (RF)	13
2.6	UART	14
2.7	Strapping 管脚	14
2.8	GPIO	15
2.9	ADC	17
2.10	USB	17
2.11	SDIO	17
3	版图布局	18
3.1	版图设计通用要点	18
3.2	模组在底板上的位置摆放	18
3.3	电源	20
3.4	晶振	21
3.5	射频	22
3.6	Flash	24
3.7	UART	24
3.8	USB	24
3.9	SDIO	24
3.10	版图设计常见问题	25
3.10.1	为什么电源纹波并不大，但射频的 TX 性能很差？	25
3.10.2	为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？	25
3.10.3	为什么 ESP32-C6 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？	25
3.10.4	为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？	26
4	开发硬件介绍	27
4.1	ESP32-C6 系列模组	27
4.2	ESP32-C6 系列开发板	27

4.3	下载指导	27
5	相关文档和资源	28
	词汇列表	29
	修订历史	30

表格

1	上电和复位时序参数说明	10
3	芯片启动模式控制	14
4	Strapping 管脚的时序参数说明	15
5	ESP32-C6 系列芯片管脚概述	16

插图

1	ESP32-C6 系列芯片 QFN40 型号参考设计原理图	6
2	ESP32-C6 系列芯片 QFN32 型号参考设计原理图	7
3	ESP32-C6 系列芯片数字电源	8
4	ESP32-C6 系列芯片模拟电源	9
5	上电和复位时序参数图	10
6	ESP32-C6 系列芯片 flash 电路	11
7	ESP32-C6 系列芯片无源晶振电路图	12
8	ESP32-C6 系列芯片外置 RTC 晶振电路图	12
9	ESP32-C6 外部 RTC 时钟输入	13
10	ESP32-C6 系列芯片射频匹配电路图	13
11	射频调试示意图	14
12	Strapping 管脚的时序参数图	15
13	ESP32-C6 系列芯片版图设计	18
14	ESP32-C6 系列模组 (天线馈点在右侧) 在底板上的位置示意图	19
15	ESP32-C6 系列模组 (天线馈点在左侧) 在底板上的位置示意图	19
16	ESP32-C6 系列模组 (天线馈点在右侧) 天线区域净空示意图	20
17	ESP32-C6 系列芯片四层板电源设计	20
18	ESP32-C6 系列芯片四层板模拟电源设计	21
19	ESP32-C6 系列芯片晶振设计	22
20	ESP32-C6 系列芯片四层板射频部分版图设计	22
21	ESP32-C6 系列芯片 PCB 叠层结构设计	23
22	ESP32-C6 系列芯片四层板射频短截线设计	23
23	ESP32-C6 系列芯片 Flash 版图设计	24
24	ESP32-C6 系列芯片 UART0 版图设计	24

1 产品概述

说明:

点击链接或扫描二维码确保您使用的是最新版本的文档:

https://espressif.com/sites/default/files/documentation/esp32-c6_hardware_design_guidelines_cn.pdf



ESP32-C6 系列是超低功耗、高集成度的 MCU 系统级芯片 (SoC)，集成 2.4 GHz Wi-Fi 6 (802.11 ax)、Bluetooth® 5 (LE)、Zigbee 3.0 及 Thread 1.3 (802.15.4) 无线通信，专为物联网 (IoT)、智能家居、工业自动化、医疗保健及消费电子产品等各种应用而设计，具有行业领先的低功耗性能和射频性能。

ESP32-C6 系列搭载一个高性能 RISC-V 32 位处理器和一个低功耗 RISC-V 32 位处理器，工作频率分别可达 160 MHz 和 20 MHz。芯片支持二次开发，无需使用其他微控制器或处理器。

ESP32-C6 系列芯片是业内集成度领先的无线通信解决方案，集成了完整的发射/接收射频功能，包括天线开关、射频 balun、功率放大器、低噪声放大器、滤波器、电源管理模块和先进的自校准电路，极大减少了印刷电路板 (PCB) 的面积。

ESP32-C6 系列芯片还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的缺陷，更好地适应外部环境的变化。因此，ESP32-C6 的批量生产不需要昂贵的专用 Wi-Fi 测试设备。

更多关于 ESP32-C6 系列芯片说明和订购信息请参考 [《ESP32-C6 系列芯片技术规格书》](#)。

ESP32-C6 系列芯片分为 QFN40 和 QFN32 两款型号，两者的主要区别（不是唯一区别）在于是否把 flash 合封在芯片中。

图 1: ESP32-C6 系列芯片 QFN40 型号参考设计原理图

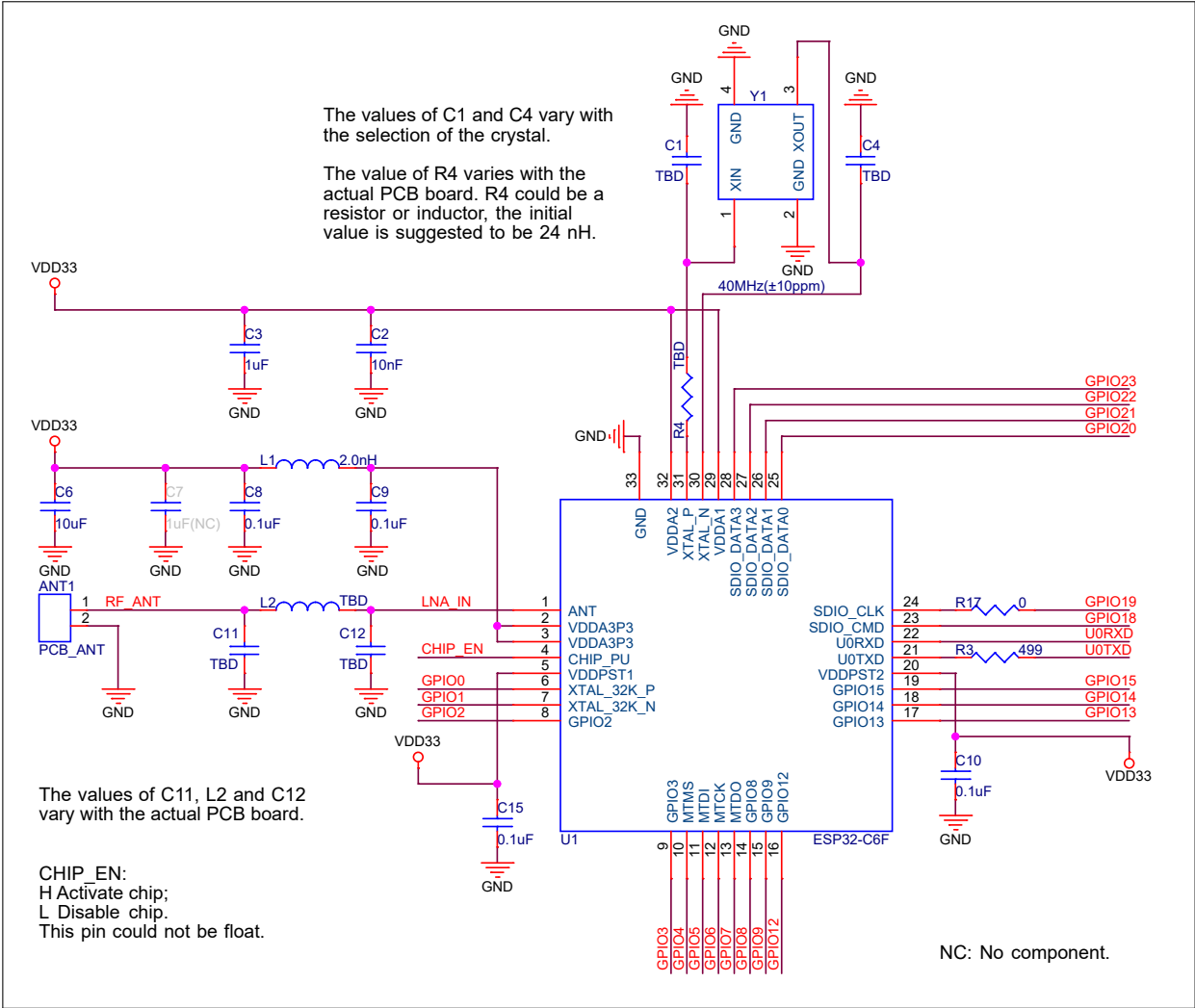


图 2: ESP32-C6 系列芯片 QFN32 型号参考设计原理图

说明:

除非特别说明，后面使用的“ESP32-C6”指的都是 ESP32-C6 系列芯片的 QFN40 型号。

ESP32-C6 系列芯片的核心电路图的设计有 11 个部分注意事项：

- 电源
- 上电时序与复位
- Flash
- 时钟源
- 射频
- UART
- Strapping 管脚
- GPIO
- ADC
- USB
- SDIO

下文将分别对这 11 个部分进行描述。

2.1 电源

关于电源管脚的更多信息，请查看 [《ESP32-C6 系列芯片技术规格书》](#) > 章节 [电源](#)。

2.1.1 数字电源

ESP32-C6 系列芯片的管脚 5 VDDPST1 和管脚 28 VDDPST2 分别为 LP 数字/部分模拟管脚电源管脚和 HP 数字管脚电源管脚，工作电压范围为 3.0 V ~ 3.6 V。建议在电路中靠近数字电源管脚处分别添加 0.1 μ F 电容。

管脚 23 VDD_SPI 作为输出电源时，由 VDDPST2 通过 R_{SPI} 电阻后供电，电压典型值为 3.3 V（更多关于 R_{SPI} 的信息，请参考 [《ESP32-C6 系列芯片技术规格书》](#) > Section [电源管理](#)）。因此，VDD_SPI 相对 VDDPST2 会有一定电压降。建议靠近该电源管脚处添加 0.1 μ F 和 1 μ F 对地滤波电容。

VDD_SPI 也可以连接到外部电源，由外部电源输入供电。

当 VDD_SPI 无需为外部供电时，VDD_SPI 亦可作为 GPIO27 使用。

注意：

当使用 VDD_SPI 给封装内 flash 或外部的 3.3 V flash 供电时，需要满足 flash 的工作电压要求，一般应保证电压在 3.0 V 及以上。

ESP32-C6 系列芯片数字电源电路图如图 3 所示。

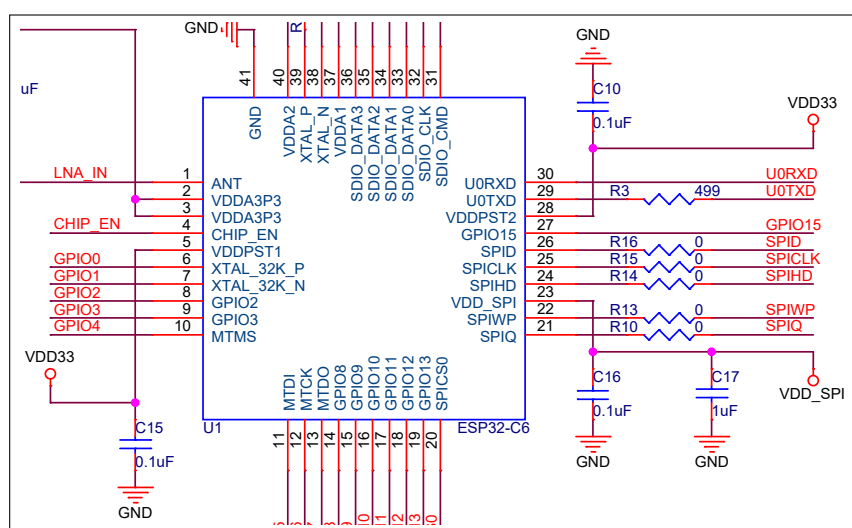


图 3: ESP32-C6 系列芯片数字电源

2.1.2 模拟电源

ESP32-C6 系列芯片的管脚 2 VDDA3P3、管脚 3 VDDA3P3、管脚 37 VDDA1 和管脚 40 VDDA2 为模拟电源管脚，工作电压范围为 3.0 V ~ 3.6 V。

当 ESP32-C6 系列芯片工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在管脚 2 和 3 的 VDDA3P3 电源走线上增加一个 10 μ F 电容，该电容可与 1 μ F 电容搭配使用。另外，在靠近这两个电源管脚处还需添加 CLC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。其余电源管脚请参考图 4 放置相应的去耦电容。

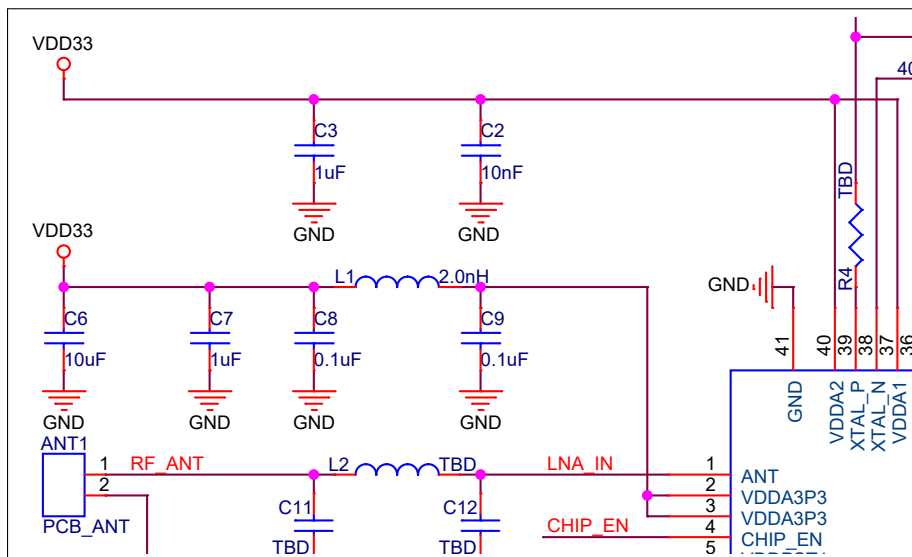


图 4: ESP32-C6 系列芯片模拟电源

注意:

- 使用单电源供电时，建议供给 ESP32-C6 系列芯片的电源电压为 3.3 V，最大输出电流可达 500 mA 及以上。
- 建议在总电源入口添加另一个 10 μ F 电容；如果总电源入口靠近管脚 2 和 3，可以合并这两个 10 μ F 电容。
- 总电源入口处建议添加 ESD 保护器件。

2.2 上电时序与复位

2.2.1 上电时序

当 ESP32-C6 系列芯片使用 3.3 V 作为统一的系统电源时，电源轨需要一点时间方可稳定，之后才能拉高使能管脚 CHIP_PU，激活芯片。因此上电时序只需遵循：ESP32-C6 系列芯片的 CHIP_PU 使能管脚上电晚于系统电源 3.3 V 上电。具体时序请见章节 2.2.3。

注意:

为确保芯片上电时序正常，一般采用的方式是在 CHIP_PU 管脚处增加 RC 延迟电路。RC 通常建议为 $R = 10\text{ k}\Omega$ ， $C = 1\text{ }\mu\text{F}$ ，但具体数值仍需根据实际的电源特性配合芯片的上电、复位时序进行调整。

2.2.2 复位

ESP32-C6 系列芯片的复位可使用 CHIP_PU 管脚。当 CHIP_PU 管脚为低电平时，建议复位电压 (V_{IL_nRST}) 范围为 $(-0.3 \sim 0.25 \times V_{DDPST1})\text{ V}$ 。为防止外界干扰引起重启，CHIP_PU 管脚引线需尽量短一些，且最好加上拉电阻和对地电容。具体时序请见章节 2.2.3。

注意:

该管脚不可浮空。

2.2.3 上电、复位时序图

图 5 为 ESP32-C6 系列芯片的上电、复位时序图。各参数说明如表 1 所示。

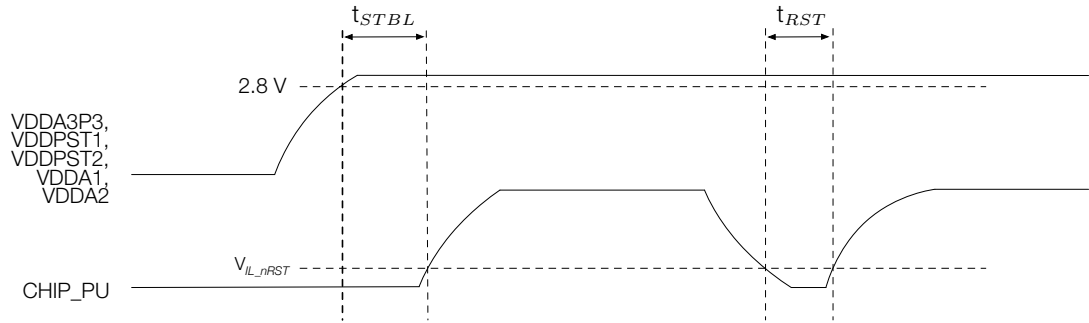


图 5: 上电和复位时序参数图

表 1: 上电和复位时序参数说明

参数	说明	最小值 (μs)
t_{STBL}	CHIP_PU 管脚拉高激活芯片前, VDDA3P3、VDDPST1、VDDPST2、VDDA1 和 VDDA2 达到稳定所需的时间	50
t_{RST}	CHIP_PU 电平低于 V_{IL_nRST} 从而复位芯片的时间	50

注意:

在一些需要频繁上下电或者电源爬坡非常慢或者电源不稳定的应用中, 例如光伏发电的场景, 仅仅 RC 电路无法同时满足上电和复位的时序, 导致芯片无法正常启动。建议采取别的方式满足要求, 比如一个外部复位芯片或者看门狗芯片。对于内封或者外置 3.3 V flash 的芯片来说, 复位的阈值一般是 3.0 V 左右。

2.3 Flash

ESP32-C6 系列芯片 QFN40 型号支持的外部 flash 最大可到 16 MB, 使用 VDD_SPI 输出电源供电。建议如图 6 所示在 SPI 线上预留串联电阻 (初始可使用 0 Ω), 主要作用为降低驱动电流, 减小对射频的干扰, 调节时序, 提升抗干扰能力等。

ESP32-C6 系列芯片 QFN32 型号内置 4 MB 的 SPI flash, flash 管脚没有拉出芯片外。

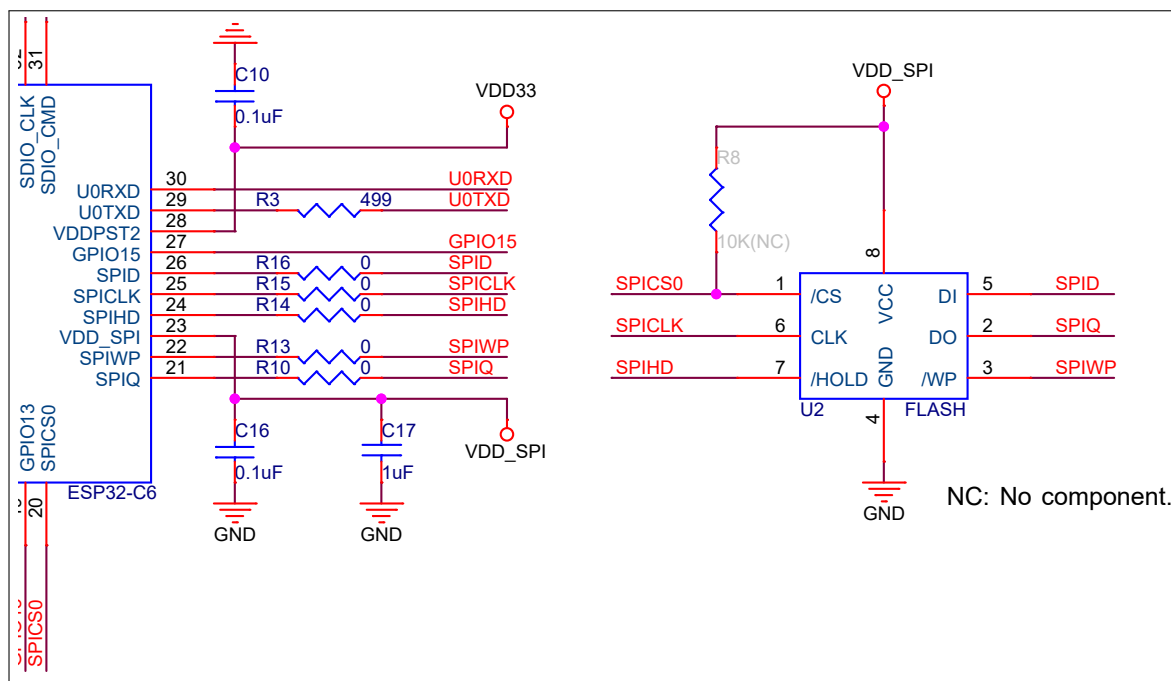


图 6: ESP32-C6 系列芯片 flash 电路

2.4 时钟源

ESP32-C6 外部可以有两个时钟源：

- 外置主晶振时钟源
- RTC 时钟源

2.4.1 外置主晶振时钟源（必选）

目前 ESP32-C6 系列芯片固件仅支持 40 MHz 晶振。

无源晶振

ESP32-C6 的无源晶振部分电路如图 7 所示, 其中外部匹配电容 C1、C4 的初始值可参考以下公式来决定:

$$C_L = \frac{C1 \times C4}{C1 + C4} + C_{stray}$$

其中 C_L (负载电容) 的值可查看所选择晶振的规格书, C_{stray} 的值为 PCB 的寄生电容。C1、C4 的最终值需要通过系统测试后进行调节确定。

XTAL_P 时钟走线上请放置一个串联元器件，可以是电阻或者电感，初始建议使用 24 nH，用来减弱晶振高频谐波对射频性能的影响，最终值需要通过测试后确认。注意，选用的无源晶振自身精度需在 ± 10 ppm。

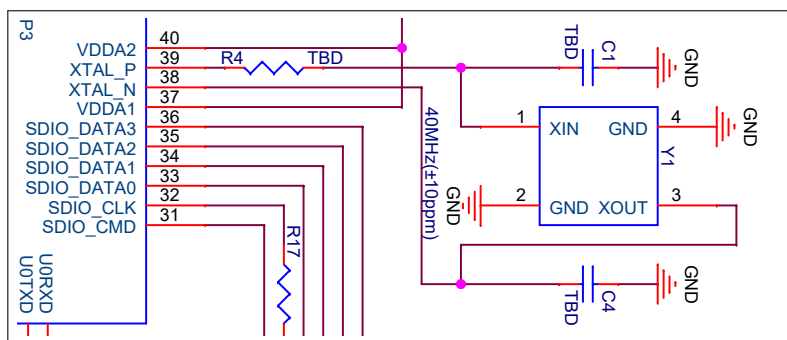


图 7: ESP32-C6 系列芯片无源晶振电路图

注意:

- 尽管 ESP32-C6 内部带有自校准功能，但是晶振本身的质量问题，比如自身频偏过大（例如大于 ± 10 ppm），工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。
- 一般如果出现功能性的 Wi-Fi/蓝牙连不上，排除是软件的原因的话，可以使用综测仪或者频谱仪测试下 2.4 GHz 频偏是否过大。如果是，请调节晶振两边的电容来减小频偏。

2.4.2 RTC 时钟（可选）

ESP32-C6 支持主晶振分频或者外置 32.768 kHz 的无源晶振或者外部激励信号（如有源晶振）作为 RTC 睡眠时钟，适用于需要高精度 RTC 时钟的应用，例如，需要蓝牙唤醒的场景。

外置 32.768 kHz 的无源晶振电路如图 8 所示。

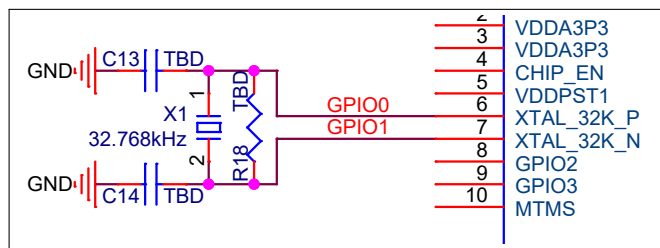


图 8: ESP32-C6 系列芯片外置 RTC 晶振电路图

注意:

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) ≤ 70 k Ω ;
 - 两端负载电容值根据晶振的规格要求进行配置。可参考章节 2.4.1。
- 并联电阻 R 用于偏置晶振电路，电阻值要求 5 M $\Omega < R \leq 10$ M Ω ，该电阻一般无需上件。
- 如果不需要该 RTC 时钟源，则 32.768 kHz 晶振的两个管脚也可配置为通用 GPIO 口使用。

外部激励信号的电路如图 9 所示：



图 9: ESP32-C6 外部 RTC 时钟输入

外部时钟信号可通过一个隔直电容（20 pF 左右）输入至 XTAL 的 P 端，N 端悬空即可。外部激励信号参数如下表所示：

XTAL 的 P 端输入	振幅（Vpp，单位：V）
正弦波或方波	$0.6 < V_{pp} < V_{DD}$

2.5 射频 (RF)

ESP32-C6 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及天线匹配电路。

PCB 板射频走线：必须进行 50 Ω 阻抗管控。

芯片匹配电路：必须靠近芯片放置，主要用来调整阻抗点以及谐波抑制，优先采用 CLC 结构，空间允许的情况下可以再加一组 LC。CLC 匹配电路如图 10 所示。

天线及天线匹配电路：为保证辐射性能，天线的特征阻抗一定要为 50 Ω 左右，为保险起见推荐靠近天线位置加一组 CLC 匹配电路用来调节天线。如果经过仿真可以确保天线阻抗点为 50 Ω，并且空间较小，可以不加天线端的匹配电路。

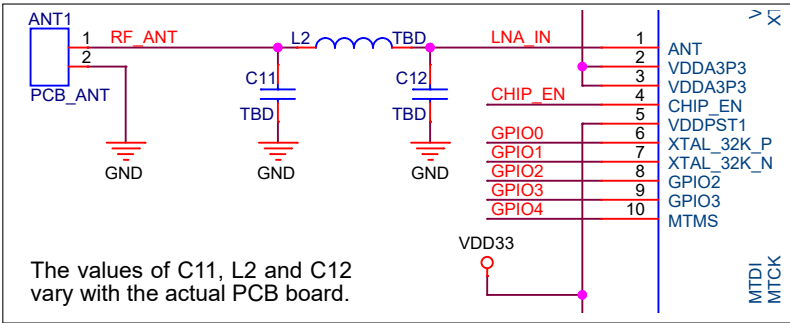


图 10: ESP32-C6 系列芯片射频匹配电路图

图 11 展示了 RF 调试的大概过程。请注意，匹配网络的电阻参数值需基于实际天线和 PCB 布局进行测试来确定，初始值可以使用 0 Ω。对于 ESP32-C6 系列芯片，推荐将下图中的 S11 参数设置为 30+j0 Ω，中心频点为 2442 MHz。

如果不需要使用射频功能，射频管脚可以悬空。

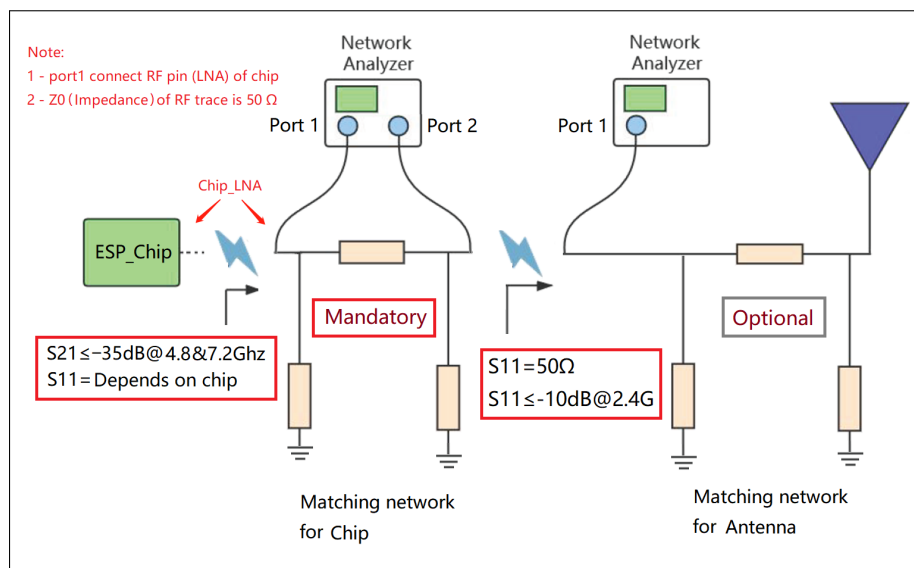


图 11: 射频调试示意图

注意:

匹配电路值和 PCB 板有关，因此模组的匹配值无法直接使用。

2.6 UART

U0TXD 线上建议串联 499 Ω 电阻用于抑制 80 MHz 谐波。

UART0 通常作为下载和 log 打印的串口，管脚是固定的。下载指导请参考章节 4.3。

其他 UART 可以作为通信的串口，管脚可以通过软件配置到任意空闲的 GPIO 上。同样在 TX 线上建议预留串联电阻用于抑制谐波。

2.7 Strapping 管脚

芯片每次上电或复位时，都需要一些初始配置参数，如加载芯片的启动模式等。这些参数通过 strapping 管脚控制。复位放开后，strapping 管脚和普通 IO 管脚功能相同。

所有的 strapping 管脚信息，可参考 [《ESP32-C6 系列芯片技术规格书》](#) > 章节 [Strapping 管脚](#)。

下面主要介绍和启动模式有关的 strapping 管脚信息。

复位释放后，GPIO8 和 GPIO9 共同决定启动模式。详见表 3 芯片启动模式控制。

表 3: 芯片启动模式控制

启动模式	GPIO8	GPIO9
默认配置	– (浮空)	1 (上拉)
SPI Boot (默认)	任意值	1
Download Boot	1	0
无效组合 ¹	0	0

¹ 该组合会触发意外行为，应当避免。

Strapping 管脚的时序参数包括 建立时间和 保持时间。更多信息，详见表 4 和图 12。

表 4: Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
t_H	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

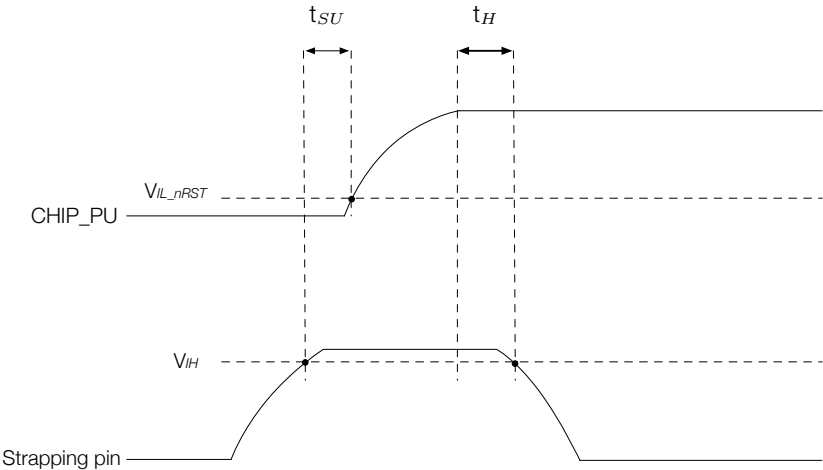


图 12: Strapping 管脚的时序参数图

注意：
请注意不要在 GPIO9 管脚处添加较大的电容，可能会导致第一次启动进入下载模式。

2.8 GPIO

说明：
以下内容摘自 [《ESP32-C6 系列芯片技术规格书》](#) > [管脚](#) 章节。

ESP32-C6 系列芯片通过 IO MUX 表格或者 GPIO 交换矩阵功能来配置 GPIO，IO MUX 表格中是默认的外设管脚配置，GPIO 交换矩阵用于将可以配置的外设信号传输至 GPIO 管脚。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考 [《ESP32-C6 技术参考手册》](#) 的 > IO MUX 和 GPIO 交换矩阵 (GPIO, IO_MUX) 章节。

部分外设的 GPIO 管脚是固定的，部分是可以任意配置的，具体信息请参考 [《ESP32-C6 系列芯片技术规格书》](#) > [外设管脚分配](#) 章节。

使用 GPIO 时，

- 请注意复位后的默认配置，详见表 5。建议对处于高阻态的管脚配置上拉或下拉，或在软件初始化时开启管脚自带的上下拉，以避免不必要的耗电。
- 避免使用 flash 占用的管脚。
- 请注意 strapping 管脚的上电状态。

表 5: ESP32-C6 系列芯片管脚概述

管脚 序号	管脚 名称	管脚 类型	供电 管脚	管脚配置		管脚功能		
				复位时	复位后	IO MUX	LP IO MUX	模拟
1	ANT	模拟						
2	VDDA3P3	电源						
3	VDDA3P3	电源						
4	CHIP_PU	模拟	VDDPST1					
5	VDDPST1	电源						
6	XTAL_32K_P	IO	VDDPST1			IO MUX	LP IO MUX	Analog
7	XTAL_32K_N	IO	VDDPST1			IO MUX	LP IO MUX	Analog
8	GPIO2	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
9	GPIO3	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
10	MTMS	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
11	MTDI	IO	VDDPST1	IE	IE	IO MUX	LP IO MUX	Analog
12	MTCK	IO	VDDPST1		IE, WPU ⁶	IO MUX	LP IO MUX	Analog
13	MTDO	IO	VDDPST1		IE	IO MUX	LP IO MUX	
14	GPIO8	IO	VDDPST2	IE	IE	IO MUX		
15	GPIO9	IO	VDDPST2	IE, WPU	IE, WPU	IO MUX		
16	GPIO10	IO	VDDPST2		IE	IO MUX		
17	GPIO11	IO	VDDPST2		IE	IO MUX		
18	GPIO12	IO	VDDPST2		IE	IO MUX		Analog
19	GPIO13	IO	VDDPST2		IE, WPU	IO MUX		Analog
20	SPICS0	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
21	SPIQ	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
22	SPIWP	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
23	VDD_SPI	电源/IO	—			IO MUX		Analog
24	SPIHD	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
25	SPICLK	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
26	SPID	IO	VDD_SPI	WPU	IE, WPU	IO MUX		
27	GPIO15	IO	VDDPST2	IE	IE	IO MUX		
28	VDDPST2	电源						
29	U0TXD	IO	VDDPST2		WPU ⁷	IO MUX		
30	U0RXD	IO	VDDPST2		IE, WPU	IO MUX		
31	SDIO_CMD	IO	VDDPST2	WPU	IE	IO MUX		
32	SDIO_CLK	IO	VDDPST2	WPU	IE	IO MUX		
33	SDIO_DATA0	IO	VDDPST2	WPU	IE	IO MUX		
34	SDIO_DATA1	IO	VDDPST2	WPU	IE	IO MUX		
35	SDIO_DATA2	IO	VDDPST2	WPU	IE	IO MUX		
36	SDIO_DATA3	IO	VDDPST2	WPU	IE	IO MUX		

见下页

表 5 – 接上页

管脚 序号	管脚 名称	管脚 类型	供电 管脚	管脚配置		管脚功能		
				复位时	复位后	IO MUX	LP IO MUX	模拟
37	VDDA1	电源						
38	XTAL_N	模拟						
39	XTAL_P	模拟						
40	VDDA2	电源						
41	GND	电源						

管脚配置一栏为复位时和复位后预设配置缩写：

- IE – 输入使能
- WPU – 内部弱上拉电阻使能
- WPD – 内部弱下拉电阻使能

2.9 ADC

使用 ADC 功能时，请靠近管脚添加 0.1 μ F 的对地滤波电容，精度会更准确一些。

2.10 USB

ESP32-C6 系列芯片集成一个 USB 串口/JTAG 控制器。GPIO12 和 GPIO13 可以分别作为 USB 的 D- 和 D+，线上建议预留串联电阻和对地电容，并注意靠近芯片端放置。

ESP32-C6 系列芯片也可以通过 USB 进行下载和 log 打印，下载指导请参考章节 4.3。

2.11 SDIO

ESP32-C6 系列芯片只有一个 SDIO 从机控制器，符合工业标准 SDIO 2.0 规格。SDIO GPIO 是固定的，即 SDIO_CMD、SDIO_CLK、SDIO_DATA0、SDIO_DATA1、SDIO_DATA2 和 SDIO_DATA3。请在 SDIO GPIO 管脚处添加上拉电阻，建议每根线上预留一个串联的电阻。

3 版图布局

本章节将以 ESP32-C6-WROOM-1 模组的 PCB 布局为例，介绍 ESP32-C6 系列芯片的 PCB 布局设计要点。

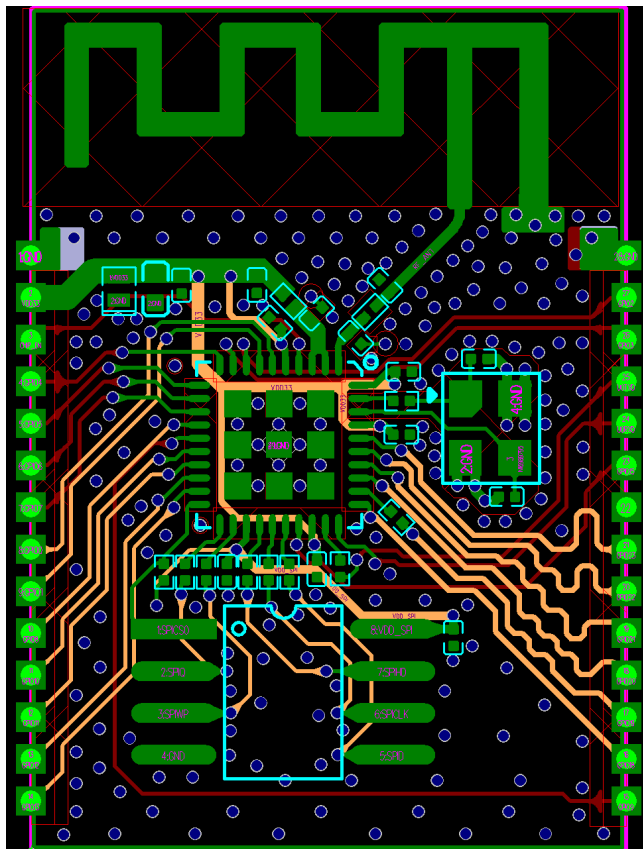


图 13: ESP32-C6 系列芯片版图设计

3.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层（顶层），主要用于走信号线和摆件。
- 第二层（地层），不走信号线，保证一个完整的地平面。
- 第三层（电源线层），铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，将电源走在该层，可适度走信号线。
- 第四层（底层），不建议摆件，走信号线。

如采用两层板设计：

- 第一层（顶层），主要用于摆件和走线。
- 第二层（底层），不要摆件，走线也越少越好，保证射频、晶振和芯片有一个完整的地平面。

3.2 模组在底板上的位置摆放

如使用模组进行板上 (on-board) 设计，需注意模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组天线区域伸出板边，馈点靠近底板板边放置。在下面模组摆放位置图中，✓代表强烈推荐的摆放位置，其他位置不推荐。

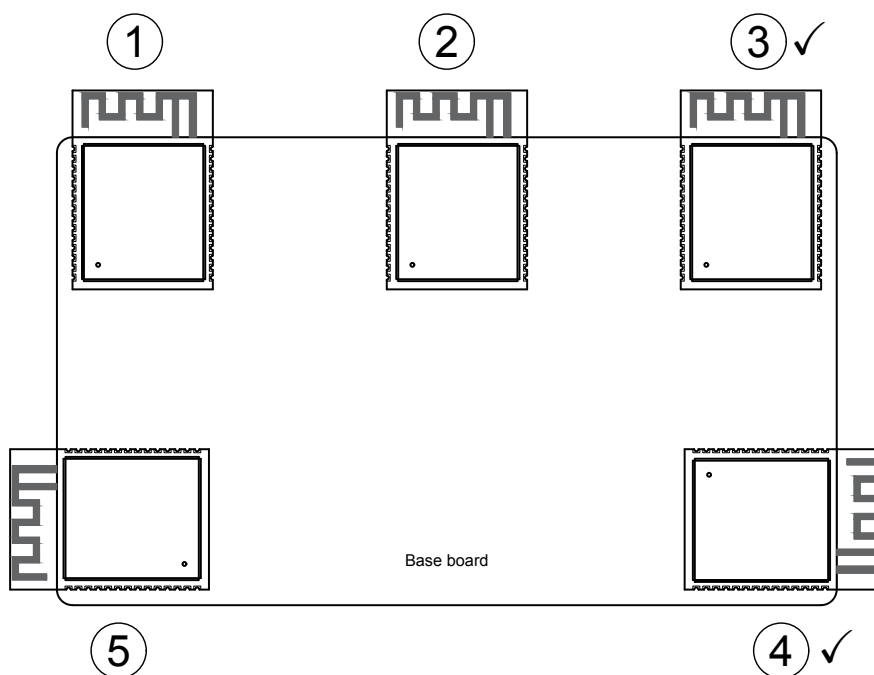


图 14: ESP32-C6 系列模组 (天线馈点在右侧) 在底板上的位置示意图

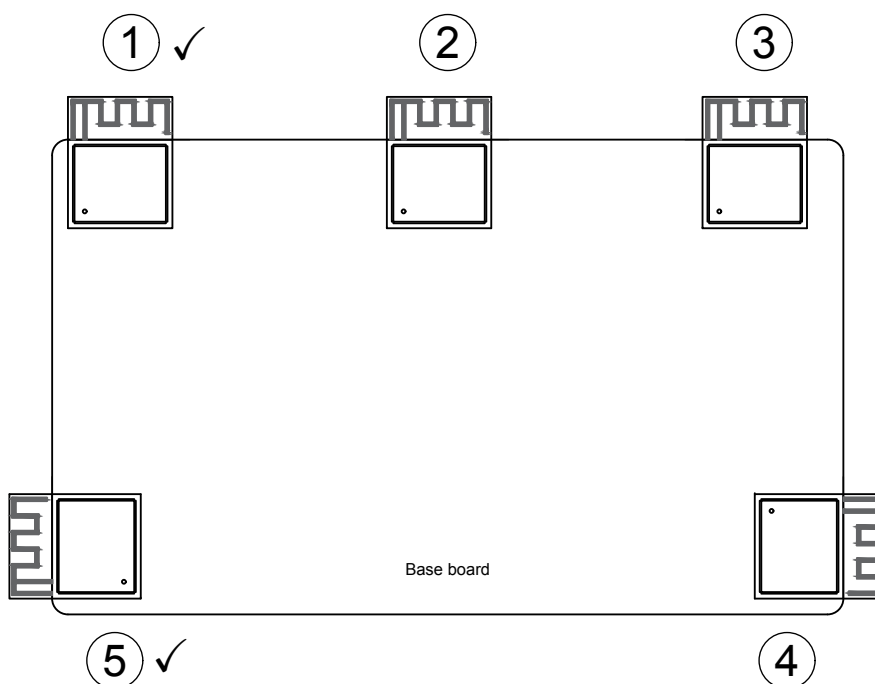


图 15: ESP32-C6 系列模组 (天线馈点在左侧) 在底板上的位置示意图

如果天线无法伸出板边，请保证给 PCB 天线一个足够大的净空区域（严禁铺铜、走线、摆放元件），该净空区域建议至少 15 mm，PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影响。馈点还是尽量靠近板边放置，如图 16 以馈点在右侧的模组为例，画出了建议的净空区。

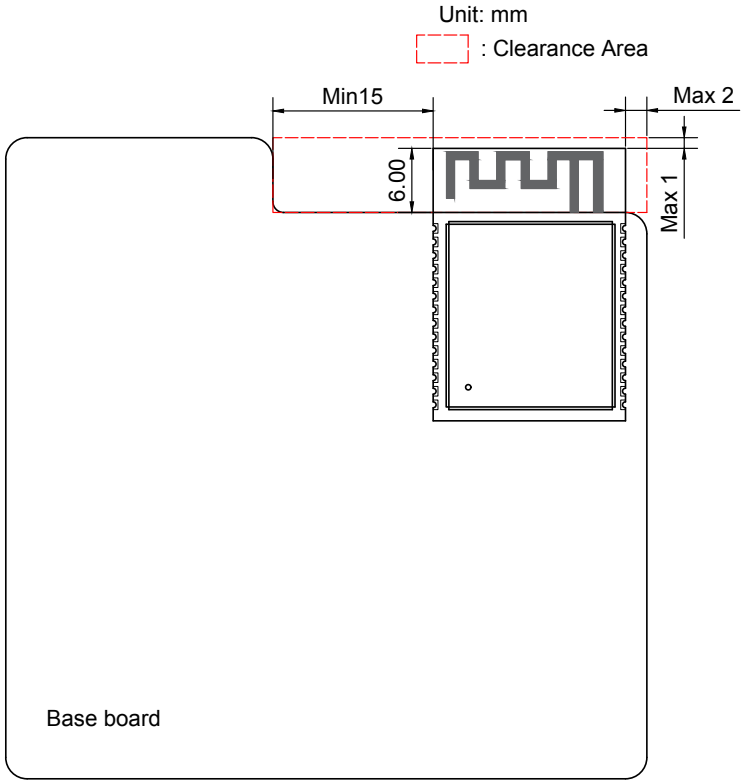


图 16: ESP32-C6 系列模组 (天线馈点在右侧) 天线区域净空示意图

涉及整机设计时，请注意考虑外壳对天线的影响，并进行 RF 验证。

请注意最终仍需要对整机产品进行吞吐量和通讯距离等测试来确保产品射频性能。

3.3 电源

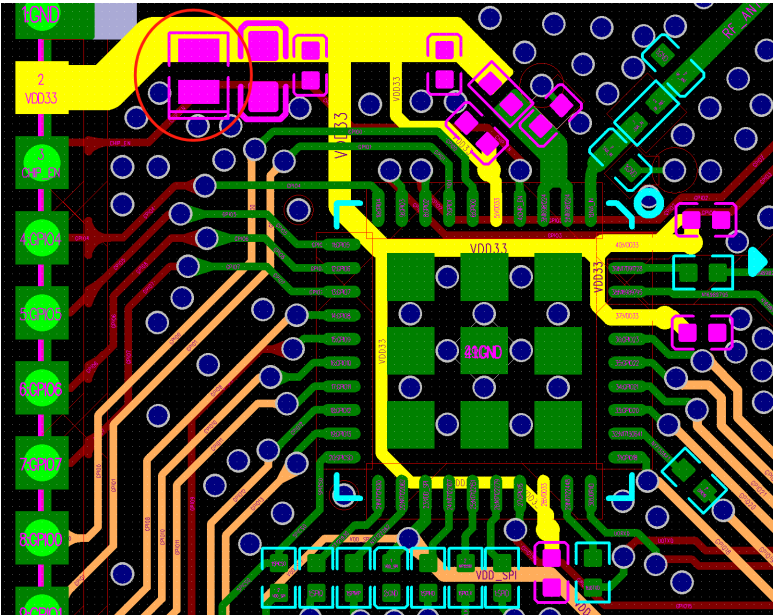


图 17: ESP32-C6 系列芯片四层板电源设计

- 优先采用四层板设计，电源走线尽量走在内层第三层，通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图 17 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil，模拟电源 VDDA3P3 分支电源走线建议至少 20 mil，其他分支电源走线建议 10 mil。
- 图 17 左上半部分中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 μ F 电容，该电容可与 0.1 或 1 μ F 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。

注意：

图 17 中因为模拟电源 VDDA3P3 和芯片电源入口接近（图 17 中电源入口为黄色高亮标注的 VDD33 起点），因此把模拟电源上和电源入口处的 $10\ \mu\text{F}$ 电容合并了。如果芯片电源入口不靠近 VDDA3P3 管脚，请在芯片电源入口处和模拟电源 VDDA3P3 处都添加一个 $10\ \mu\text{F}$ 电容，有空间的话可以再预留一个 $1\ \mu\text{F}$ 电容。

- 模拟电源 VDDA3P3 处 CLC 滤波电容中的对地电容的 GND 焊盘建议添加过孔连接至底层的地，其余层做 keep-out 隔离处理，进一步降低谐波干扰，参考图 18。
- VDDA3P3 模拟电源两边请包地处理，和周围的射频、GPIO 之间添加 GND 隔离，并尽量能放置地孔。
- 芯片下方的地焊盘，请注意需要至少打九个地孔连接到地平面。
- 如图 17 所示，如需在模组背面添加散热焊盘 EPAD，建议对 EPAD 进行多宫格处理，间隙处盖油墨，而地孔则打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时的漏锡问题。

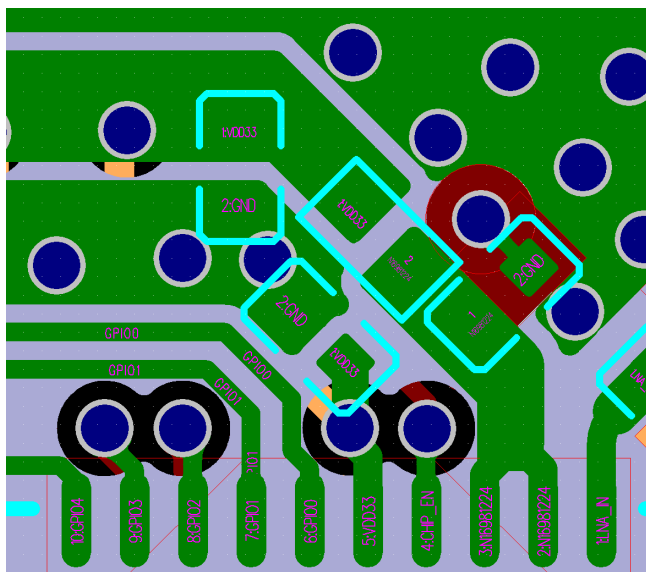


图 18: ESP32-C6 系列芯片四层板模拟电源设计

3.4 晶振

晶振设计请参考图 19，仅在顶层晶振的周围设置 keep-out，另外：

- 晶振需离芯片时钟引脚稍远一些放置（间隙至少为 **2.4 mm**），防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，跨层交叉也不行。

- 晶振上的串联元器件请靠近芯片放置。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，不要直接连接在串联元器件上，电容尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧可以尽可能的包地。
- 晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

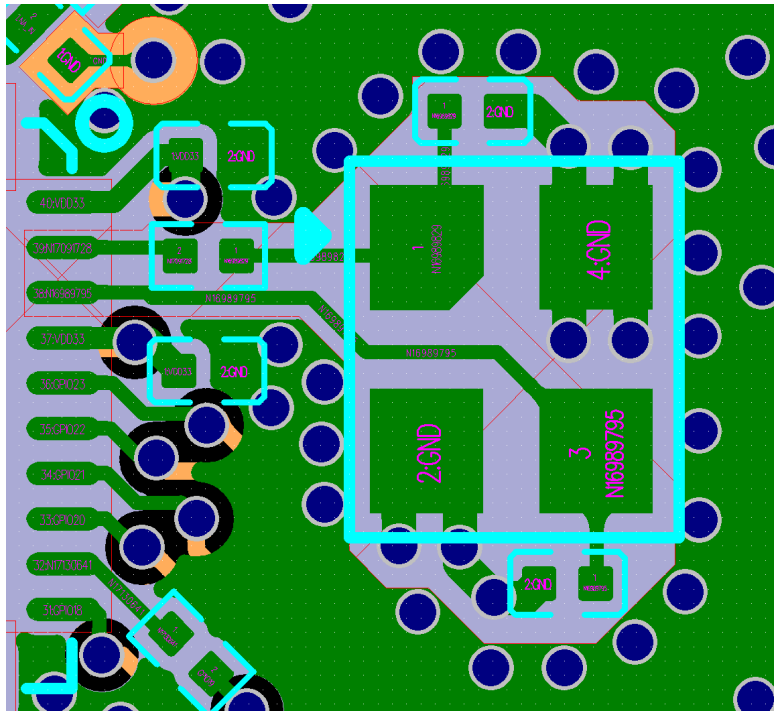


图 19: ESP32-C6 系列芯片晶振设计

3.5 射频

下图 20 中高亮走线即为射频走线。

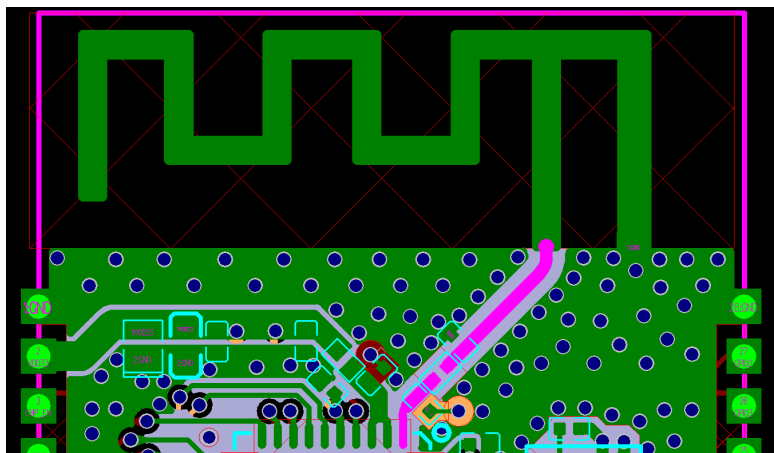


图 20: ESP32-C6 系列芯片四层板射频部分版图设计

- 射频走线须做 $50\ \Omega$ 阻抗控制，参考平面为第二层。射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需尽可能地靠近芯片端，并呈 Z 字型摆放。

- 射频走线在做 $50\ \Omega$ 阻抗控制时，可参考图 21 所示的 PCB 叠层结构设计。

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	成品层厚 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8	
PP	7628 TG150 RC50%		8	4.39
L2_Gnd		1	1.2	
Core	芯板		可调	4.43
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8	4.39
L4_Bottom	成品铜厚 1 oz	0.33	0.8	
阻焊层			0.4	4

图 21: ESP32-C6 系列芯片 PCB 叠层结构设计

- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- π 型 CLC 匹配网络中靠近芯片侧对地电容的 GND 焊盘与地之间建议增加短截线，可有效抑制二次谐波。短截线的长度建议为 15 mil，线宽根据 PCB 叠层结构进行确定，确保短截线的特征阻抗为 $100\ \Omega \pm 10\%$ 。此外，短截线地孔与第三层相连，第一、二层做 keep-out 隔离处理。图 22 中的高亮走线即为短截线。当 π 型匹配网络元器件封装为 0201 以上时，则无需做短截线处理。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR、一些高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

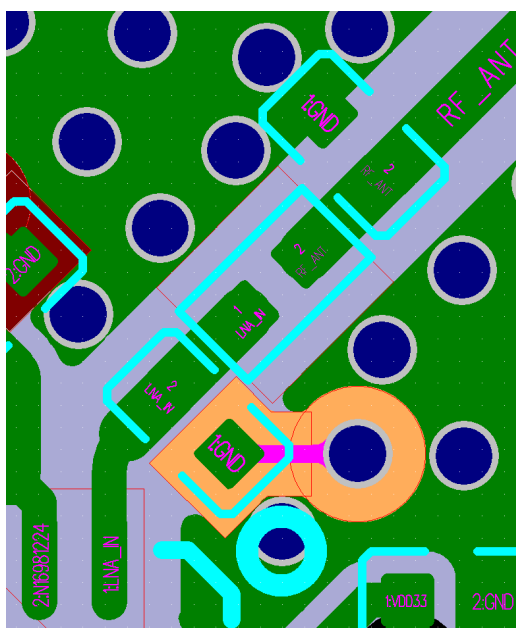


图 22: ESP32-C6 系列芯片四层板射频短截线设计

3.6 Flash

SPI 通信线上预留的串联电阻请靠近芯片侧放置。SPI 走线请尽可能地走到内层（例如第三层），并且 Clock 及 Data 走线都单独进行包地处理。

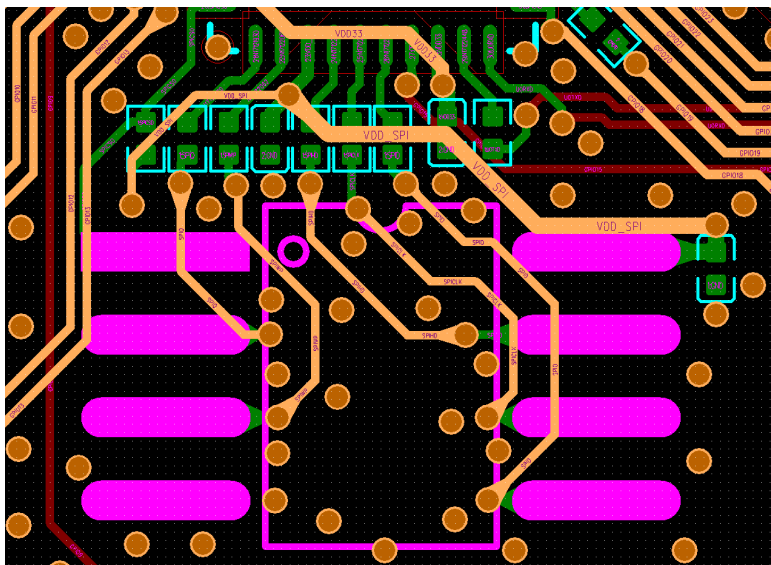


图 23: ESP32-C6 系列芯片 Flash 版图设计

3.7 UART

U0TXD 线上的串联电阻需尽可能地靠近芯片并远离晶振放置。U0TXD、U0RXD 在顶层的走线需尽量短，而且全路径尽量用地线包裹，周围加地孔屏蔽。



图 24: ESP32-C6 系列芯片 UART0 版图设计

3.8 USB

USB 线上预留的 RC 电路请靠近芯片侧放置。USB 走线请按照差分走线，保持平行等长，有完整的参考地平面，走线两侧请注意包地处理。

3.9 SDIO

SDIO 走线因为速率较高，需要尽量控制其寄生电容。

SDIO_CMD、SDIO_DATA0 ~ SDIO_DATA3 走线长度以 SDIO_CLK 走线长度为基准 ± 3 mil，需要时绕蛇形线。SDIO_CLK 走线尽量单独包地，从芯片 SDIO 管脚到对端 SDIO 接口的总长度越短越好，控制在 2500 mil 以内，最好在 2000 mil 以内。

SDIO 走线要保证不跨平面。

3.10 版图设计常见问题

3.10.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-C6 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 $<80\text{ mV}$ 。发送 11m@11b 时，电源纹波峰峰值必须 $<120\text{ mV}$ 。

解决方法

在电源支路上（支路为 ESP32-C6 模拟电源管脚）添加一个 $10\text{ }\mu\text{F}$ 的滤波电容。 $10\text{ }\mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.10.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3.4。

3.10.3 为什么 ESP32-C6 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.10.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 [3.5](#)。

4 开发硬件介绍

4.1 ESP32-C6 系列模组

请至乐鑫官网的[模组页面](#)查看 ESP32-C6 系列模组的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

4.2 ESP32-C6 系列开发板

请至乐鑫官网的[开发板页面](#)查看 ESP32-C6 系列开发板的最新详细信息。

4.3 下载指导

ESP32-C6 系列芯片支持通过 UART 和 USB 两种方式下载固件。

UART 下载的过程如下：

1. 烧录前，需要设置芯片/模组在 Download Boot 启动模式下，即将 IO8（默认浮空）上拉到高电平，IO9（默认为高）下拉到低电平；
2. 给芯片/模组上电，通过 UART0 串口查看是否进入 Download Boot 模式。
3. 通过 [Flash 下载工具](#)，选择 UART 方式将程序固件烧录进 flash 中；
4. 烧录结束后，IO9 可以悬空或者上拉切换至高电平，进入 SPI Boot 启动模式下工作；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

USB 下载的过程如下：

1. 如果是空白 flash，烧录前，需要设置在 Download Boot 模式下，参考前面 UART 下载过程。
2. 给芯片/模组上电，通过 USB 查看是否进入 Download Boot 模式。
3. 通过 [Flash 下载工具](#)，选择 USB 方式将程序固件烧录进 flash 中；
4. 烧录结束后，GPIO9 可以悬空或者上拉切换至高电平，进入 SPI Boot 模式下工作；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。
6. 如果不是空白的 flash，可以直接从步骤 3 开始。

注意：

- 推荐先通过串口看到进入下载模式的信息后再去下载。
- 串口打印工具和烧录工具不能同时占用串口端口。
- 固件中如果配置 USB GPIO 为其他功能或者没有启用 USB 功能时，后续不能直接通过 USB 下载，需要额外设置在 Download Boot 模式下，才可以通过 USB 下载。
- 建议预留 UART 下载的接口，防止 USB 下载出现问题时没有办法调试。

5 相关文档和资源

相关文档

- [《ESP32-C6 技术规格书》](#) – 提供 ESP32-C6 芯片的硬件技术规格。
- [《ESP32-C6 技术参考手册》](#) – 提供 ESP32-C6 芯片的存储器和外设的详细使用说明。
- 证书
<https://espressif.com/zh-hans/support/documents/certificates>
- 文档更新和订阅通知
<https://espressif.com/zh-hans/support/download/documents>

开发者社区

- ESP-IDF 及 GitHub 上的其它开发框架
<https://github.com/espressif>
- ESP32 论坛 – 工程师对工程师 (E2E) 的社区，您可以在这里提出问题、解决问题、分享知识、探索观点。
<https://esp32.com/>
- *The ESP Journal* – 分享乐鑫工程师的最佳实践、技术文章和工作随笔。
<https://blog.espressif.com/>
- SDK 和演示、App、工具、AT 等下载资源
<https://espressif.com/zh-hans/support/download/sdks-demos>

产品

- ESP32-C6 系列芯片 – ESP32-C6 全系列芯片。
<https://espressif.com/zh-hans/products/socs?id=ESP32-C6>
- ESP32-C6 系列模组 – ESP32-C6 全系列模组。
<https://espressif.com/zh-hans/products/modules?id=ESP32-C6>
- ESP32-C6 系列开发板 – ESP32-C6 全系列开发板。
<https://espressif.com/zh-hans/products/devkits?id=ESP32-C6>
- ESP Product Selector (乐鑫产品选型工具) – 通过筛选性能参数、进行产品对比快速定位您所需要的产品。
<https://products.espressif.com/#/product-selector?language=zh>

联系我们

- 商务问题、技术支持、电路原理图 & PCB 设计审阅、购买样品 (线上商店)、成为供应商、意见与建议
<https://espressif.com/zh-hans/contact-us/sales-questions>

词汇列表

CLC	电容-电感-电容
DDR	双倍速率
ESD	静电释放
LC	电感-电容
PA	功率放大器
RC	电阻-电容
RTC	实时控制器
SiP	系统封装

修订历史

日期	版本	发布说明
2023-03-09	v1.0	首次发布



免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2023 乐鑫信息科技（上海）股份有限公司。保留所有权利。