

选择题

- C 1. 下列描述中采用时钟正沿触发且 reset 异步下降沿复位的代码描述是 ()
- A. always @(posedge clk, negedge reset) if(reset)
 - B. always@(posedge clk, reset) if (!reset)
 - C. always @(posedge clk, negedge reset) if(!reset)
 - ~~D. always @(negedge clk, posedge reset) if (reset)~~

- A B C 2. 下列代码描述中，不能产生时序逻辑的 ()
- A. always (*) begin
if (a&b) rega=c;
else rega=0;
end

B. always (*) begin
if (a&b) rega=c;
y=rega;
end

C. always @(a) begin
case(a)
2'b00: out=4 'b0001;
2'b01: out=4 'b0010;
2'b10: out=4 'b0100;
endcase
end

- D 3. 在高速系统设计中，下列哪种优化方案的目的不是为了提高系统的工作频率 ()
- A. 流水线
 - B. 树型结构
 - C. 迟置信号后移
 - D. 资源共享

- C 4. 状态机的编码风格包括一段式、两段式和三段式，下列描述正确的是 ()
- A. 一段式寄存器输出，易产生毛刺，不利于时序约束;
 - B. 二段式组合逻辑输出，不产生毛刺，有利于时序约束;
 - C. 三段式寄存器输出，不产生毛刺，有利于时序约束;
 - D. 所有描述风格都是寄存器输出，易产生毛刺，有利于时序约束。

- A 5. 关于过程块以及过程赋值描述中，下列正确的是 ()
- A. 在过程赋值语句中表达式左边的信号一定是寄存器类型；
 - B. 过程块中的语句一定是可综合的；

- C.在过程中,使用过程赋值语句给wire赋值不会产生错误;
D.过程中时序控制的种类有简单延迟、边沿敏感和电平敏感。

- C. 6. Verilog 语言与 C 语言的区别, 不正确的描述是 ()
A. Verilog 语言可实现并行计算, C 语言只是串行计算;
B. Verilog 语言可以描述电路结构, C 语言仅仅描述算法;
C. Verilog 语言源于 C 语言, 包括它的逻辑和延迟;
D. Verilog 语言可以编写测试向量进行仿真和测试。

- B. 7. 基于 HDL 语言的设计称之为 () 的设计。
A. 自底向上 B. 自顶向下 C. 积木式 D. 定层

- C. 8. 基于下面技术的 PLD 器件中允许编程次数最多的是 ()。
A. FLASH B. EPROM C. SRAM D. PROM

- C. 9. 大规模可编程器件主要有 FPGA、CPLD 两类, 下列对 FPGA 结构与工作原理的描述中, 正确的是 ()。
A. FPGA 全称为复杂可编程逻辑器件
B. FPGA 是基于乘积项结构的可编程逻辑器件
C. 基于 SRAM 的 FPGA 器件, 在每次上电后必须进行一次配置
D. CPLD 是现场可编程逻辑器件

- A. 10. 设变量 $X = 3'h010$, $Y = 5'h1B$, 则 $\{X, Y\}$ 的值是 ()。
A. 01011011 B. 01010110 C. 11011010 D. 01001111

- D. 11. P、Q、R 都是 4bit 的输入矢量, 下面哪一种表达形式是正确的 ()。
A. input P[3:0], Q, R;
B. input P, Q, R[3:0];
C. input P[3:0], Q[3:0], R[3:0];
D. input [3:0] P, Q, R;

填空题

13. timescale 1us/100ns 中, 1us 为 时间基准单位 100ns 为 模拟时间精度。
14. 在 Verilog HDL 中的常数包括 数字、X 和 Z 三种。
15. 写出表达式以实现对应电路的逻辑功能。
assign F = ((A & B) | (C & D)) ^ E
- A
B F

C
D
E

16. 一个大型的组合电路总延时为 100ns, 采用流水线将它分为两个较小的组合电路, 理论上电路最高工作频率可达 20 MHz。

设计题

$$\frac{1}{50 \times 10^{-9}} = 0.2 \times 10^8 = 20 \text{ MHz}$$


17. 试使用 Verilog HDL 设计一个 10 进制计数器, 规定模块定义为 module count10(out, clr, clk), 其中 clk 为时钟输入, clr 为同步清零输入, 低电平有效, out 为计数器输出。要求

- (1) 写出 10 进制计数器 Verilog HDL 设计程序并注释;
- (2) 写出 10 进制计数器 Verilog HDL 测试文件并注释;

18. 使用状态机设计一个“11011”序列检测器, 序列输入为 s_in, 检测结果输出为 p_out, 高电平表示发现指定序列, 低电平表示没有发现指令序列。请对状态进行定义, 并画出状态转移图。

```
module count10 (input clk, input clr, output reg out);  
    always @ (posedge clk)  
    if (!clr) out <= 0;  
    else if (out == 4'd9) out <= 0;  
    else out <= out + 1;  
endmodule
```

```
module count10 (output out, input clr, input clk)  
    reg [3:0] Q;  
  
    always @ (posedge clk)  
    if (!clr) Q <= 0;  
    else if (Q == 4'd9) Q <= 0;  
    else Q <= Q + 1;  
  
    always @ (Q)  
    if (Q == 4'd9) clk = 1;
```

(2) 

```
module count10_tb;  
    reg clr, clk;  
    wire out;  
  
    count10 c (out, clr, clk);  
    initial  
    begin  
        clr = 0;  
        clk = 1;  
        #10 clr = 1;  
    end  
end
```

```
always #10 clk = ~clk;  
endmodule
```

A: 1
B: 11
C: 110
D: 1101
E: 11011
X: 无状态

