

计算机体系结构 试卷 (A)

院(系)_____ 班级_____ 学号_____ 姓名_____

题号	一	二	三	四	五	六	七	八	九	十	卷面 总成绩
得分											

得 分

一、填空题（每空 1 分，共 20 分）

- 1、不同系列的计算机之间，实现可移植的途径有采用统一的高级语言、模拟和_____。
- 2、常见的计算机系统结构分类法包括_____分类法、_____分类法两种。
- 3、对指令集的基本要求是完整性、_____、高效率和_____。
- 4、流水线中最慢的一段称为流水线的_____。
- 5、指令之间的名相关有_____相关和_____相关。
- 6、要扩充 Tomasulo 算法以支持前瞻执行，需将该算法中的“写结果”段分为_____和_____两段。
- 7、动态分支预测的依据是从转移指令过去的行为来预测它将来的行为，即根据近期转移是否成功的_____记录，来预测下一次转移的方向。
- 8、开发指令级并行的方法主要有两类：基于_____的动态开发方法和基于_____的静态开发方法。

自觉遵守考试规则，诚信考试，绝不作弊
所有答案请填写在答题纸上

9、计算机系统的存储层次要解决的四个问题是_____、查找方法、
_____、_____。

10、通道分为_____、选择通道、_____三种类型。

11、假设某系统具有二级 Cache 缓存，在 2000 次访存中，第一级 Cache 失效 50 次，第二级 Cache 失效 10 次。试问：在这种情况下，该系统的第二级 Cache 局部失效率是_____和全局失效率是_____。

得 分

二、（共 10 分）比较 CISC 和 RISC 处理机的指令系统结构在指令格式、寻址方式和 CPI 等方面的不同。

得 分

三、（共 10 分）假定某种计算机体系结构中有四种指令类型：加法指令、乘法指令、存储器运算指令以及转移指令。下表中分别给出了某程序中的以下数据：属于每种指令类型的指令数、执行每种指令类型所需要的周期数、为每种指令类型使用相应改进措施（每种改进措施仅影响该指令类型）后的加速比。

指令类型	指令数	执行时间	加速比
加法	1000 万	2 个周期	2.0
乘法	3000 万	20 个周期	1.3
存储器	3500 万	10 个周期	3.0
转移	1500 万	4 个周期	4.0

- 1、请问计算机系统设计经常使用的定量原理是什么？（小计 4 分）
- 2、请按照每种指令类型对该系统总体性能的影响程度进行排序。（小计 4 分）
- 3、四类操作均改进后，整个应用程序能获得的加速比是多少？（小计 2 分）

得分

四、（共 15 分）现有一条静态多功能流水线由 5 段（S1、S2、S3、S4、S5）组成。其中，S1、S3、S4、S5 组成加法流水线，S1、S2、S5 组成乘法流水线。S3 的时间为 $2\Delta t$ ，其余各段的时间均为 Δt 。设该流水线的输出结果可以直接返回输入端或暂存于相应的流水寄存器中。现要在该流水线上计算 $\sum_{i=1}^4 (x_i y_i z_i)$ 。

- 1、请简述流水线技术的特点并画出该流水线的时空图。（小计 5 分）
- 2、计算该流水线实际的吞吐率、加速比和效率。（小计 5 分）
- 3、请解释该流水线效率不高的原因并阐述提高该流水线效率的方法。（小计 5 分）

得分

五、（共 10 分）下表显示了给定时刻的保留站、load 缓冲器以及寄存器状态表中的内容。标志 Add1 表示是第一个加法功能部件，Mult1 表示是第一个乘法功能部件，其余依次类推。

- 1、请说明保留站的作用是什么？（小计 2 分）
- 2、在 Tomasulo 算法中，寄存器换名用来解决什么问题？寄存器换名是通过什么完成的？（小计 4 分）
- 3、对于下述指令序列，当第一条指令完成并写入结果时，请把 Tomasulo 算法所用的各信息表中的内容补充完整。（小计 4 分）

指令	指令执行状态		
	流出	执行	写结果
L. D F4, 34(R2)	√	√	√

L. D F2, 20(R3)	✓	✓	
ADD. D F0, F2 F4	✓		
MUL. D <u>F6</u> , F4 F0	✓		
SUB. D F8, F2 F0	✓		
<u>DIV. D F10, F6 F0</u>	✓		
ADD. D F2, F10 F0	✓		

指令	保留站内容						
	Busy	Op	Vj	Vk	Qj	Qk	A
Load1	no						
Load2	yes	L. D					20+Regs[R3]
Add1	yes	ADD. D		Mem[34+Regs[R2]]	Load2		
Add2	yes	SUB. D			Load2	Add1	
Add3	yes	ADD. D			Mult2	Add1	
Mult1	yes	MUL. D	Mem[34+Regs[R2]]		Mult1	Add1	
Mult2	yes	DIV. D				Add1	

	寄存器状态					
	F0	F2	F4	F6	F8	F10
Qi	Add1	Add3		Mult1	Add2	Mult2

六、（共 10 分）假定有多个加法器，不存在加法器的资源冲突。有 3 条连续指令组成的程序代码如下：

I1 ADD **R2**, R6, R4 ; R2 ← (R6)+(R4)

I2 ADD R1, **R2**, **R3** ; R1 ← (R2)+(R3)

I3 SUB **R3**, R4, R5 ; R3 ← (R4)-(R5)

1、分析程序代码段中的数据相关。（小计 6 分）

2、采用何种硬件技术可解决这些数据相关？请详细加以说明。（小计 4 分）

得分

七、(共 10 分)

1、假设一台计算机的 I/O 处理时间占响应时间的 20%，当 I/O 性能保持不变，而对 CPU 的性能分别提高 10 倍和 100 倍时，该计算机系统的总体性能会发生什么样的变化？（小计 4 分）

2、八台外设 D_1 、 D_2 、 D_3 、 D_4 、 D_5 、 D_6 、 D_7 、 D_8 的数据传输速率 (KBps) 分别为 100、60、50、40、30、25、20、20。现设计一种字节多路通道，该通道可实现设备选择时间 $T_s = 3\mu s$ ，传送一个字节数据所需的时间 $T_D = 2\mu s$ 。

(1) 该通道的最大流量是多少？（小计 2 分）

(2) 在该通道同时连接外设数目最多的条件下，使得该通道的实际流量最大，则应该选择哪些外设同时连接到该通道上？（小计 4 分）

得分

八、(共 15 分) 给定以下的假设，

(1) 理想 Cache 情况下的 CPI 为 2.0，时钟周期为 2 ns，平均每条指令访存 1.4 次。

~~(2) 两者 Cache 容量均为 128 KB，块大小都是 32 字节。~~

(3) 组相联 Cache 中的多路选择器使 CPU 的时钟周期增加了 10%。

(4) 这两种 Cache 的失效开销都是 80 ns。

(5) 命中时间为 1 个时钟周期。

(6) 128 KB 直接映像 Cache 的失效率为 1.0%，128 KB 两路组相联 Cache 的失效率为 0.7%。

$$2 \times 1 + 1.0\% \times 80$$

$$2 \times 1 + 0.7\% \times 80$$

1、请计算直接映像 Cache 和两路组相联 Cache 的平均访问时间以及 CPU 的性能（小计 10 分）。

$$2 \times (2 + 14 \times 1.0\% \times 80)$$

2、由计算结果能得出什么结论？（小计 5 分）