

北京科技大学微机原理与接口技术

2015-2016 年第一学期期末试卷 (A)

考试科目: 微机原理与接口技术

考试形式: 闭卷

试卷类型: A 卷

考试时间长度: 120 分钟

共 5 页

得分: _____

一、填空或选择填空 (35 分)

1. 8086/8088 段寄存器的功能是_____, 某一时刻程序最多可以指定访问_____个存储段。

A1. 用于计算有效地址

B1. 用于存放段起始地址及计算物理地址

C1. 分段兼容 8080/8085 指令

D1. 方便分段执行各种数据传送操作

A2. 3

B2. 4

C2. 6

D2. 64K

E2. 初始化时程序指定

2. 8086/8088 系统中复位信号 RESET 的作用是使_____

A. 处理器总线休眠

B. 处理器总线清零

C. 处理器和协处理器工作同步

D. MPU 恢复到机器的起始状态并重新启动

3. 在默认情况下, ADD [DI+100], DI 指令中目标操作数存放在_____寄存器指定的存储段中, 指令执行时将完成_____个总线操作周期。

A1. CS

B1. DS

C1. ES

D1. SS

A2. 0

B2. 1

C2. 2

D2. 3

4. 8086/8088CPU 用指令 ADD 对两个 8 位二进制数进行加法运算后, 结果为 14H, 且标志位 CF=1, OF=1, SF=0, 此结果对应的十进制无符号数应为_____

A. 20

B. -20

C. -236

D. 276

5. 堆栈是内存中的一个专用区域, 其一般存取规则是_____

A. 先入先出(FIFO)

B. 先入后出 (FILO)

C. 按字节顺序访问

D. 只能利用 PUSH/POP 指令读写

6. 在下列指令中, 使堆栈指针变化 8 字节的指令是_____.

A. PUSH A

B. CALL 4000: 0008H

C. RET 8

D. SUB SP, 8

7. 指出下列指令或伪指令中所有正确者：_____。

- (A) POP DS (B) MOV AX,[BX][BP]
(C) MOV BP, CS:[BP] (D) DW -222,20,0100000B
(E) OUT 288H,AL (F) ADDC WORD PTR [BX+100],0

8. 8086/8088 系统中,256K*4 的存储器,为正确实现全部片内译码,需要_____根地址线.

- A. 4 B.8 C.16 D. 17 E.18 F.19

9. 定时/计数器 8253 是_____减法计数器,最大计数范围是_____。

- A1. 二进制 B1. BCD C1.ASCII 码 D1. 浮点数
A2. 256 B2.65536 C2.100 D2.10000

10. 8086/8088 中断系统可处理 256 个中断源,其中断向量的作用是_____。

- A. 确定中断源的正负 B. 指定对应中断保护数据区的地址 C. 指定对应中断服务程序的地址 D. 存放对应中断响应执行的第一条指令

11. 在 8086 系统中,当 CPU 响应外部中断请求转向中断服务程序前,自动将_____的内容压入堆栈。

- A. 当前堆栈指 SP B.当前指令地址
C. 标志寄存器 FLAGS D.全部通用寄存器

12. 单个 8279DMA 控制器可以实现最多_____通道的存储器与 I/O 之间的数据交换,如果需支持 8 个通道数,则可以采用多个 8237_____工作。

- (A1) 1 (B1)2 (C1) 3 (D1) 4
A2.并联 B2. 串联 C2. 级联 D2. 无法

13. 在串行数据传送中,若工作于异步方式,每个字符数据位 8 位,奇偶位校验 1 位,停止位 1 位,每秒传送字符 900 个,其波特率至少为_____BPS。

A 900 B 4800 C 9600 D.19.2K E.112.5K

14. 逐次比较型模数转换器转换过程中, 通常影响数据转换精确度最大的因素是_____。

A 是否有前端采样保持器 B 基准电压源 C 工作电源 D .转换时间

15. 设在 DS 指定的数据段中, [9202H]=2650H, [9204H]=3355H, [9206H]=5678H, [9208H]=1235H, 当 TABLE=2, 寄存器 CS=3800H, DS=2540H, SI=9206H 时执行指令 JMP SI 后, CS=_____, IP=_____; 执行 JMP FAR PTR TABLE[SI] 后 CS=_____, IP=_____。

二、程序阅读与编程(35 分)

1. 阅读分析程序,按要求填空回答问题(共 15 分)

(1) 8086/8088 汇编程序片断如下

```
CVT:  CMP AL, 31H
      JC  L1
      CMP AL, 3AH
      JNC L1
      AND AL, 0FH
      RET
L1:   MOV AL, 0H
      RET
```

问: ① 初值 (AL) =34H 时, 程序段执行结果:

(AL) =_____

② 初值 (AL) =8AH 时, 程序段执行结果:

(AL) =_____

③ 该程序段最多可以有多少种不同的 AL 输出结果?其功能如何?

(2) 汇编程序中, 以下数据段段基址为 8850H, 数据定义为:

```
CNT1  EQU 3568H
CNT2  EQU 110H
```

ORG 5500H ; 起始偏移地址

```
VCHAR  DB  4 DUP(20H)
```

```
VTIMCNT DW  CNT1,CNT2
```

```

PVT1    DW VTIMCNT
FPVT1    DD VTIMCNT
PPVT1    DW PVT1,FPVT1
          DW 20 DUP(0)

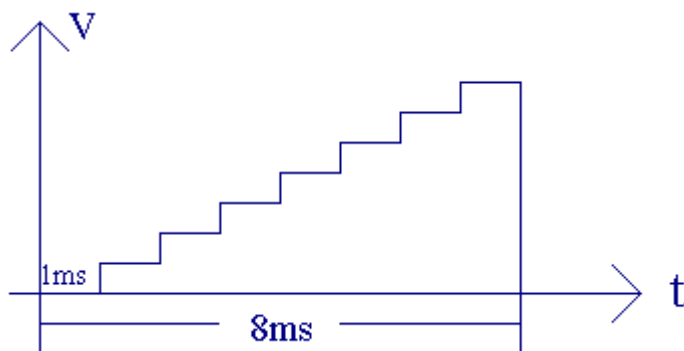
```

列写说明存储器 8850: 5500H~5514H 各单元的存储情况。

2. (20 分)假定有一字符串输入缓冲区, 首地址 INPUTS, 其中前两个字节存放最大长度(符号 Lmax, 不超过 400), 第 3,4 字节(即 INPUTS+2,3 单元)为字符串有效长度(待定), 实际字符串从第 5 个字节(即 INPUTS+4 单元)开始, 结束符为连续两个"\$" (=24H) 构成。试编写一程序片段, 要求找出第一个结束符, 将其偏移量地址和段基址分别写入存储单元 REARPT 和 REARPT+2, 并将由此确定的字符有效长度(0~400)存入有效长度字单元(即 INPUTS+2 单元), 如该串中未找到结束符则将-1 存入该单元中。写出存储定义伪指令, 程序要求加必要的注释。

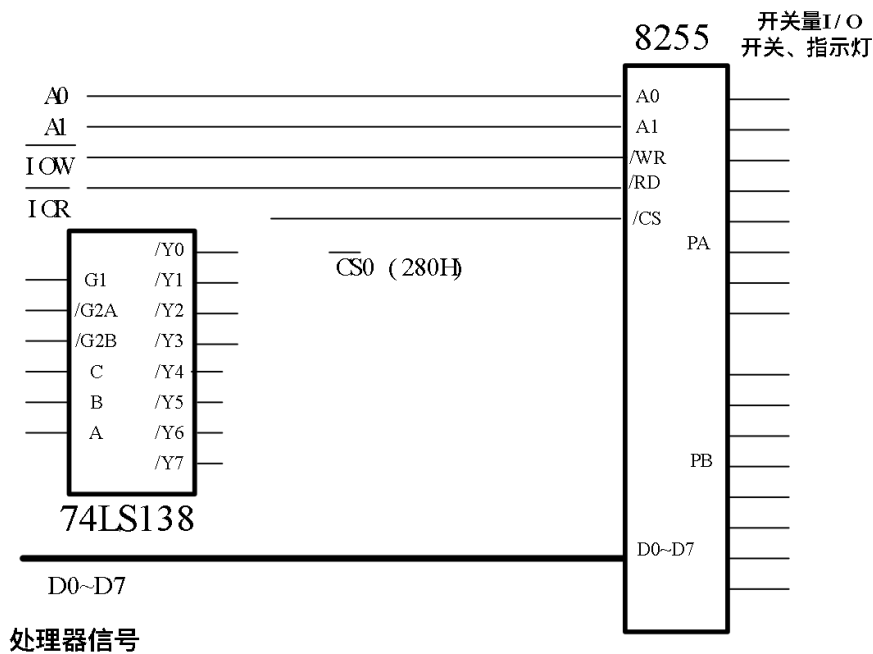
三、接口 (30 分)

1. (10 分) 利用 DAC0832 产生如下图所示的周期性阶梯波(锯齿波, 输出范围为 0V—Vref)。要求设计编写该波形发生的 D/A 转换控制程序。已知 1ms 准确延时子程序为 delay1ms。DAC0832 为 8 位电流型 DAC, 单缓冲模式, 端口 DAPORT, Vref=+4.0V。



2. (20 分) 利用 i8255 连接八位开关 SW0~SW7(PA 口)及八位发光管 L0~L7(PB 口)用于指示开关的状态, 8255 地址为 280H~283H, 要求片选使用地址线 A9~A4, 译码器为 74LS138:

- (1) 说明 8255 地址译码器设计原理, 说明可能发生的地址重叠及原因;
- (2) 完成译码信号和 I/O 器件信号连线(注意电平变换方式和指示灯驱动)
- (3) 已知检测程序每秒执行一次, 一般情况下要求当某个开关断开时相应发光管亮, 但所有开关都断开时全部 8 个发光管 L0-L7 闪烁(1 秒全亮 1 秒全灭)进行报警, 当编写工作子程序片断, (8255 不必初始化, 但需说明 8255 口工作方式)。



注:译码器 74LS138 的真值表如下:

G_1	$\overline{G2A}$	$\overline{G2B}$	C	B	A	译码器输出
1	0	0	0	0	0	$\overline{Y_0}=0$, 余为 1
1	0	0	0	0	1	$\overline{Y_1}=0$, 余为 1
1	0	0	0	1	0	$\overline{Y_2}=0$, 余为 1
1	0	0	0	1	1	$\overline{Y_3}=0$, 余为 1
1	0	0	1	0	0	$\overline{Y_4}=0$, 余为 1
1	0	0	1	0	1	$\overline{Y_5}=0$, 余为 1
1	0	0	1	1	0	$\overline{Y_6}=0$, 余为 1
1	0	0	1	1	1	$\overline{Y_7}=0$, 余为 1
不是上述情况			×	×	×	$\overline{Y_0} \sim \overline{Y_7}$ 全为 1

北京科技大学微机原理与接口技术

2015-2016 年第一学期期末试卷 (B)

考试科目: 微机原理与接口技术

考试形式: 闭卷

试卷类型: B 卷

考试时间长度: 120 分钟

共 5 页

得分: _____

一、 填空或选择填空 (30 分)

1. 8086/8088 CPU 的内部结构按其功能由 B 组成。

- A 寄存器组, 算术逻辑单元 ALU
- B 执行单元 EU, 总线接口单元 BIU
- C 寄存器组, 算术逻辑单元 ALU, 总线接口单元 BIU
- D. 寄存器组, 算术逻辑单元 ALU, 指令预取单元 PIU

2. 8086/8088 系统低 8 位地址、数据总线信号 AD_0-AD_7 采用分时复用方式工作, 是因为 C1, 运行时利用 B2 信号实现地址锁存。

- A1. 接口控制更方便 B1. 需要提高总线驱动能力
- C1. 引出管脚数目限制 D1. 低 8 位地址总线和数据总线经常相同
- A2. DEN B2. ALE C2. READY D2. HOLD

3. 下列指令中 C 在执行时不需要总线操作周期。

- A. IN AL, 80H B. OUT DX, AL C. SUB CX, 0010H D. ADD [BX+1000], AL

4. 8086/8088 系统中, 如 $ES=4000H$, $DS=3000H$, $CS=8000H$, $SS=1000H$, $BX=5288H$, 则 $MOV AL, [BX+2]$ 指令中源操作数所在单元的物理地址是

- (A) 528AH (B) 4528AH (C) 3528AH (D) 8528AH (E) 1528AH

5. 指出下列指令或伪指令中所有错误者: BDE CDF。

- (A) SUB WORD PTR [DI+BP], 2 (B) DW -54, 20H, 60000
- (C) DEC [SI] (D) IN AL, 282H
- (E) MOV CS: [BX+100], BX (F) POP CS

6. 微机系统中的堆栈通常应设计存放在下列种类的存储器中 A1 C1，堆栈操作一般按 C2 访问。

- A1.SRAM B1.EPROM C1.DRAM D1. FLASHROM
A2. 半字节 B2.字节 C2.字 D2.双字

7. 设计 128M 字节的系统存储器，需要选用 (D) 片 8M*4Bit 的存储器。

- A. 4 B. 8 C. 16 D. 32 E.128

8. 8086/8088CPU 有单独的 I/O 指令，所以其 I/O 接口编址 B。

- A. 范围取决于最大模式或最小模式
B. 单独安排在其 I/O 空间内
C. 单独安排在其存储空间内
D. 既可安排在其 I/O 空间内，也可安排在其存储空间内

9. Intel8255 可编程并行接口芯片三种并行 I/O 工作方式中 A 不能直接支持中断请求。

- A. 方式 0 B. 方式 1 C. 方式 2 D. 三种方式都

10. 8086/8088 系统中断类型为 0DH 的中断向量存储在 B。

- (A)0000:000DH (B)0000:0034H (C)0F000:FFF0H
(D) 地址为 00DH 的输入输出端口 (E)由程序设定的单元

11. DMA 数据传送控制方式可以实现(C)。

- A. 存储器与 DMAC 之间的高速传送数据
B. CPU 与存储器之间的高速传送数据
C. 外部设备和存储器之间的数据高速传送
D. 外部设备和 CPU 之间的高速传送数据

12. 两台微机通过异步串行接口进行通信，保证其通信正确性的基本条件是 D

- A. 波特率误差不超过 5% B. 字符格式 C. 传输电平匹配 D. 以上三条都是

13. 定时/计数器 8253 计数值读写有三种格式: 只读写低 8 位、只读写高 8 位和先读写低 8 位后读写高 8 位。其中 D1 方式下读取计数值应当先锁存计数器数据。当作为定时器使用且计数初值为 0000H 时, 定时 C2。

- A1. 只读写低 8 位 B1. 只读写高 8 位 C1. 先低 8 位后高 8 位 D1. 以上三种
A2. 1 个输入时钟周期 B2. 32768 个输入时钟周期
C2. 65536 个输入时钟周期 D2. 停止计时直到非 0000 初值输入。

14. ADC0809 是 8 位逐次比较式模数转换器, 在接口系统中设计 Vref(REF+)选用 +4.00V 电压基准源(REF-接模拟地), 如果输入信号电压为 +2.0V 则读取的转换数字量应为 B1。如果读取的转换数字量是 0FFH, 则输入的电压信号可能是 D2。

- A1. 00H B1. 80H C1. FFH D1. 不定
A2. -1.0V B2. 0.0V C2. +2.0V D2. +5.0V

15. 8086/8088 系统中需要访问物理地址为 83B8CH 的存储单元, 80000H + 3B8CH 是该单元逻辑地址的一种表示方法。

二、程序阅读与编程(35 分)

1. 阅读分析程序, 按要求填空回答问题(共 15 分)

(1) 汇编程序中, 以下数据段段基址为 7000H, 数据定义为:

S1 EQU 1234H

ORG 4800H ; 起始偏移地址

BV0 DB 4 DUP(30H)

WV1 DW S1

PWV1 DW WV1

FPV1 DD WV1

PPV1 DW FPV1

DW 20 DUP(20H)

列表说明存储器 7000: 4800H~480FH 各单元的存储情况。

(2) 8086/8088 系统中, 数据段和堆栈段寄存器 (DS, ES, SS) 可以用 MOV 和 POP

等指令直接修改,但代码段比较特殊,写出可以改变代码段寄存器 CS 的四种以上指令实例.

(3)某过程 TSPC 中有一段特殊代码 ABEXIT 如下:

```
TSPC      PROC  NEAR
:
:
      RET                                ;正常段内返回指令
ABEXIT:   POP  AX                        ; 2_3_(1) ?
          MOV  AX, 1000H                 ; 2_3_(2) ?
          PUSH AX                        ; 2_3_(3) ?
          RET                             ; 2_3_(4) ?
TSPC      ENDP
```

- 1) 分析这段程序,说明指令 2_3_(1)的功能(目的);
- 2) 指令 2_3_(2)~(4)等效指令为_____;
- 3) 如果在执行 ABEXIT 分支前 (AX)=1234H (CS)=2800H (IP)=3000H (SS)=1140H (SP)=1800H,问执行完 ABEXIT 分支后
(AX)=_____ (CS)=_____ (IP)=_____
(SS)=_____ (SP)=_____

2. (20 分) 设已知缓冲区 bDATA 存放着不超过 Nmax (定义为 300) 个字节的非空 8 位数,以 0FFH 结束。现要求编写一预处理程序,将其中所有连续两个字节数值等于回车/换行字符(即 0DH, 0AH 或 0AH, 0DH)的偏移量地址指针顺序存放在以 pDATANP 为首的内存字单元中,其总数存入字单元 wNPSUM;如果在 Nmax 字节中未发现结束符 0FFH,则将 0FFH 写入字节单元 bFULL,否则将该单元清零。写出程序片断,并加必要的注释,要求用伪指令定义各存储单元和常数。

三、接口 (35 分)

1. (5 分)在串行数据传送中,若工作于异步方式,波特率 1200BPS,每个字符传送格式为:数据位 8 位,无奇偶校验位,停止位 2 位,试画出传输一个字符 56H 的波形图,并标出各位的名称(含时钟脉冲关系)。

2. (5 分)8086/8088 系统中存储器译码电路采用部分译码方式时,如 20 位地址译码电路没有用到 A12 和 A11,则与存储单元 8A000H 地址重叠的单元有哪些,简单写出理由。

$A_{19} \ A_{18} \ A_{17} \ A_{16} \ A_{15} \ A_{14} \ A_{13} \ A_{12} \ A_{11} \ A_{10} \ A_9 \ A_8 \ A_7 \ A_6 \ A_5 \ A_4 \ A_3 \ A_2 \ A_1 \ A_0$
 $1 \ 0 \ 0 \ 0 \ 1 \ 0 \ 1 \quad 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0$

3. (25 分) 8086/8088 应用系统中设计了一个开关状态检测电路和继电器控制电路如下图。当开关 $S_i(i=0\sim7)$ 闭合时,需控制驱动对应的继电器 $R_i(i=0\sim7)$ (即动作);如开关处于断开状态,则无电流流过继电器线圈,继电器不动作。如系统每隔 10ms 检测一次开关状态和对继电器作相应控制,定时控制由 8253 完成。(1) 设 8255A 地址为 160H ~ 163H, I/O 地址总线 A9~A0, 试设计译码电路逻辑,并画出采用 74LS138 实现的译码电路原理图;(2) 分析电路原理,要求电源上电工作时继电器不动作,由于 8255 复位后各端口为输入方式(类似于高电平),用电阻和电容设计上电复位电路控制 RESET(高电平复位);(3)说明 8255A 的初始化要求(工作模式),编写完成上述功能的检测、控制程序片断。

注:译码器 74LS138 的真值表如下:

G_1	$\overline{G_2A}$	$\overline{G_2B}$	C	B	A	译码器输出
1	0	0	0	0	0	$\overline{Y_0}=0$, 余为 1
1	0	0	0	0	1	$\overline{Y_1}=0$, 余为 1
1	0	0	0	1	0	$\overline{Y_2}=0$, 余为 1
1	0	0	0	1	1	$\overline{Y_3}=0$, 余为 1
1	0	0	1	0	0	$\overline{Y_4}=0$, 余为 1
1	0	0	1	0	1	$\overline{Y_5}=0$, 余为 1
1	0	0	1	1	0	$\overline{Y_6}=0$, 余为 1
1	0	0	1	1	1	$\overline{Y_7}=0$, 余为 1
不是上述情况			×	×	×	$\overline{Y_0} \sim \overline{Y_7}$ 全为 1

