



## 第五章 双稳态触发器及应用



# 数字逻辑电路

组合  
逻辑电路

功能：输出仅由当前的  
输入决定

组成：门电路

时序  
逻辑电路

功能：输出不仅取决于当  
前的输入还与原来  
的输出有关

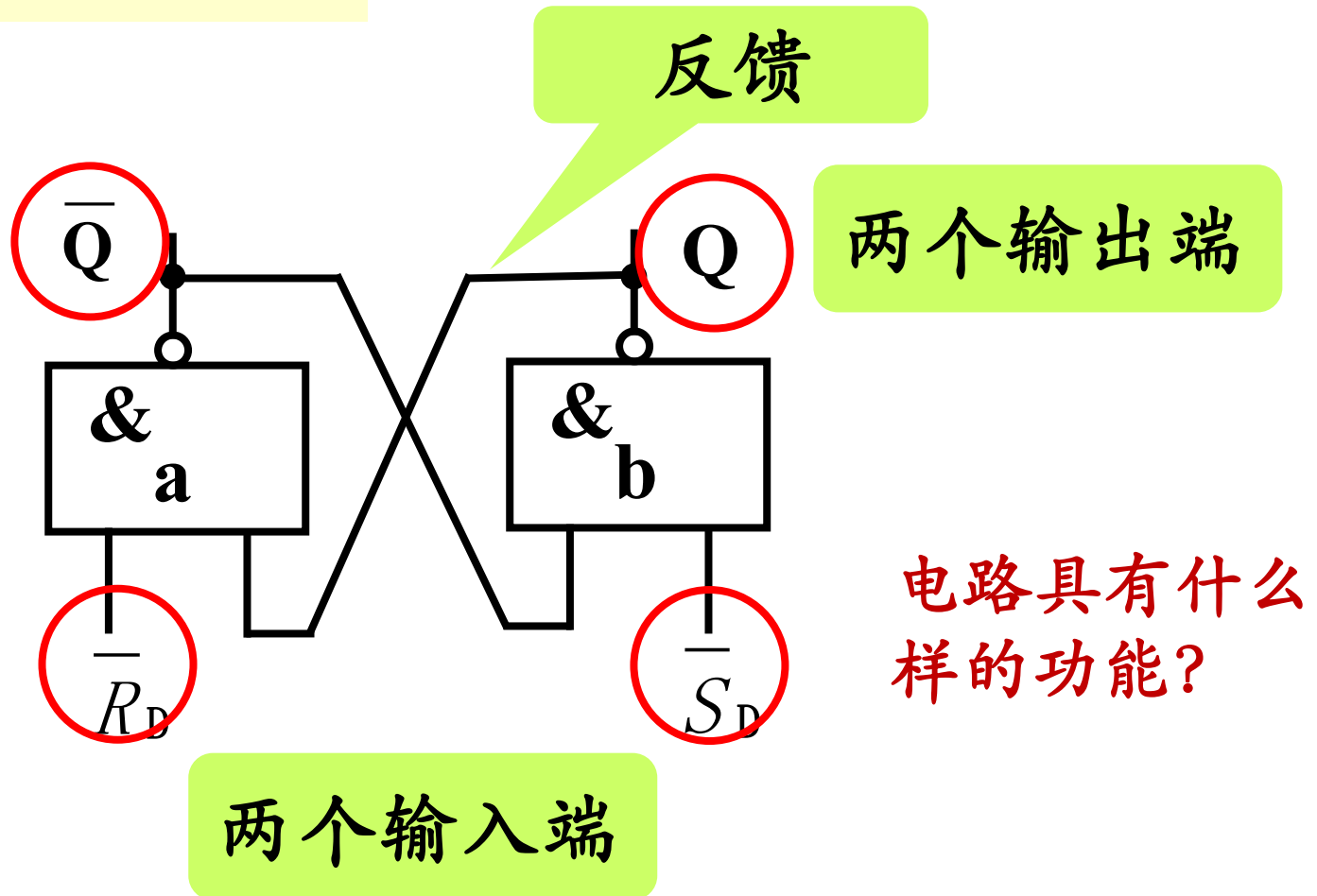
组成：组合电路、存储电路

触发器



## § 5.1 *RS*触发器

### 基本*RS*触发器

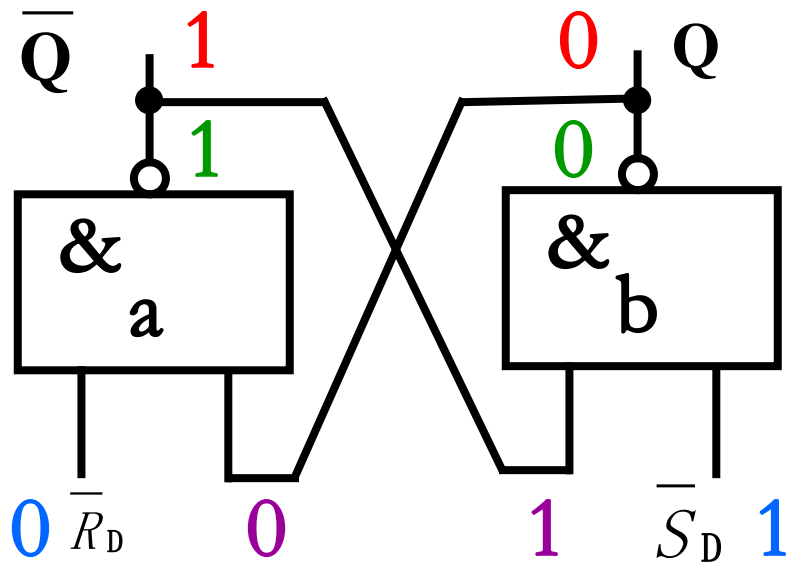




输入  $\overline{R}_D=0, \overline{S}_D=1$  时

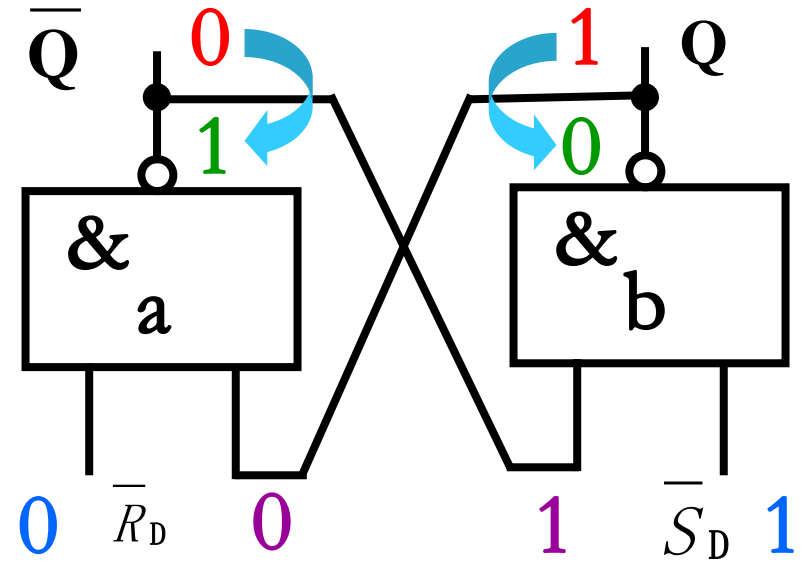
基本RS触发器

若原状态:  $Q=0 \quad \overline{Q}=1$



输出:  $Q=0 \quad \overline{Q}=1$

若原状态:  $Q=1 \quad \overline{Q}=0$



输出:  $Q=0 \quad \overline{Q}=1$

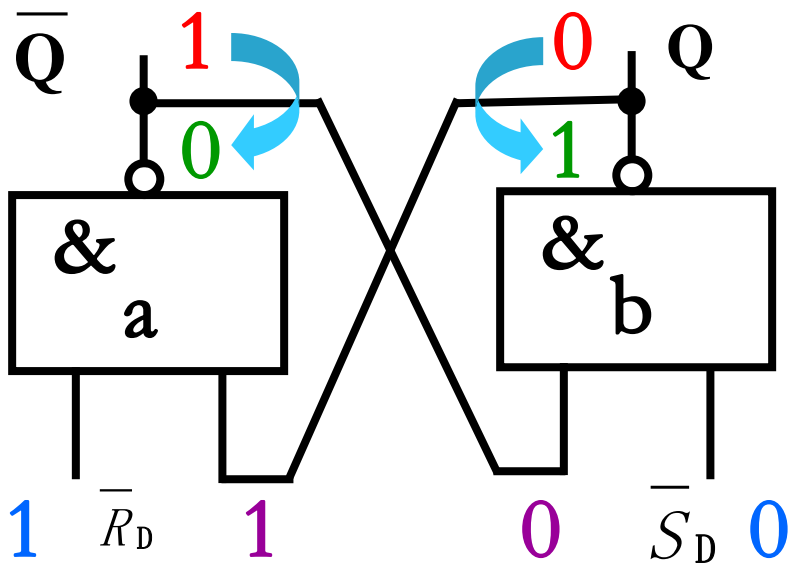
输出被置“0”



输入  $\overline{R}_D=1, \overline{S}_D=0$  时

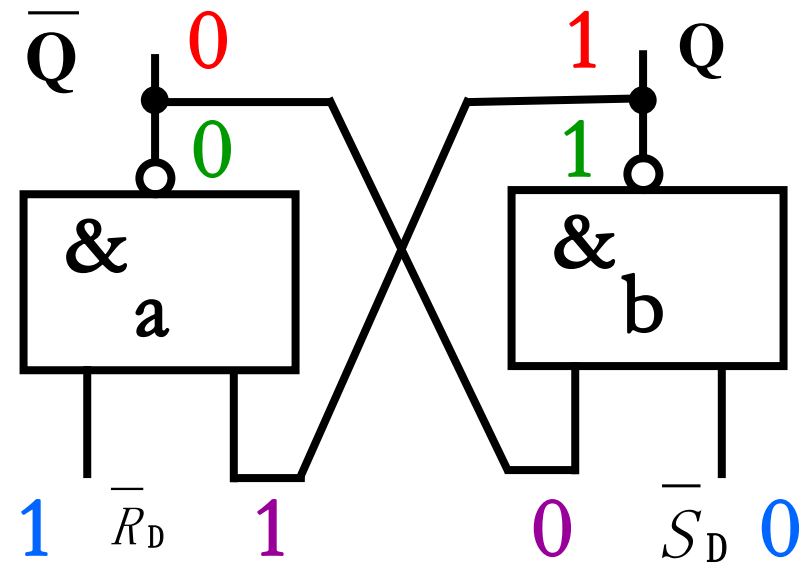
基本RS触发器

若原状态:  $Q=0 \quad \overline{Q}=1$



输出:  $Q=1 \quad \overline{Q}=0$

若原状态:  $Q=1 \quad \overline{Q}=0$



输出:  $Q=1 \quad \overline{Q}=0$

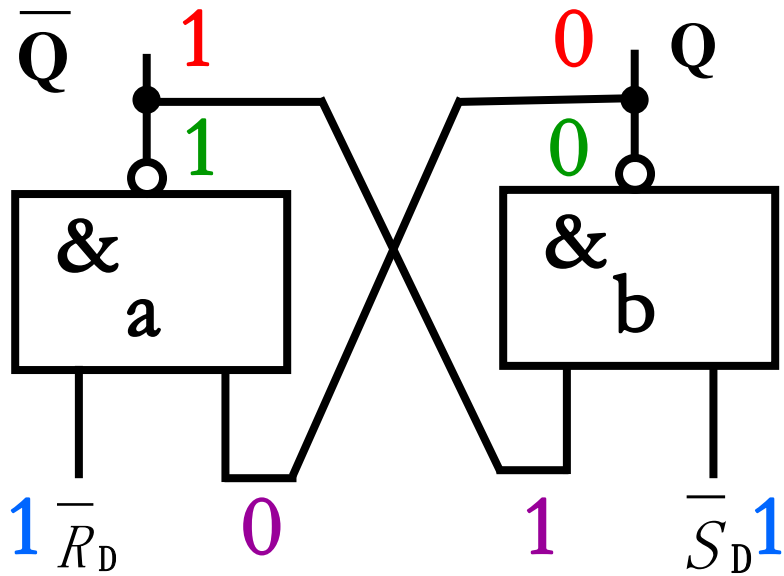
输出被置“1”



输入  $\overline{R}_D=1, \overline{S}_D=1$  时

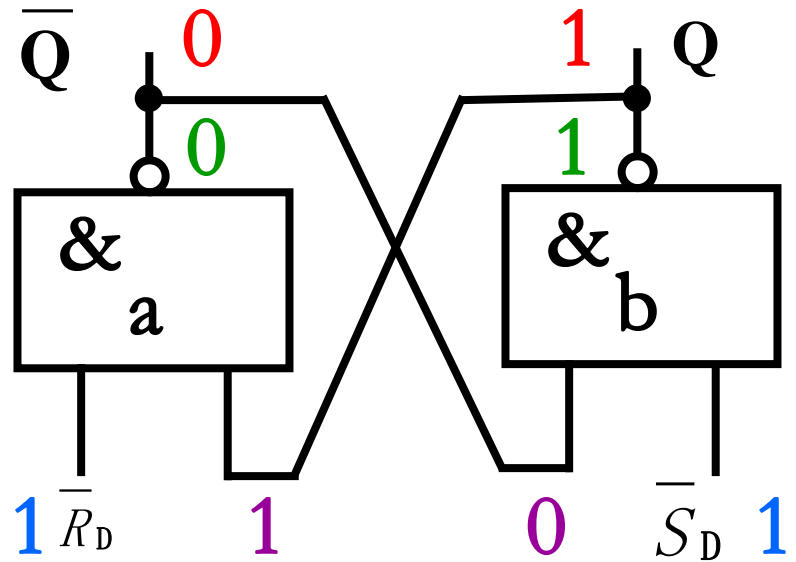
基本RS触发器

若原状态:  $Q=0 \quad \overline{Q}=1$



输出保持:  $Q=0 \quad \overline{Q}=1$

若原状态:  $Q=1 \quad \overline{Q}=0$

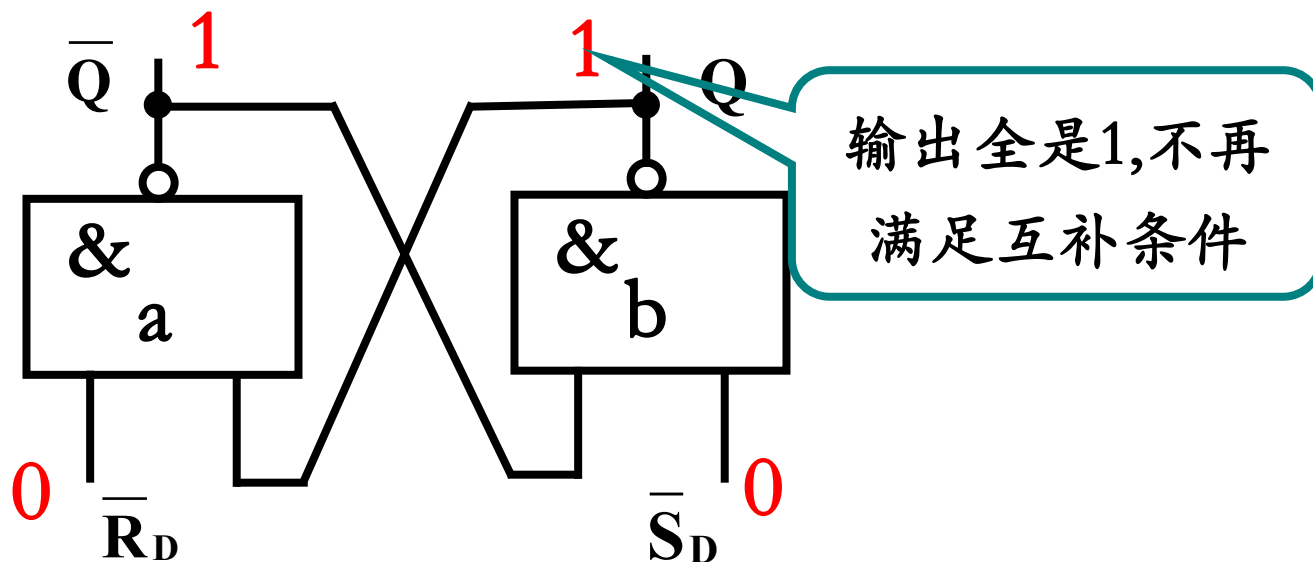


输出保持:  $Q=1 \quad \overline{Q}=0$

输出保持不变



输入  $\overline{R}_D=0, \overline{S}_D=0$  时



设计电路时此种情况应避免!

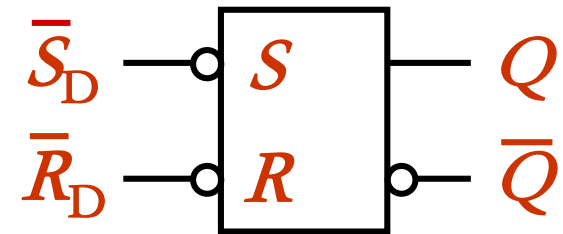
这种输入在这里规定为禁用状态!



## 由与非门组成的 基本 RS 触发器状态表

$\bar{S}_D$	$\bar{R}_D$	$Q^{n+1}$	功能
1	1	$Q^n$	保持
1	0	0	置 0
0	1	1	置 1
0	0	同时变1 后不确定	禁用

逻辑符号



输入端低电平有效

$\bar{S}_D$  (Set Directly) ---- 直接置 “1” 端(置位端)

$\bar{R}_D$  (Reset Directly) ---- 直接置 “0” 端(复位端)

$Q^n$  --- 原来的状态，称为初态或原态

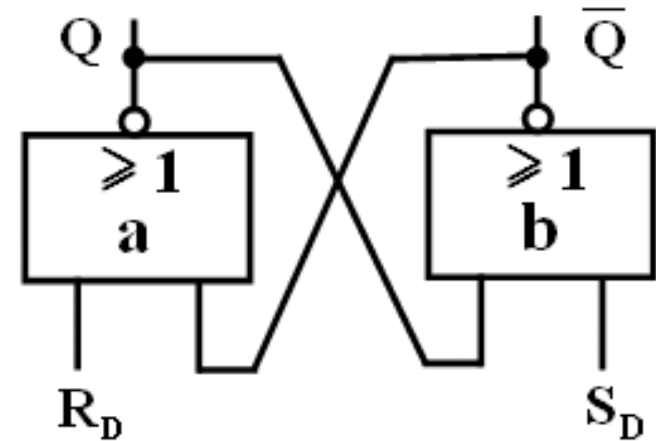
$Q^{n+1}$  --- 加触发信号后新的状态，称为次态或新态



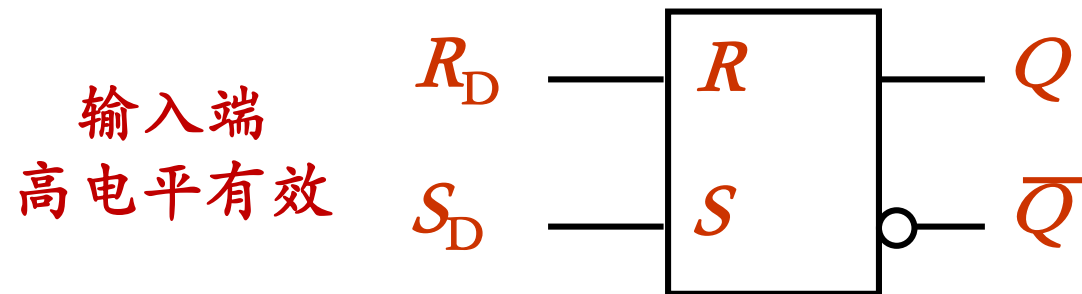


## 由或非门组成的 基本 RS 触发器状态表

$S_D$	$R_D$	$Q^{n+1}$	功能
0	0	$Q^n$	保持
0	1	0	置 0
1	0	1	置 1
1	1	同时变0 后不确定	禁用

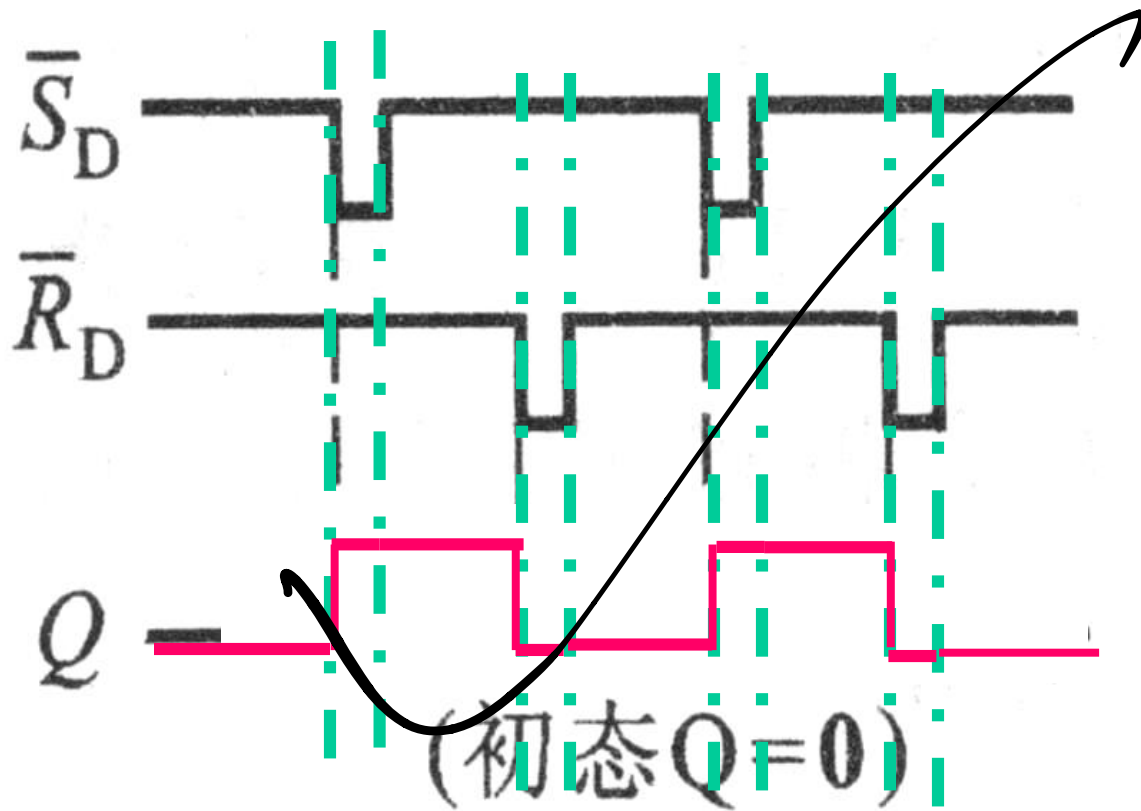


### 逻辑符号





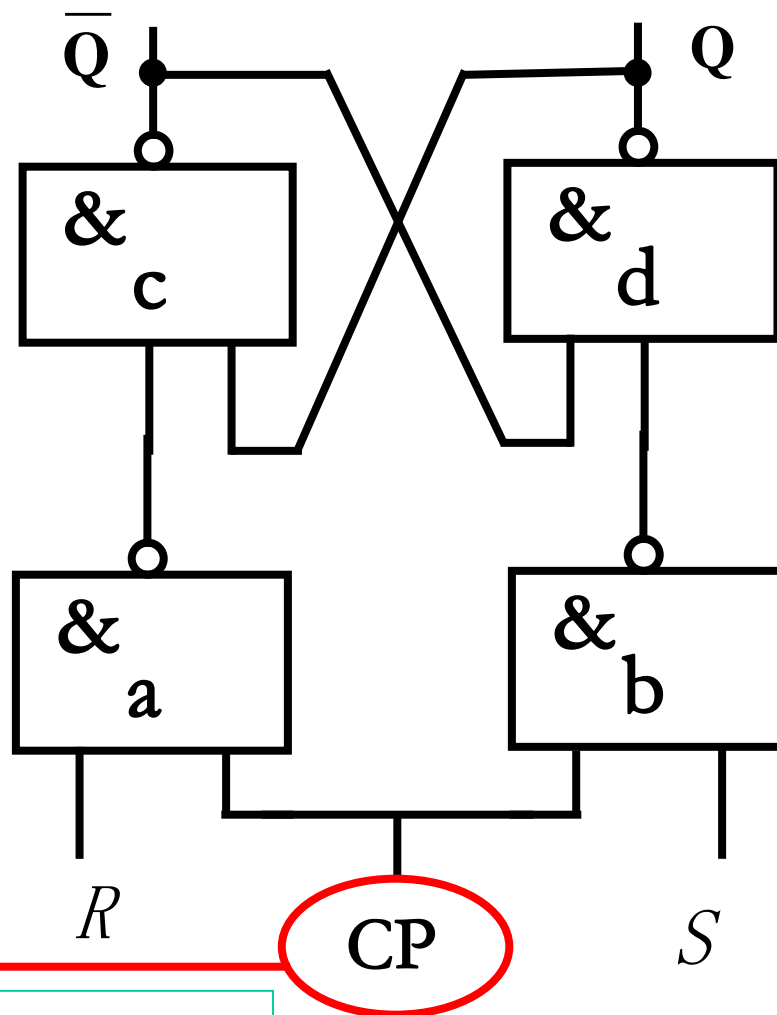
## 基本R-S 触发器的波形图:



## 可控RS触发器

## 基本RS触发器

## 引导电路（控制电路）



## 时钟脉冲信号

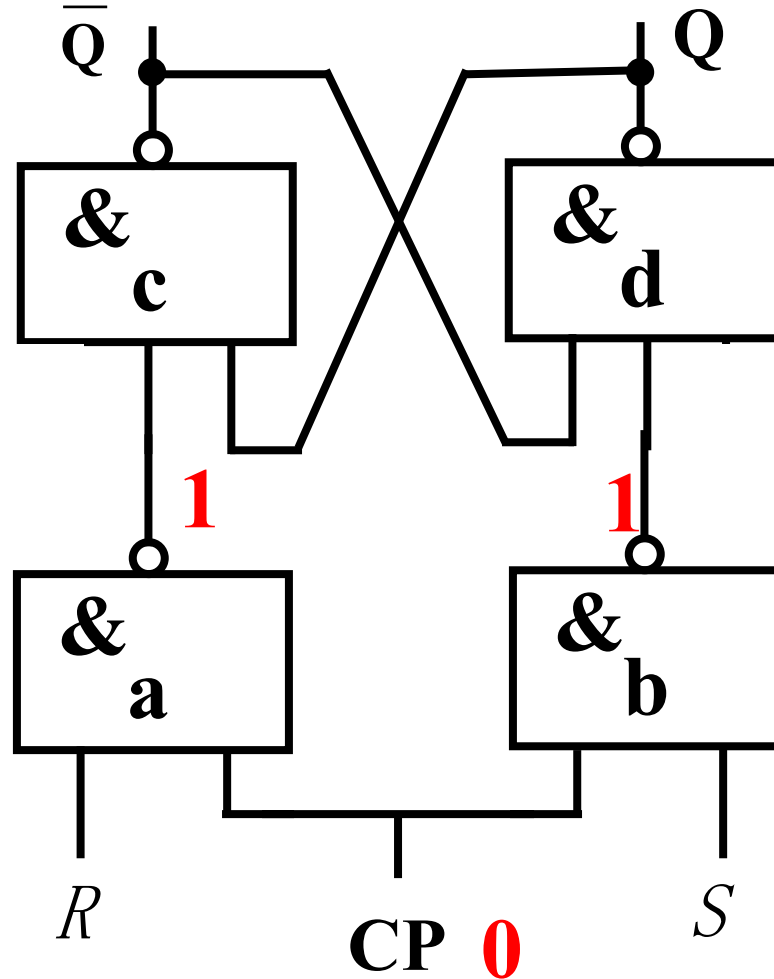
(Clock Pulse)

A square wave signal with three pulses. The signal is at a low level for most of the time, with three distinct rectangular pulses of equal height and width. The pulses are separated by equal intervals of low signal.

## 通过引导电路来实现时钟脉冲对输入端RS的控制作用



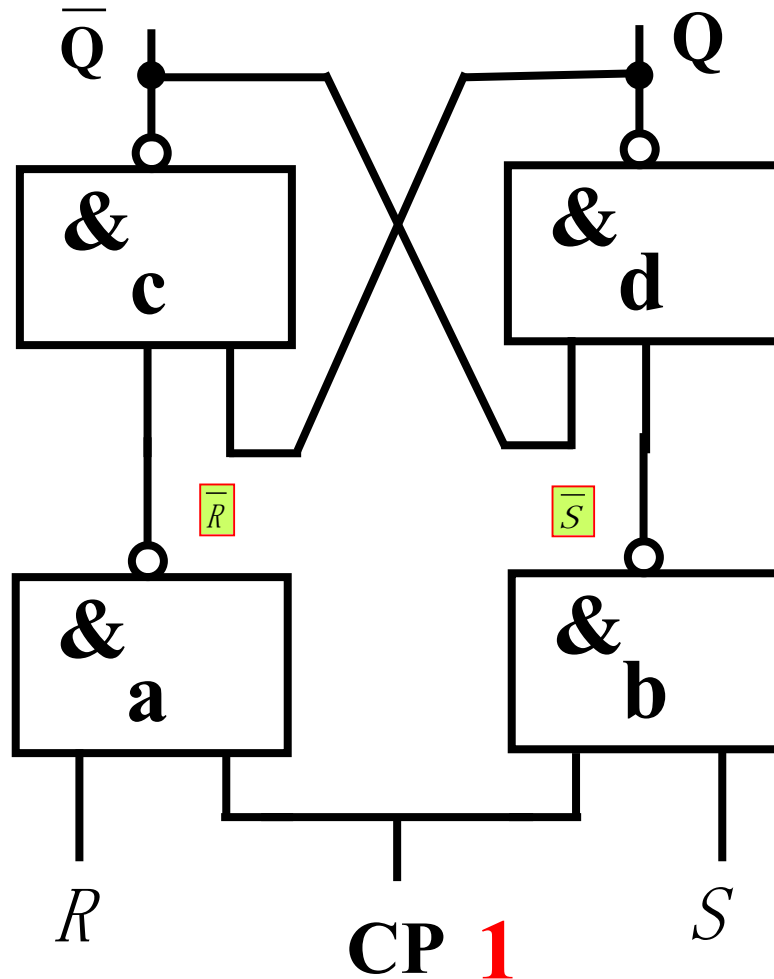
CP为0时



触发器保持原态



CP为1时



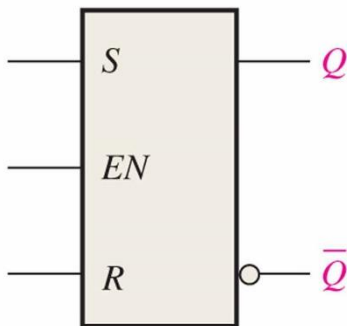
输入R、S为高电平有效



## 可控 $RS$ 触发器

功能表

逻辑符号



$EN$	$S$	$R$	$Q^{n+1}$	功能
0	$\times$	$\times$	$Q^n$	保持
1	0	0	$Q^n$	保持
1	0	1	0	置 0
1	1	0	1	置 1
1	1	1	同时变0 后不确定	禁用



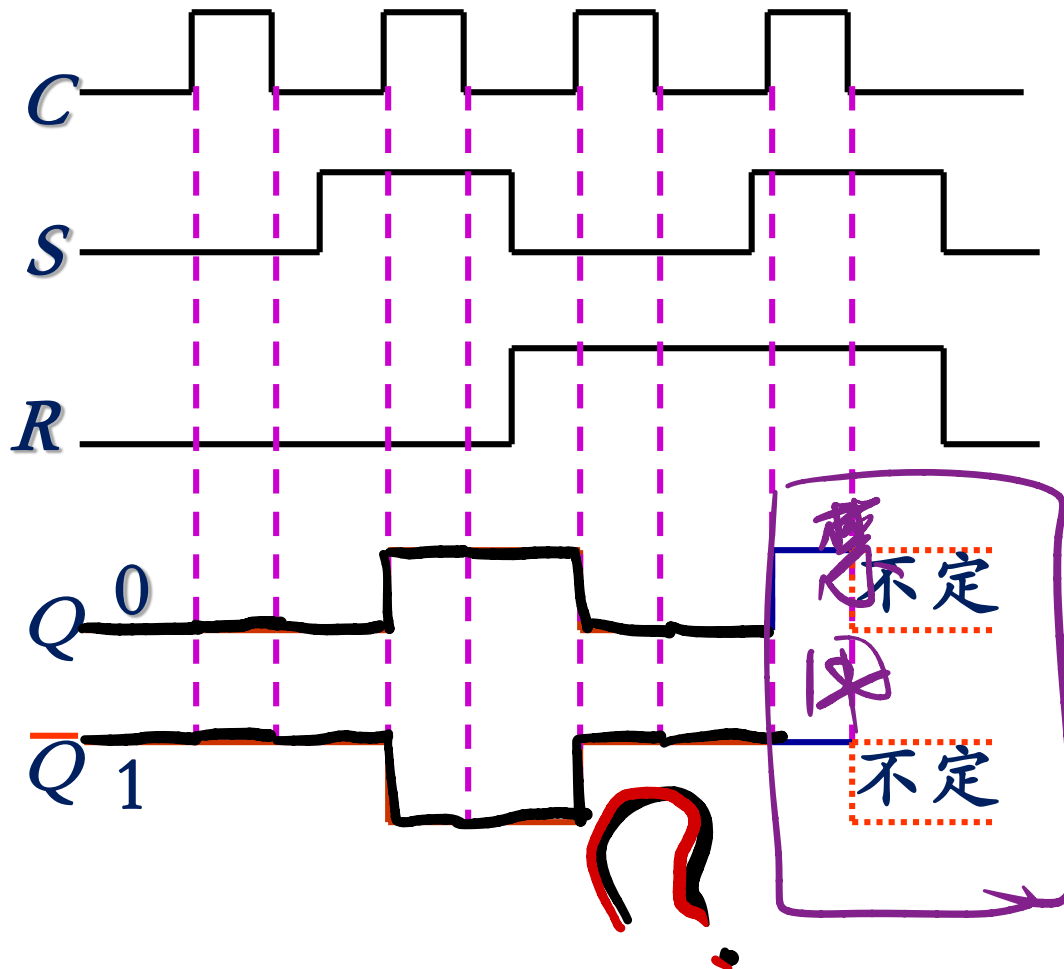
## 可控RS触发器

例：画出可控 RS 触发器的输出波形

基本RS触发器功能表

$S$	$R$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	不定

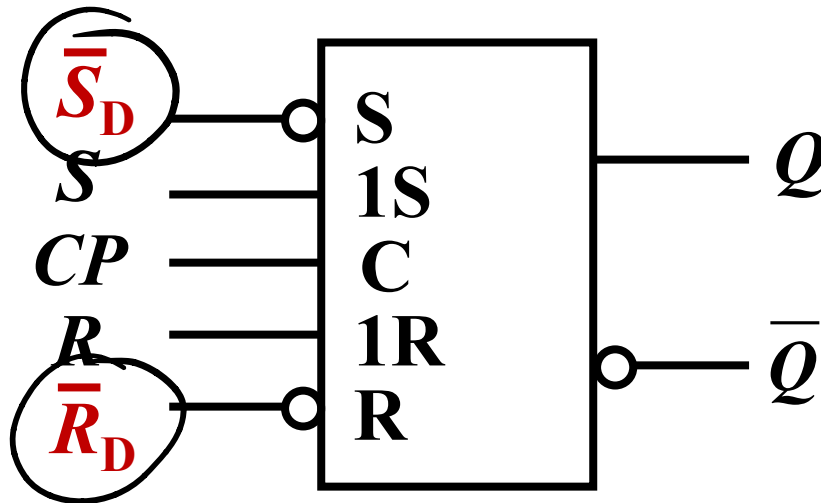
CP高电平时触发器状态由R、S确定





直接置0或置1端

有“o”：表示低电平有效  
无“o”：表示高电平有效



直接置0或置1端无需看CP有效性



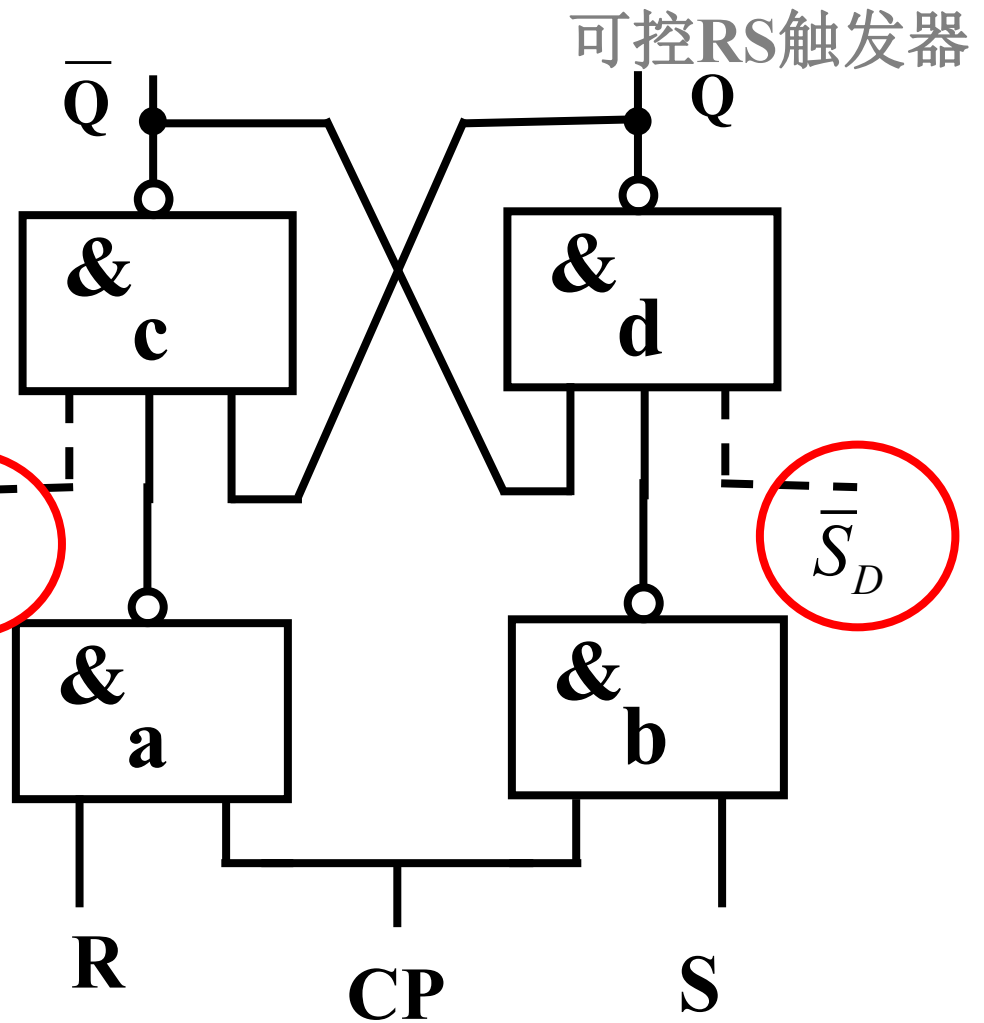


直接置0或置1端

直接置0  
或置1

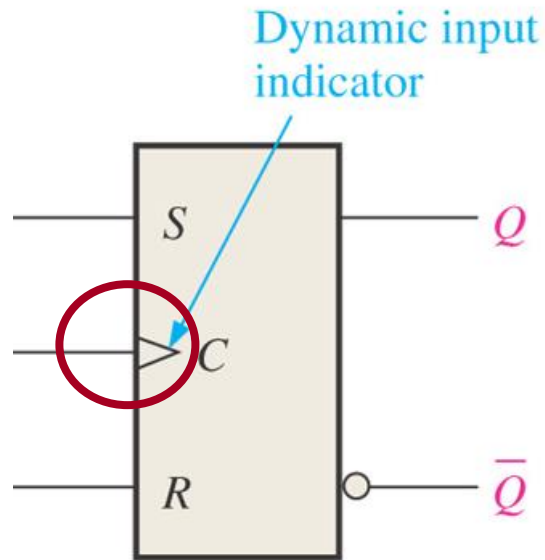
$\bar{\bar{R}}_D$

$\bar{\bar{S}}_D$

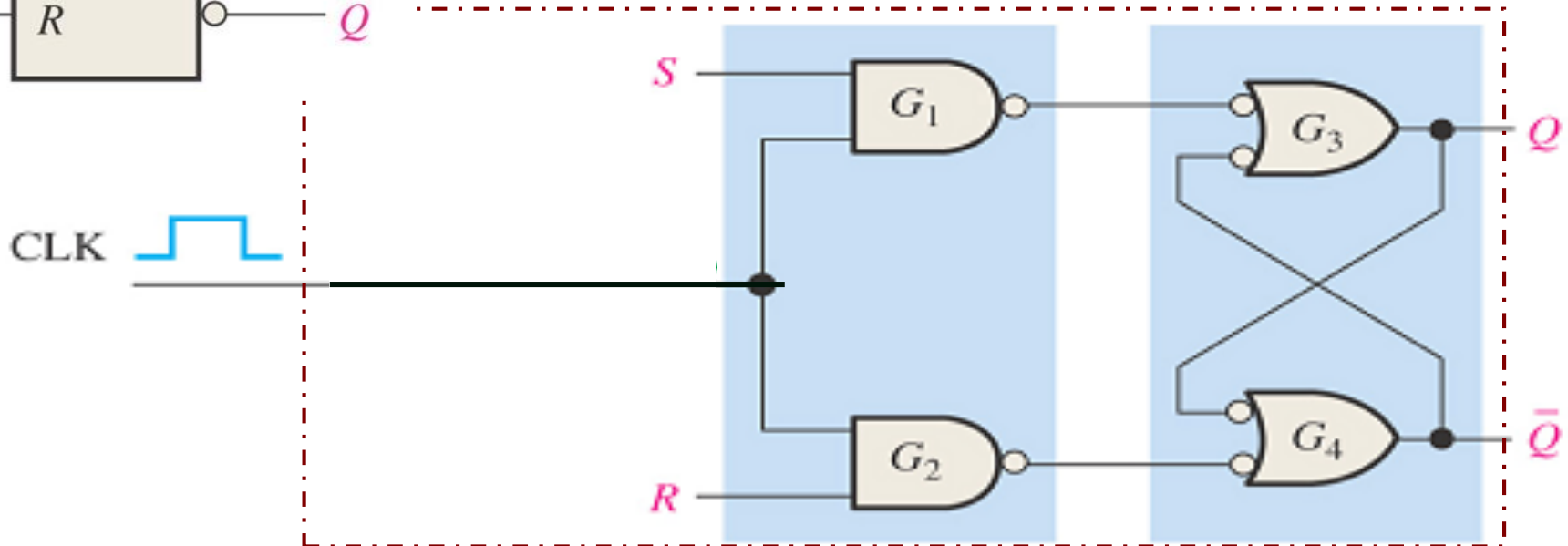




## § 5.2 边沿触发器



### 边沿触发方式



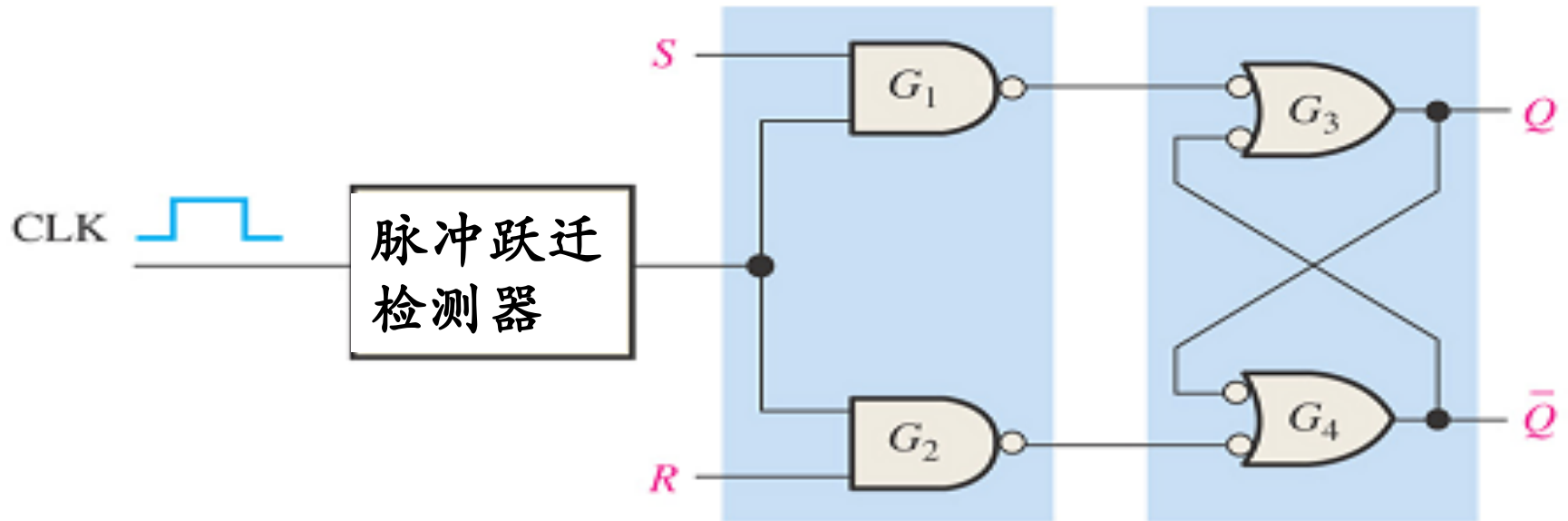
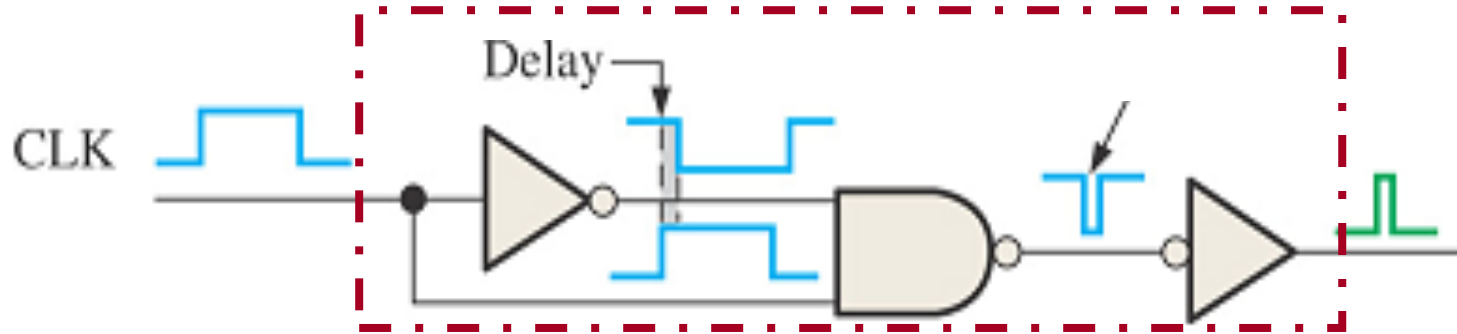
边沿触发器

可控触发器

基本RS触发器

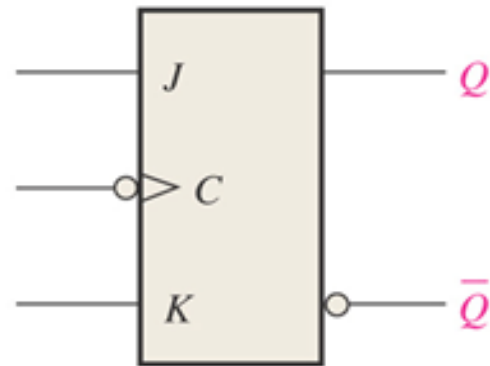
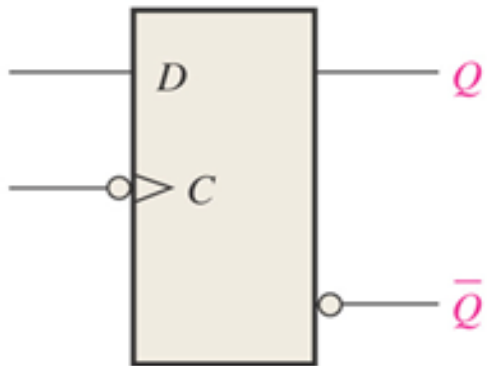
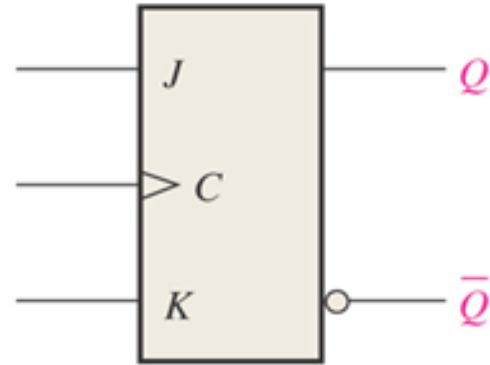
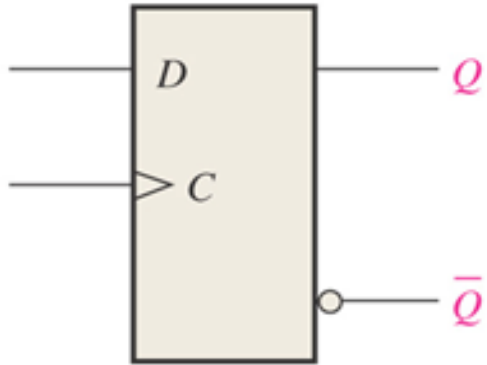


# 脉冲跃迁检测器





## 常见边沿触发器的逻辑符号



# JK触发器

功能表

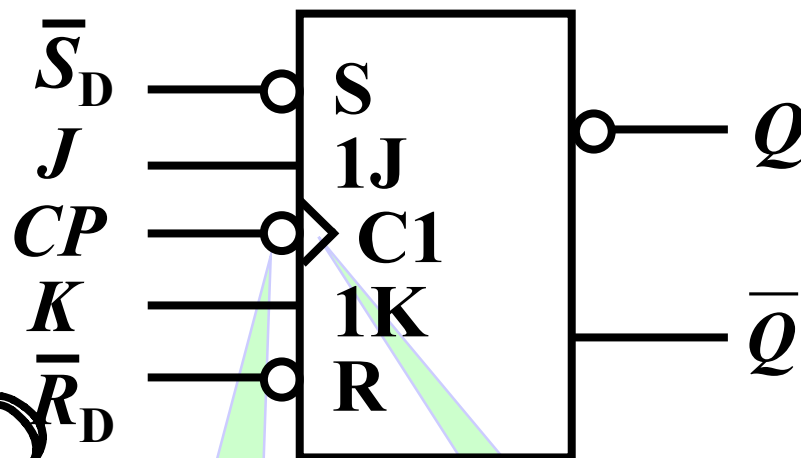
$CP$	$J$	$K$	$Q^{n+1}$	功能
$\downarrow$	0	0	$Q^n$	保持
$\downarrow$	0	1	0	置 0
$\downarrow$	1	0	1	置 1
$\downarrow$	1	1	$\overline{Q}^n$	翻转

$J$ —相当于置“1”端

$K$ —相当于置“0”端

$J$ 、 $K$ —高电平有效

逻辑符号



CP为下降沿翻转

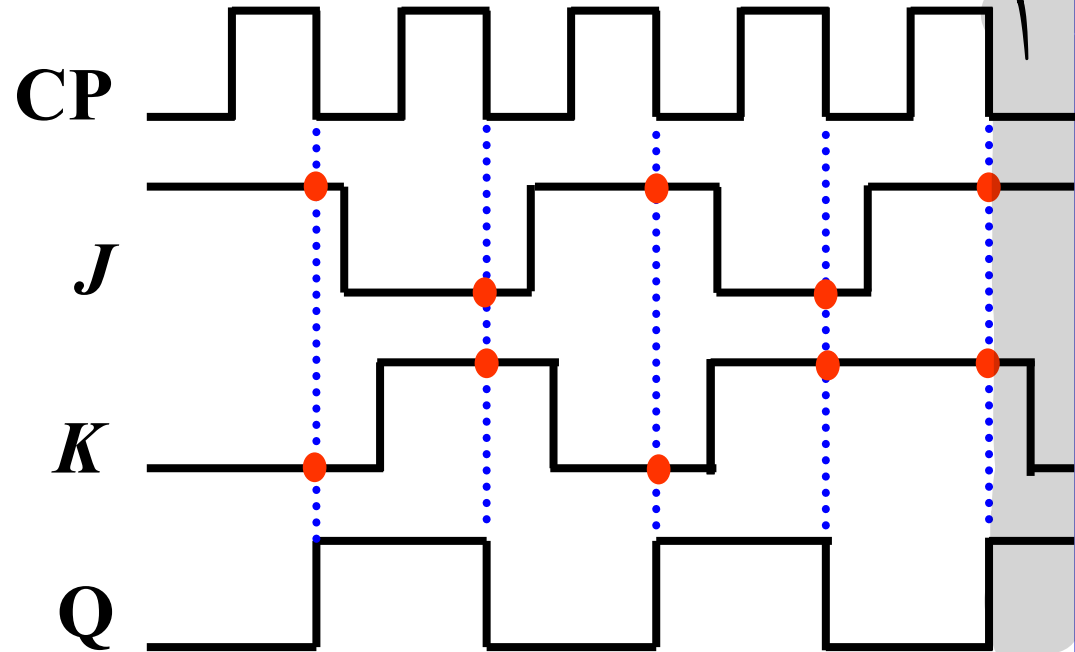
CP为边沿翻转



例:画出  $JK$  触发器输出端波形图

翻转

$CP$	$J$	$K$	$Q^{n+1}$	功能
↓	0	0	$Q^n$	保持
↓	0	1	0	置 0
↓	1	0	1	置 1
↓	1	1	$Q^n$	翻转



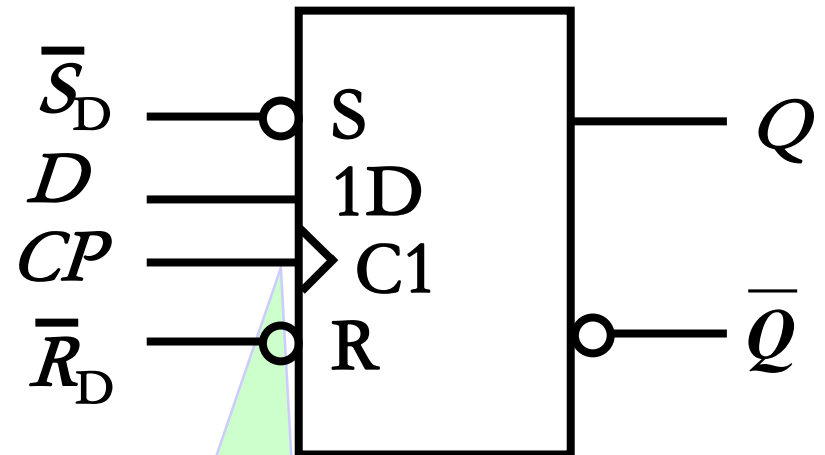


## D触发器

功能表

$CP$	$D$	$Q^{n+1}$	功能
$\uparrow$	0	0	置 0
$\uparrow$	1	1	置 1

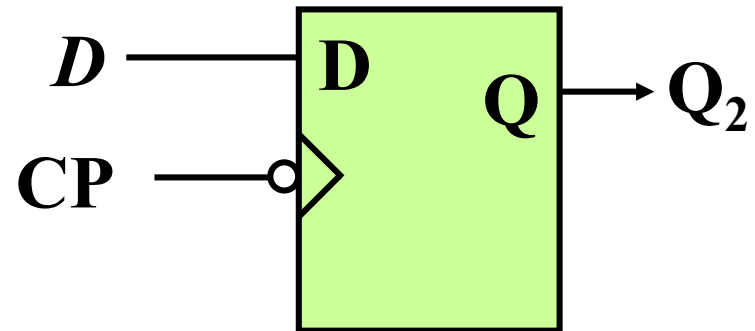
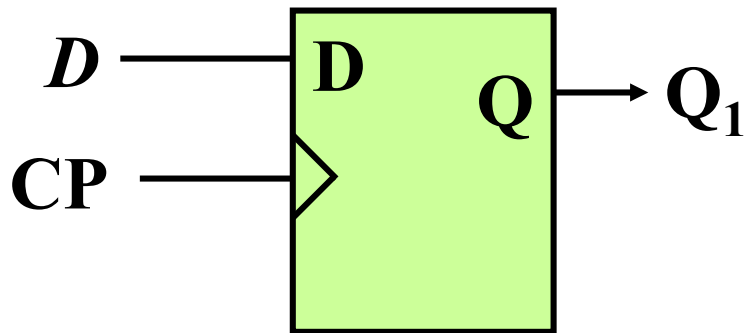
逻辑符号



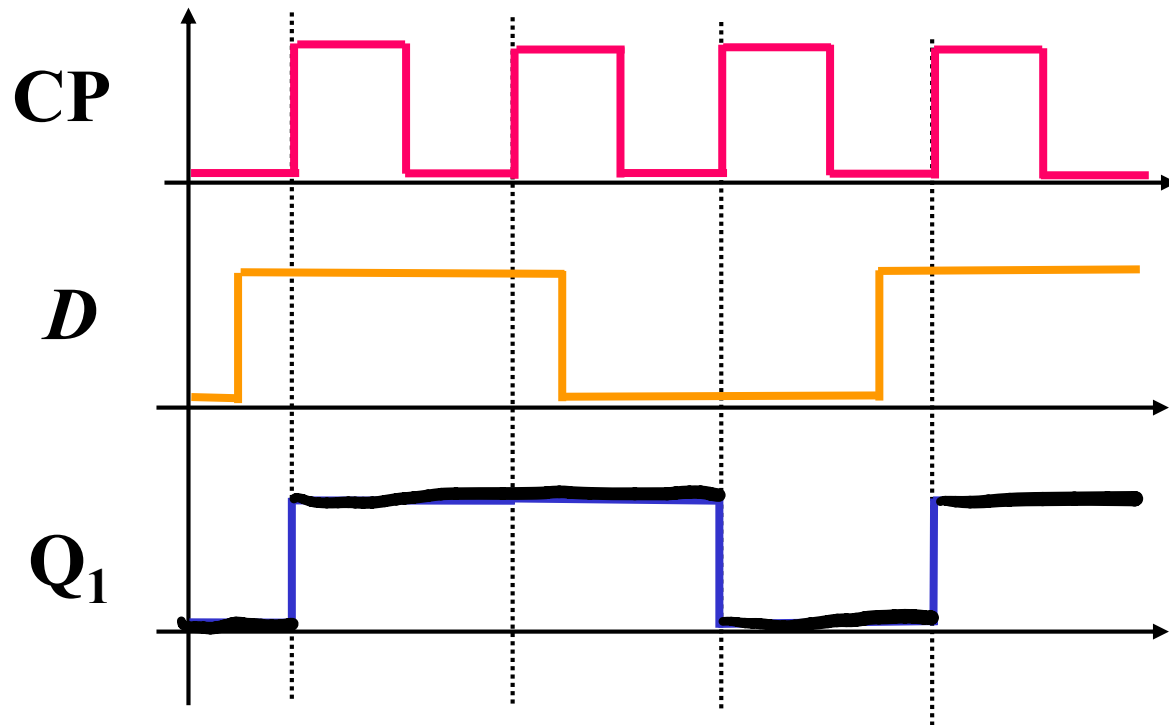
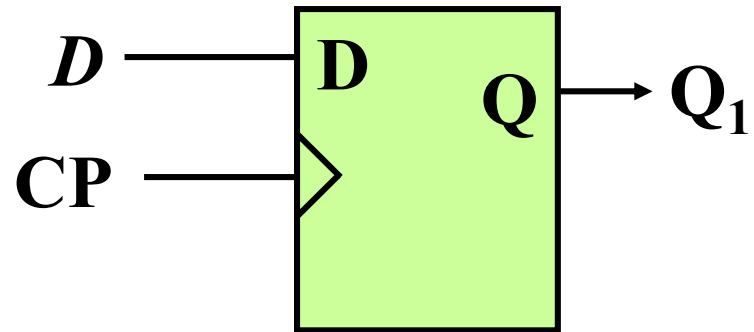
上升沿触发

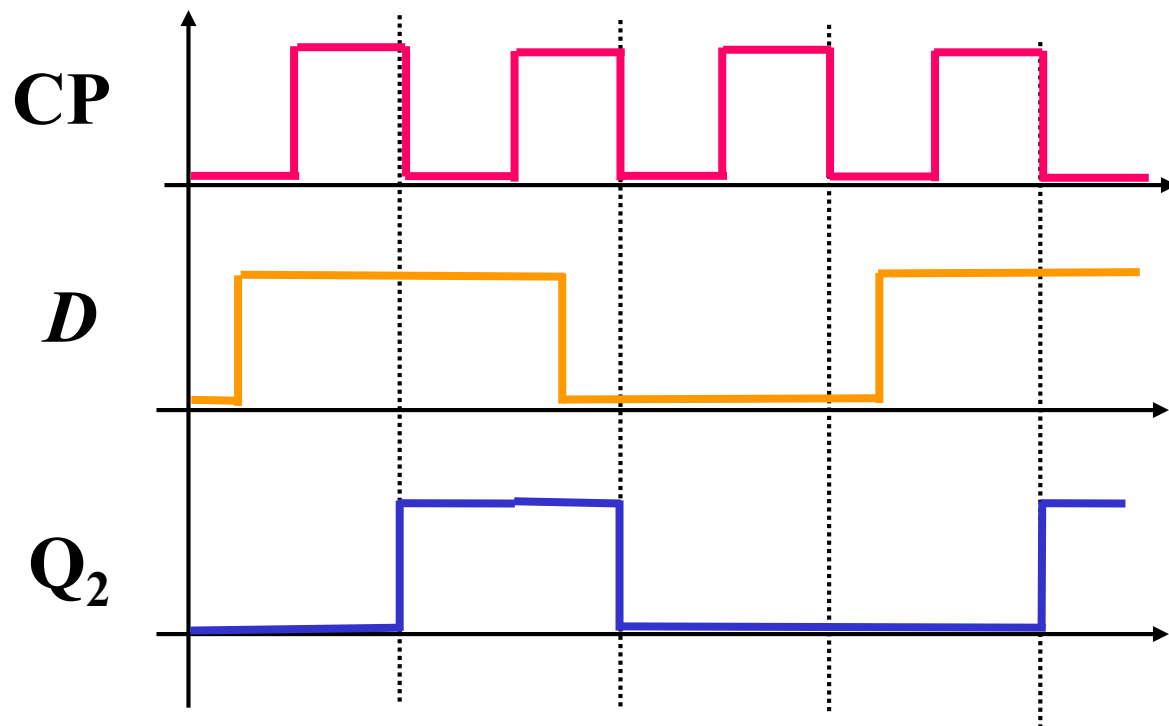
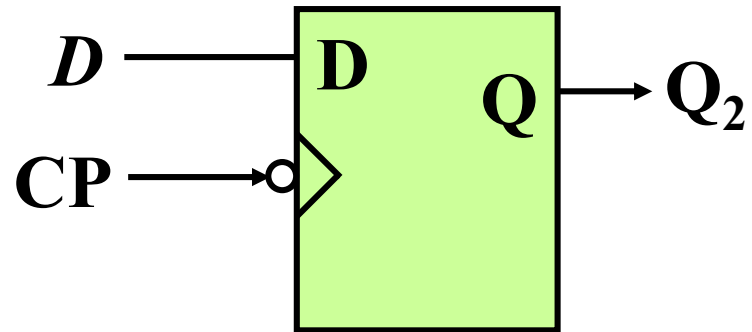


例： 时钟CP及输入信号的波形如图所示,试画出各触发器输出端Q的波形,设各输出端Q的初始状态=0.



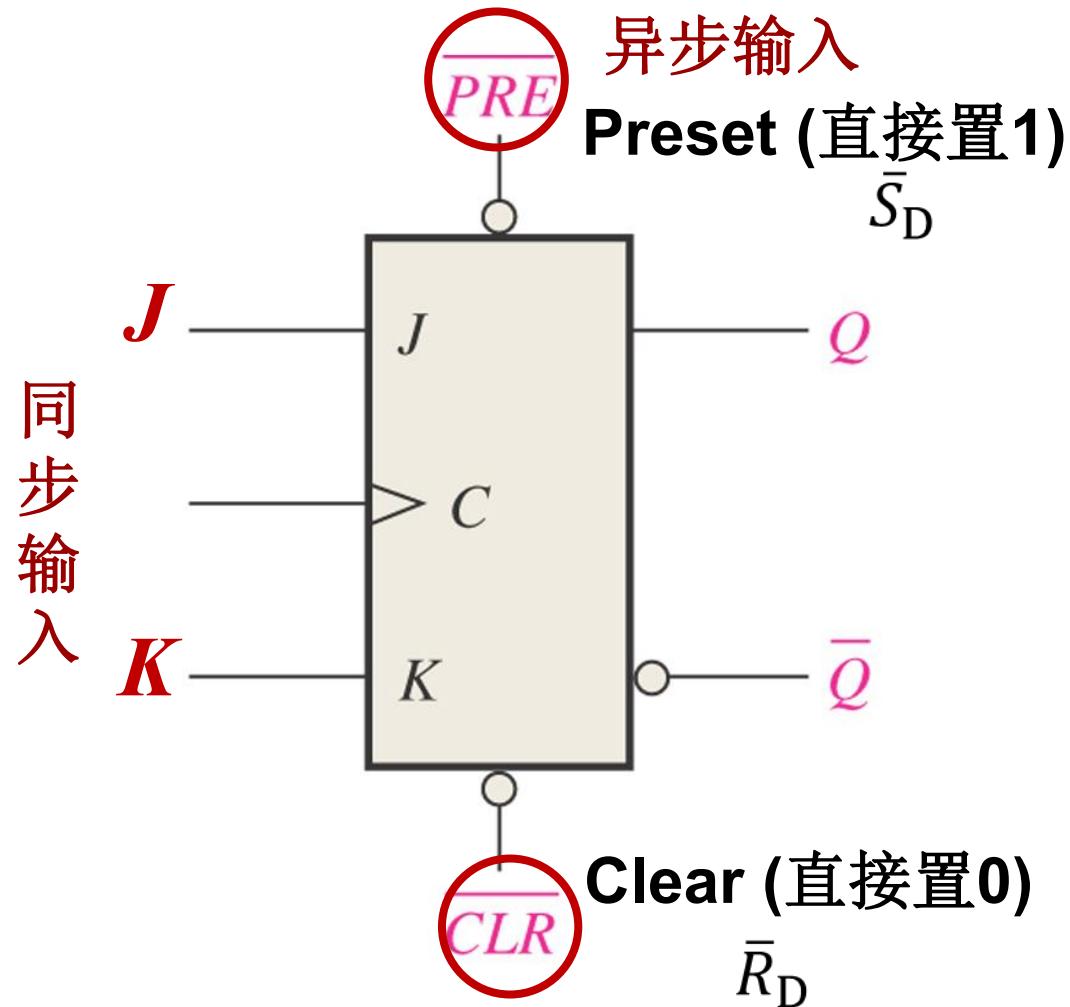


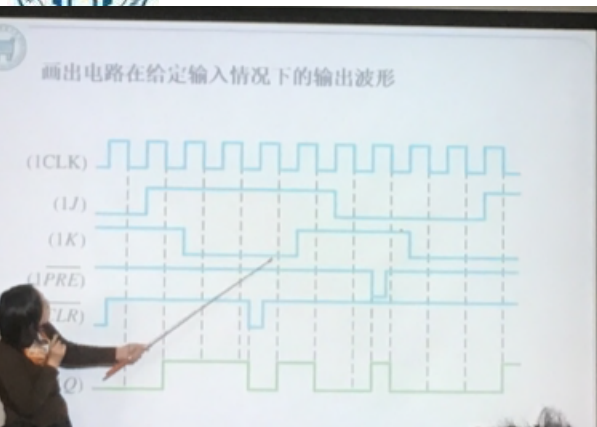




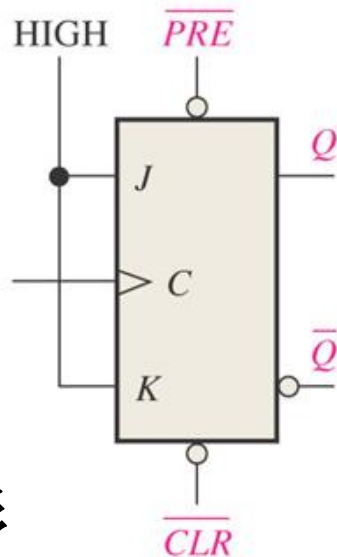


## 异步置数和清零端子





画出输出波形

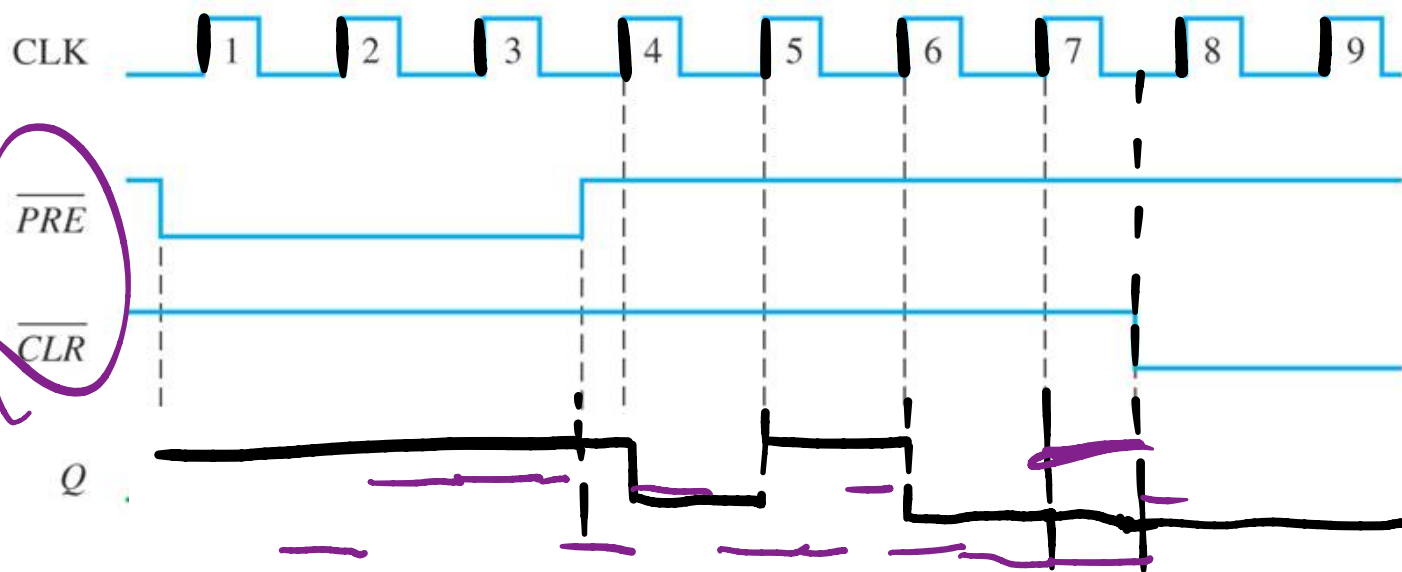


## T' 触发器

$JK$ 端都接高电平，每  
来一个时钟信号有效沿  
触发器就翻转一次

T' 触发器具有计数功能

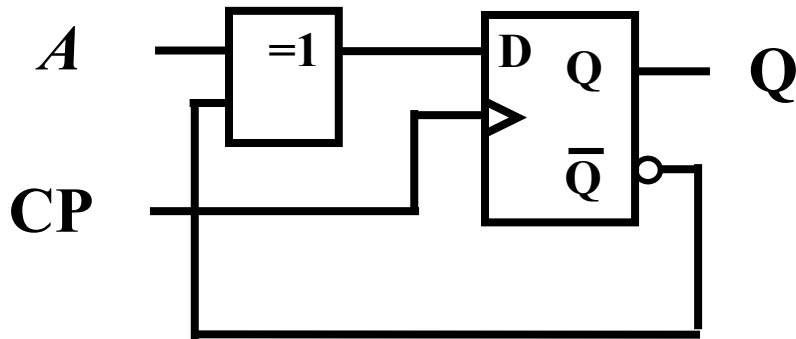
级数很高





练习：若电路输入波形如图，且Q的初态为“0”，  
试画出输出波形

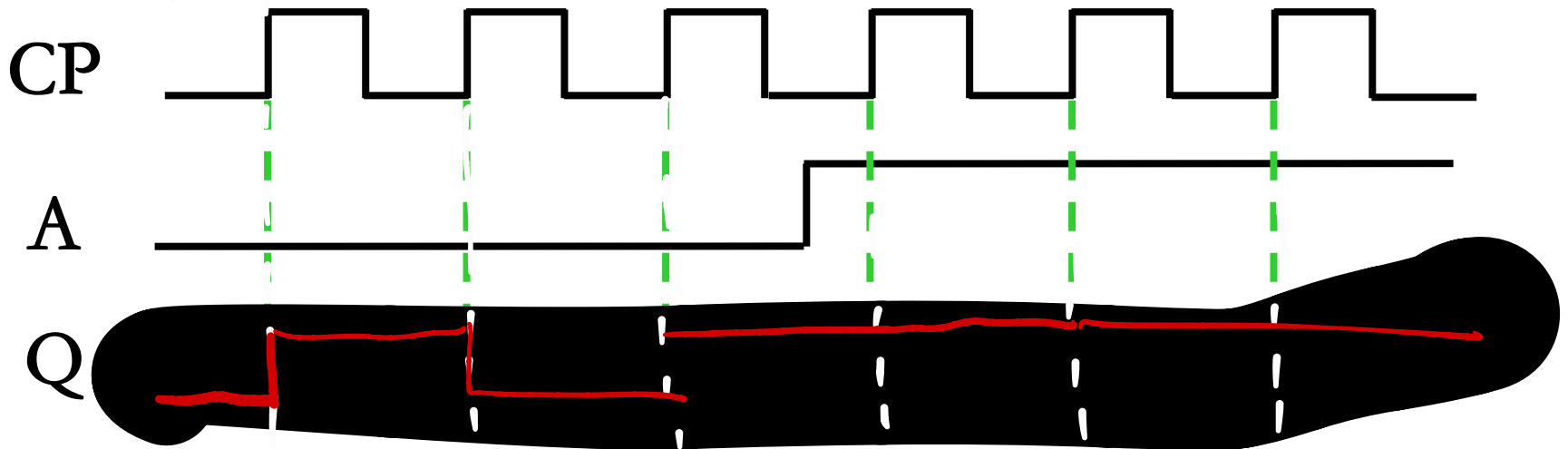
*A与Q异或*



分析：

D上升沿触发；

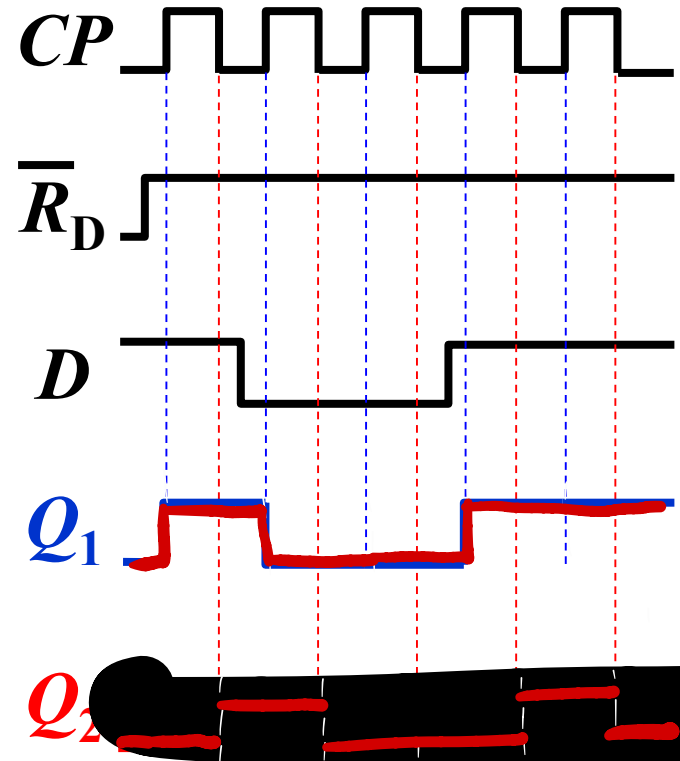
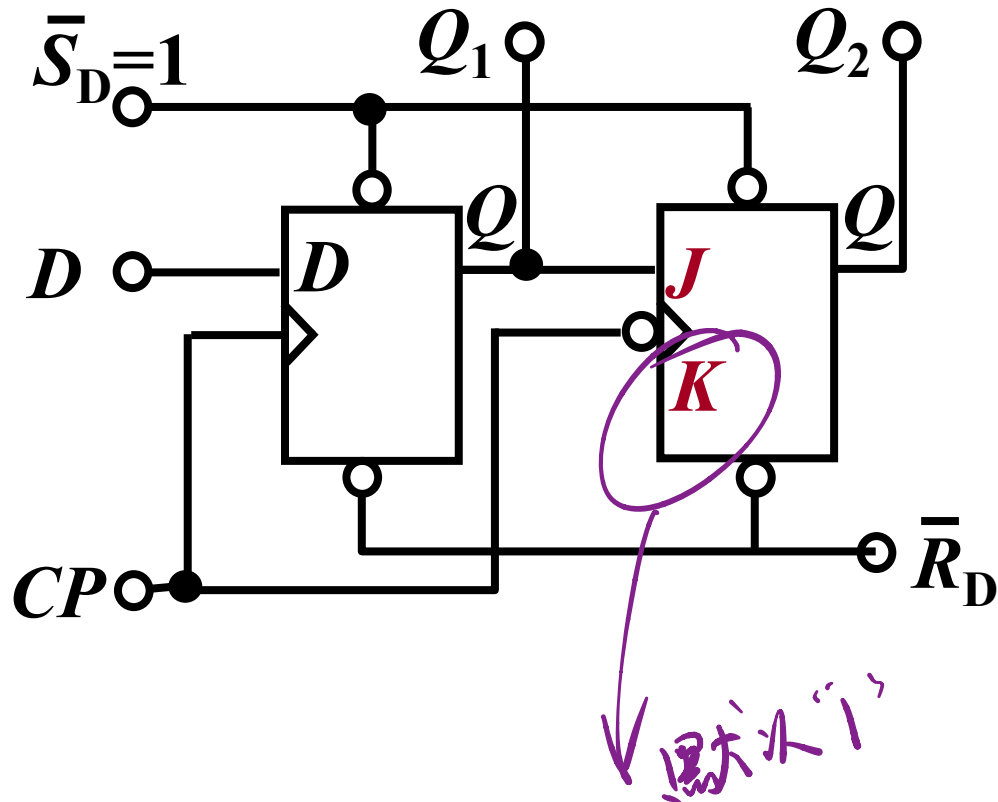
异或门





可再做一次！

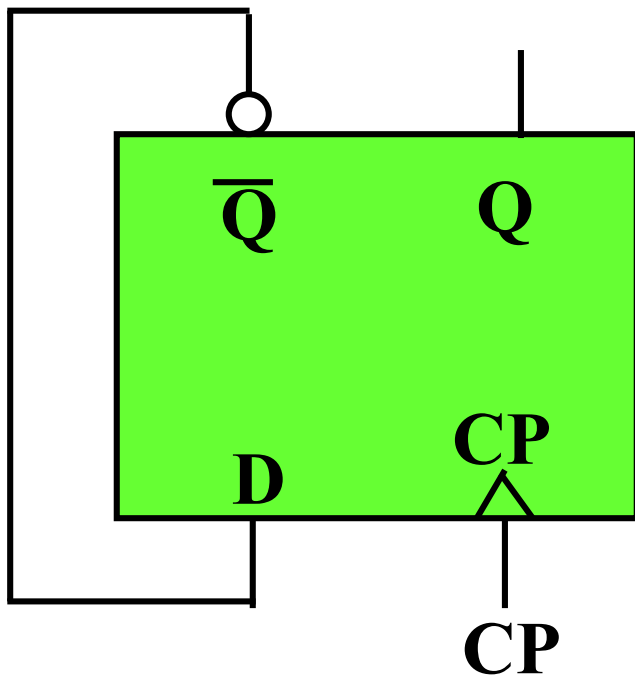
练习：设各触发器初态为0，画出 $Q_1$ 和 $Q_2$ 的波形



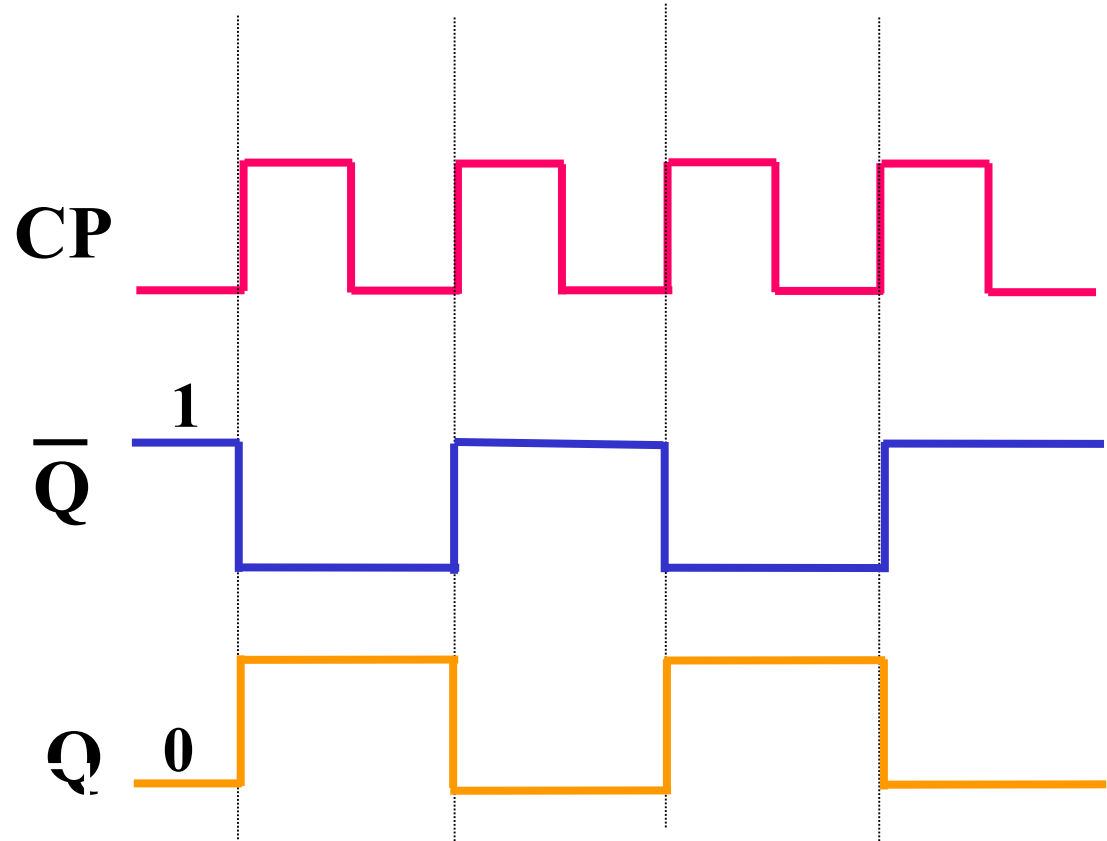


## § 5.3 触发器的应用

实现时钟信号的分频

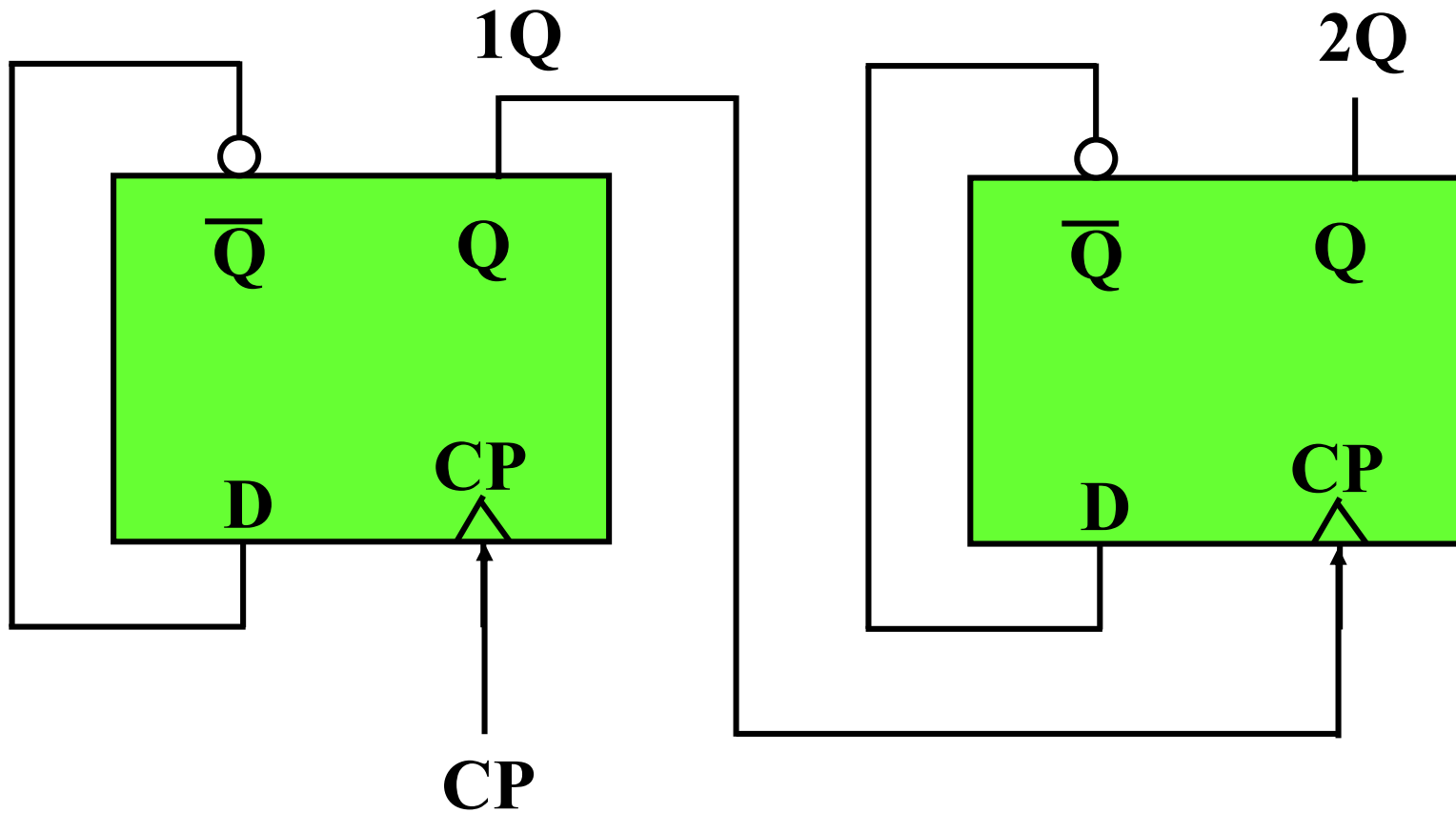


频率  $f_Q = f_{CP}/2$





## 如何实现4分频？

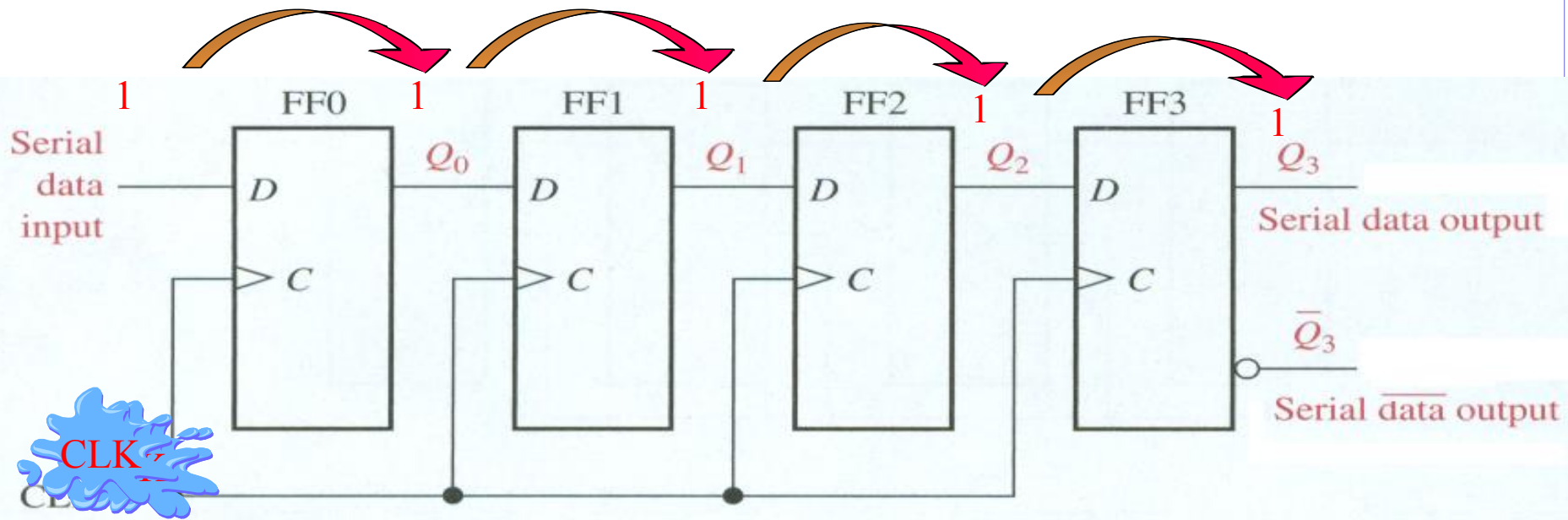
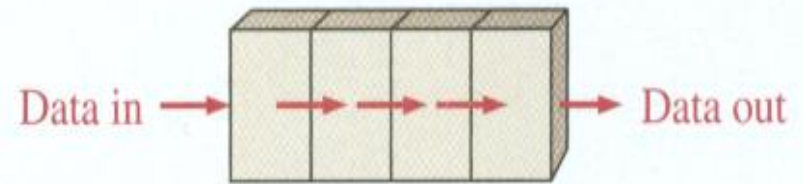


$$f_{2Q} = f_{1Q} / 2 = f_{CP} / 4$$



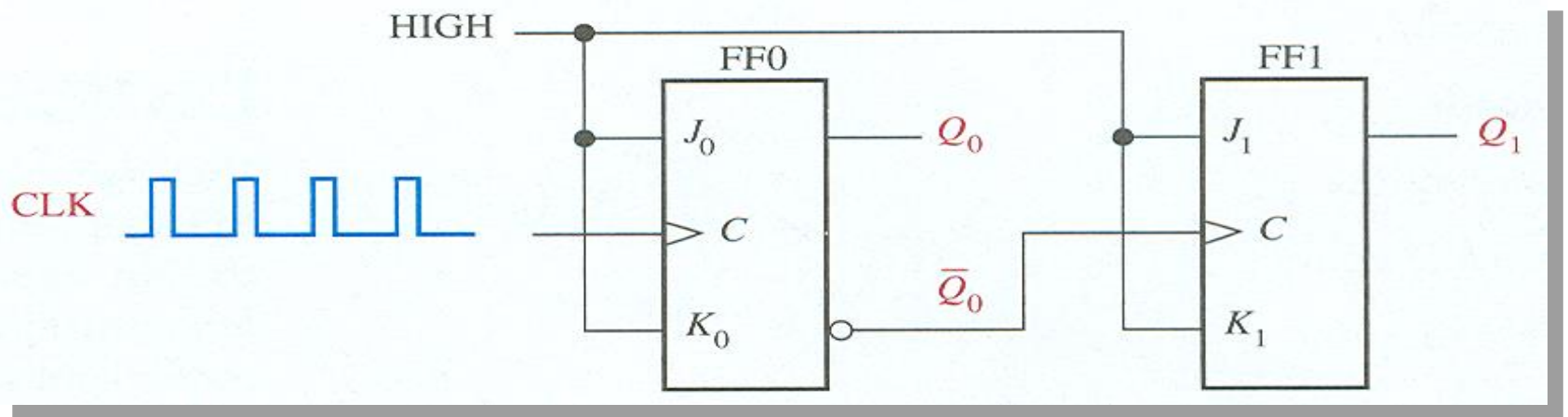


# 移位寄存器





# 计数器

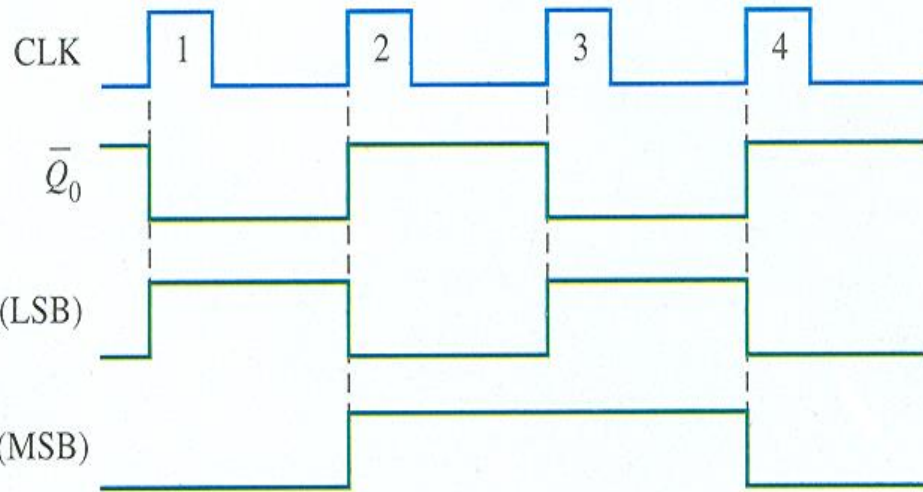


Outputs

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = 1$$

$T'$  触发器



## 两位二进制计数器



## 抢答电路

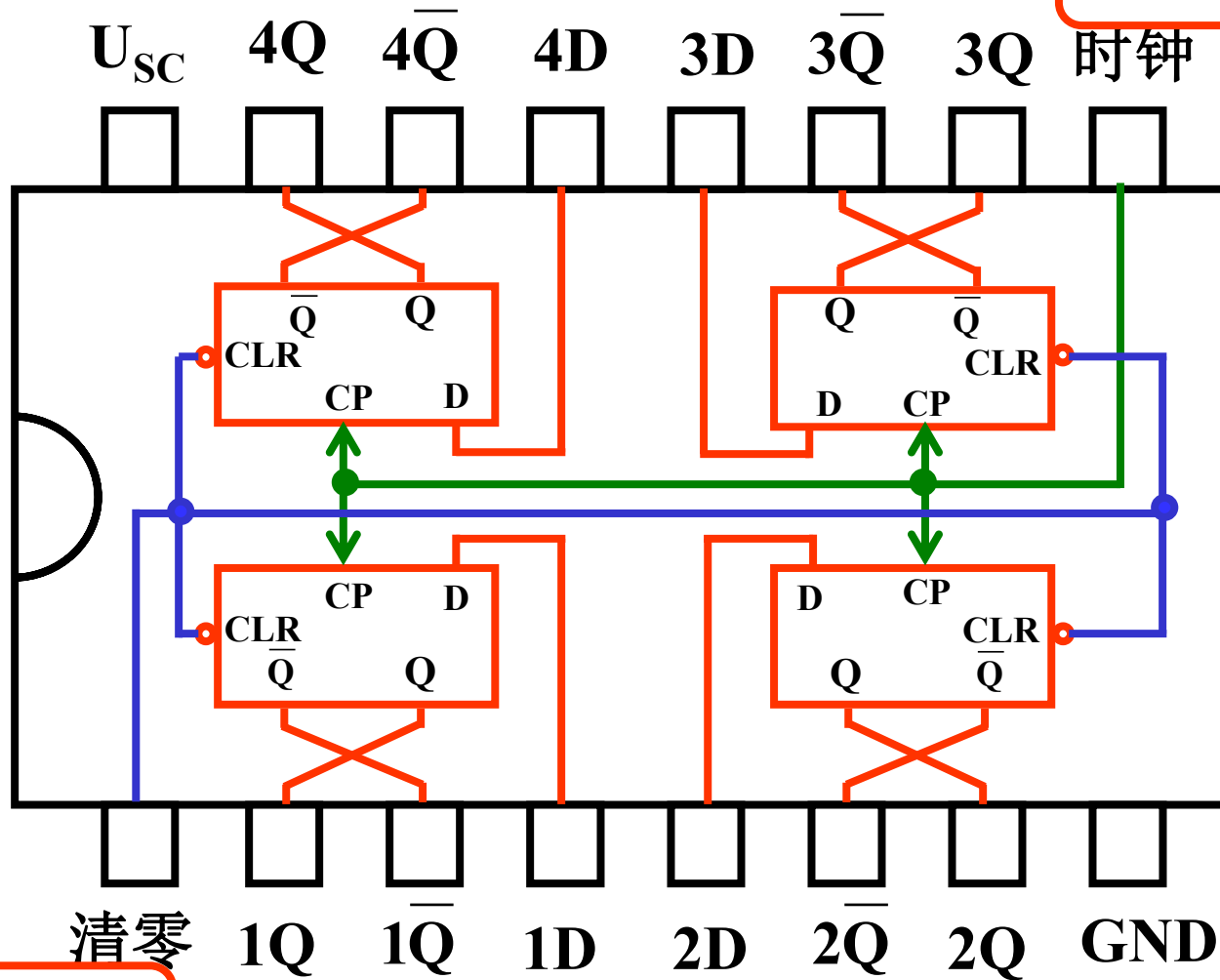
四人参加比赛，每人一个按钮，其中一人按下按钮后，相应的指示灯亮，此后其它按钮按下不起作用。





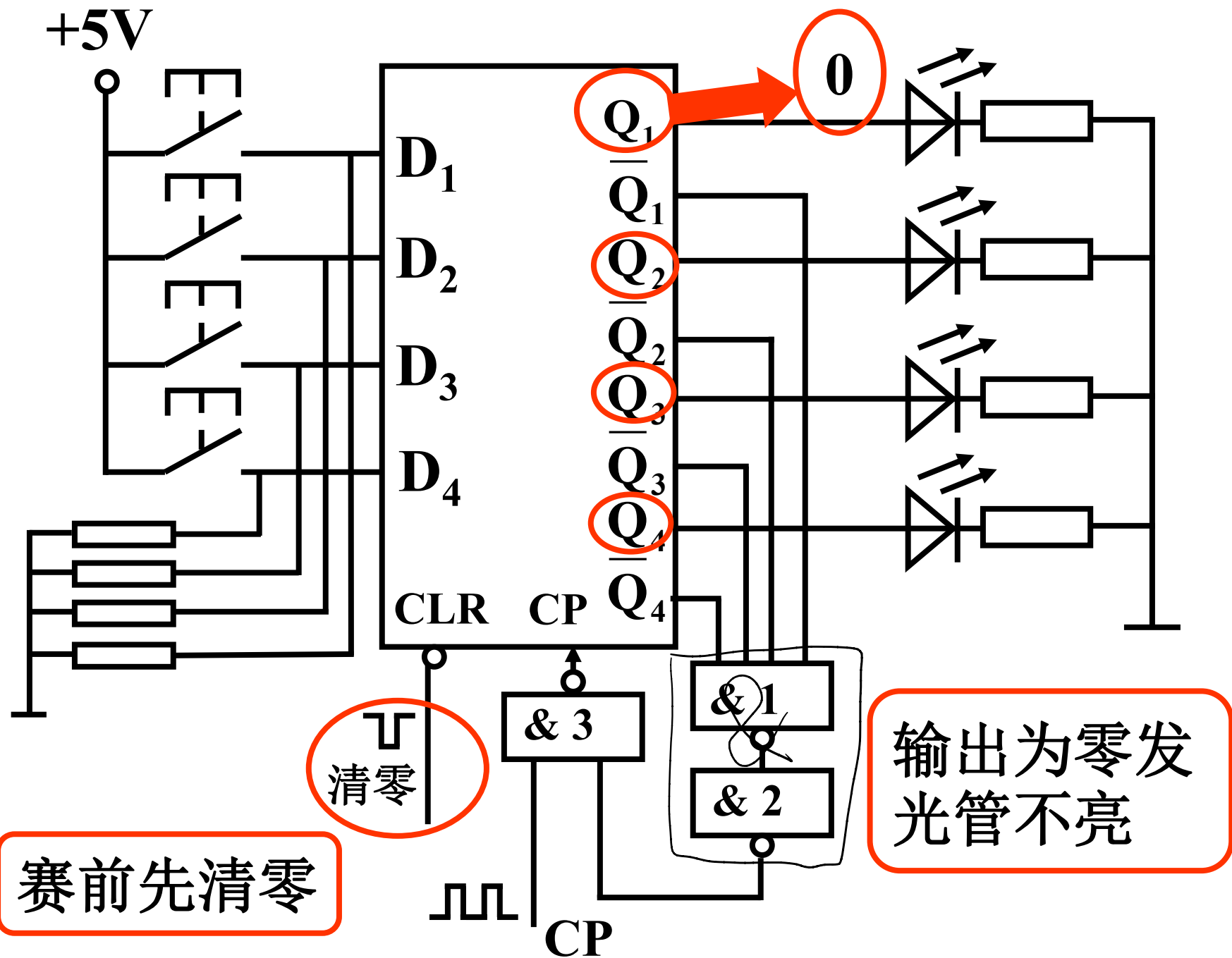
电路的核心是74LS175四D触发器

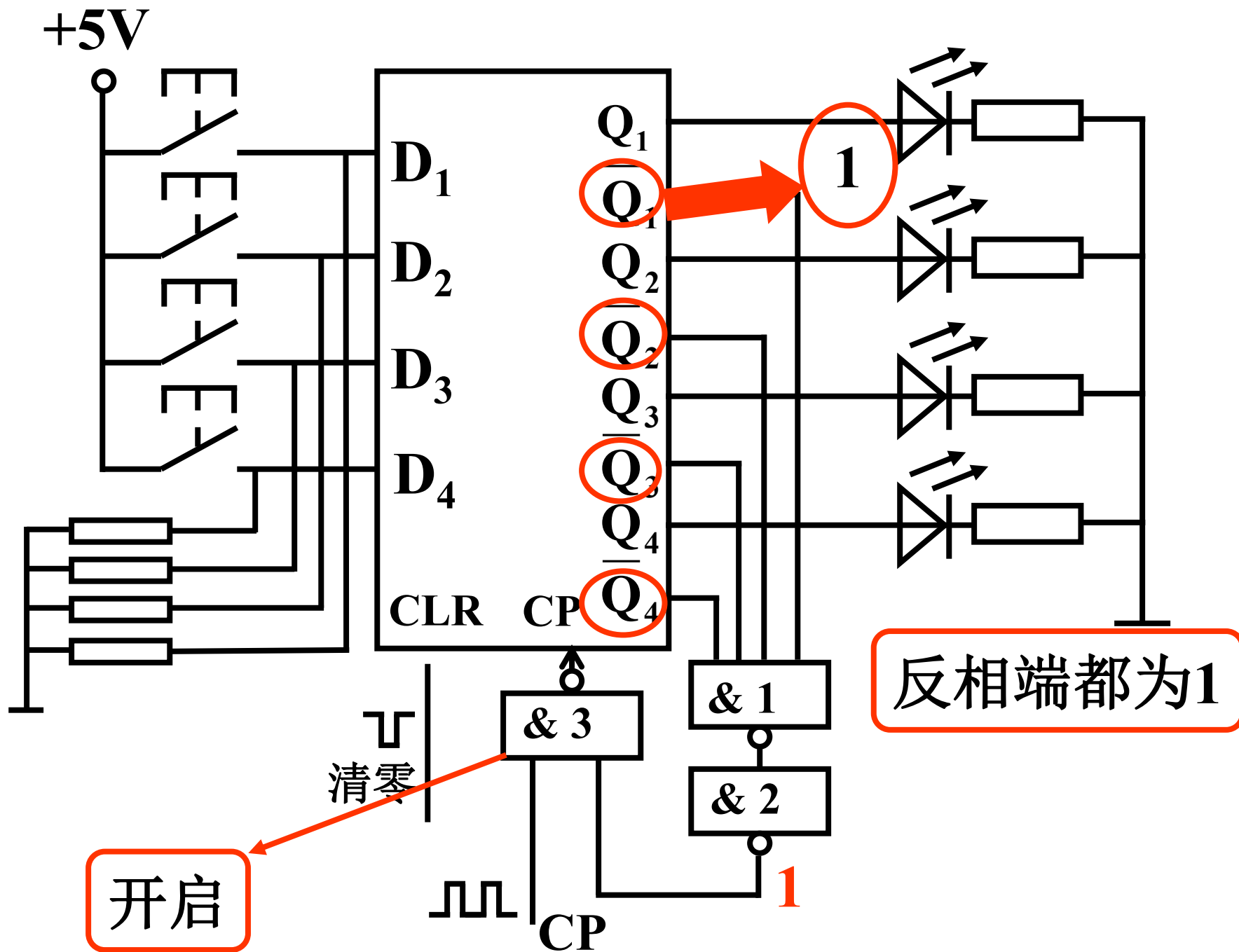
公用时钟



公用清零

74LS175管脚图



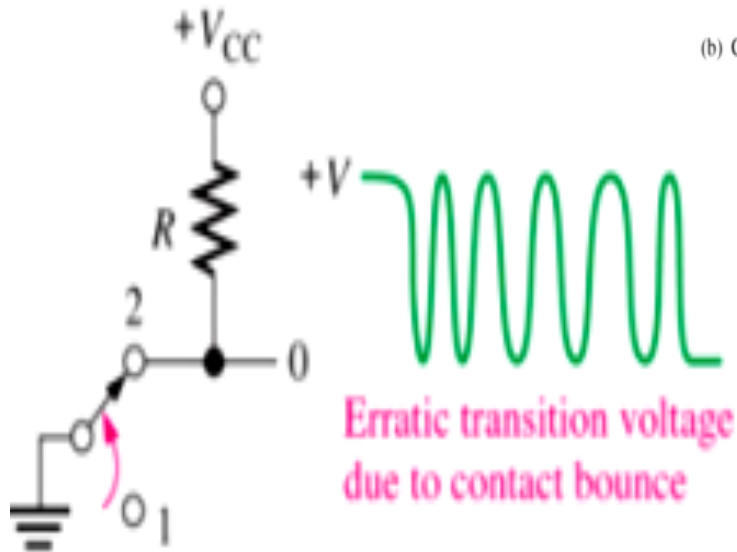




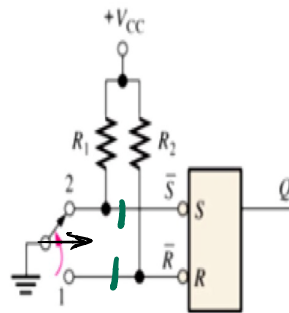




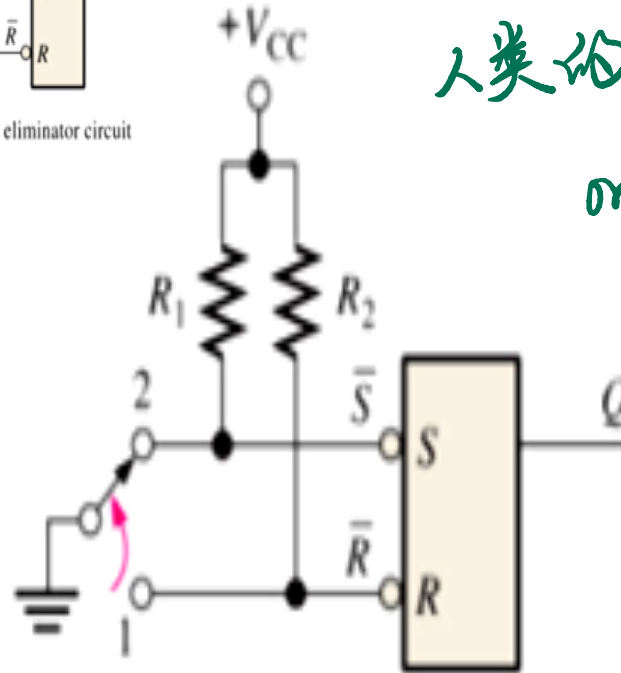
# 消抖电路



(a) Switch contact bounce

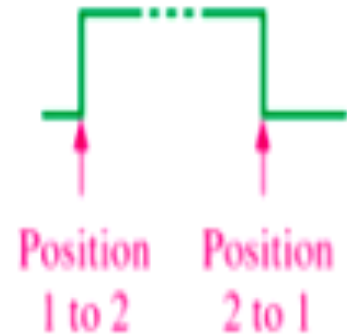


(b) Contact-bounce eliminator circuit



(b) Contact-bounce eliminator circuit

人类的伟大啊  
or2!





## 触发器的特性方程

**JK 触发器**

$$Q^{n+1} = J \overline{Q}^n + \overline{K} Q^n$$

**D 触发器**

$$Q^{n+1} = D$$



# 触发器特性方程的推导

## JK触发器

功能表

$J$	$K$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\overline{Q^n}$

状态表

$J$	$K$	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	



# 触发器特性方程的推导

$Q^{n+1}$ $J$	$KQ^n$			
	00	01	11	10
0	0	1	0	0
1	1	1	0	1

特性方程:

$$Q^{n+1} = J \overline{Q}^n + \overline{K} Q^n$$

## JK触发器

状态表

$J$	$K$	$Q_n$	$Q_{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	



## D触发器的特征方程

功能表

$D$	$Q^{n+1}$
0	0
1	1

$$Q^{n+1} = D$$



## 触发器小结

特点：有记忆功能的逻辑部件

有两个稳定状态 0 和 1

双稳态触发器

功能：在输入信号的作用下(即输入端加入有效电平)  
能够从一种状态(0或1)转变成另一种状态(1或0)

边沿触发器抗干扰能力强，应用广泛

D 触发器和 JK 触发器

在应用触发器时，要特别注意触发时间