

第1章 简介

本章介绍 Verilog HDL 语言的发展历史和它的主要能力。

1.1 什么是Verilog HDL?

Verilog HDL 是一种硬件描述语言，用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。被建模的数字系统对象的复杂性可以介于简单的门和完整的电子数字系统之间。数字系统能够按层次描述，并可在相同描述中显式地进行时序建模。

Verilog HDL 语言具有下述描述能力：设计的行为特性、设计的数据流特性、设计的结构组成以及包含响应监控和设计验证方面的时延和波形产生机制。所有这些都使用同一种建模语言。此外，Verilog HDL 语言提供了编程语言接口，通过该接口可以在模拟、验证期间从设计外部访问设计，包括模拟的具体控制和运行。

Verilog HDL 语言不仅定义了语法，而且对每个语法结构都定义了清晰的模拟、仿真语义。因此，用这种语言编写的模型能够使用 Verilog 仿真器进行验证。语言从 C 编程语言中继承了多种操作符和结构。Verilog HDL 提供了扩展的建模能力，其中许多扩展最初很难理解。但是，Verilog HDL 语言的核心子集非常易于学习和使用，这对大多数建模应用来说已经足够。当然，完整的硬件描述语言足以对从最复杂的芯片到完整的电子系统进行描述。

1.2 历史

Verilog HDL 语言最初是于 1983 年由 Gateway Design Automation^① 公司为其模拟器产品开发的硬件建模语言。那时它只是一种专用语言。由于他们的模拟、仿真器产品的广泛使用，Verilog HDL 作为一种便于使用且实用的语言逐渐为众多设计者所接受。在一次努力增加语言普及性的活动中，Verilog HDL 语言于 1990 年被推向公众领域。Open Verilog International (OVI) 是促进 Verilog 发展的国际性组织。1992 年，OVI 决定致力于推广 Verilog OVI 标准成为 IEEE 标准。这一努力最后获得成功，Verilog 语言于 1995 年成为 IEEE 标准，称为 IEEE Std 1364-1995。完整的标准在 Verilog 硬件描述语言参考手册中有详细描述。

1.3 主要能力

下面列出的是 Verilog 硬件描述语言的主要能力：

- 基本逻辑门，例如 **and**、**or** 和 **nand** 等都内置在语言中。
- 用户定义原语（UDP）创建的灵活性。用户定义的原语既可以是组合逻辑原语，也可以是时序逻辑原语。
- 开关级基本结构模型，例如 **pmos** 和 **nmos** 等也被内置在语言中。

^① Gateway Design Automation 公司后来被 Cadence Design Systems 公司收购。

- 提供显式语言结构指定设计中的端口到端口的时延及路径时延和设计的时序检查。
- 可采用三种不同方式或混合方式对设计建模。这些方式包括：行为描述方式——使用过程化结构建模；数据流方式——使用连续赋值语句方式建模；结构化方式——使用门和模块实例语句描述建模。
- Verilog HDL中有两类数据类型：线网数据类型和寄存器数据类型。线网类型表示构件间的物理连线，而寄存器类型表示抽象的数据存储元件。
- 能够描述层次设计，可使用模块实例结构描述任何层次。
- 设计的规模可以是任意的；语言不对设计的规模（大小）施加任何限制。
- Verilog HDL不再是某些公司的专有语言而是 IEEE 标准。
- 人和机器都可阅读 Verilog 语言，因此它可作为 EDA 的工具和设计者之间的交互语言。
- Verilog HDL 语言的描述能力能够通过使用编程语言接口（PLI）机制进一步扩展。PLI 是允许外部函数访问 Verilog 模块内信息、允许设计者与模拟器交互的例程集合。
- 设计能够在多个层次上加以描述，从开关级、门级、寄存器传送级（RTL）到算法级，包括进程和队列级。
- 能够使用内置开关级原语在开关级对设计完整建模。
- 同一语言可用于生成模拟激励和指定测试的验证约束条件，例如输入值的指定。
- Verilog HDL 能够监控模拟验证的执行，即模拟验证执行过程中设计的值能够被监控和显示，这些值也能够用于与期望值比较，在不匹配的情况下，打印报告消息。
- 在行为级描述中，Verilog HDL 不仅能够在 RTL 级上进行设计描述，而且能够在体系结构级描述及其算法级行为上进行设计描述。
- 能够使用门和模块实例化语句在结构级进行结构描述。
- 图1-1显示了 Verilog HDL 的混合方式建模能力，即在一个设计中每个模块均可以在不同设计层次上建模。
- Verilog HDL 还具有内置逻辑函数，例如 &（按位与）和 |（按位或）。
- 对高级编程语言结构，例如条件语句、情况语句和循环语句，语言中都可以使用。
- 可以显式地对并发和定时进行建模。
- 提供强有力的文件读写能力。
- 语言在特定情况下是非确定性的，即在不同的模拟器上模型可以产生不同的结果；例如，事件队列上的事件顺序在标准中没有定义。

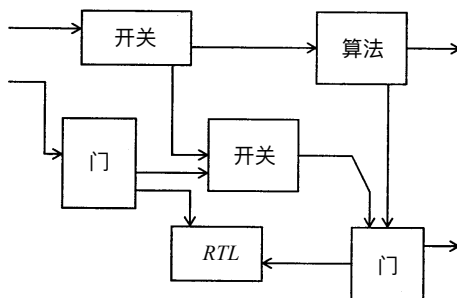


图1-1 混合设计层次建模

习题

1. Verilog HDL 是在哪一年首次被 IEEE 标准化的？
2. Verilog HDL 支持哪三种基本描述方式？
3. 可以使用 Verilog HDL 描述一个设计的时序吗？

4. 语言中的什么特性能够用于描述参数化设计?
5. 能够使用 Verilog HDL 编写测试验证程序吗?
6. Verilog HDL 是由哪个公司最先开发的?
7. Verilog HDL 中的两类主要数据类型什么?
8. UDP代表什么?
9. 写出两个开关级基本门的名称。
10. 写出两个基本逻辑门的名称。