

类型	设计报告
密级	机密

技 术 报 告

名 称：DSP 总体设计方案
编 号：
版本号：V0.02

作 者	RV 项目组
项 目	
部 门	SOC 平台
日 期	2018-05-23

UCW2102 芯片总体设计

摘 要： 在本总体设计中详细定义了 DSP 的功能、引脚、外部接口时序以及芯片内部的功能模块的划分以及总体数据流的规划。

关键词：

Abstract: The functionalities of DSP chip are described in this report, as well as pinouts , interface timing, internal module partitioning, and timing between internal modules.

Key Words:

遵循标准

1、ISO7816

“UCxxxx 芯片特性指标.doc”

修订日期	版本	修订人	修订项目
2018-04-04	V0.01		建立文档
2018-05-23	V0.02		

目录

遵循标准2

1 概述5

 1.1 系统框图5

 1.1.1 系统原理框图.....5

 1.1.2 系统结构框图.....6

 1.2 系统功能概述.....10

 1.2.1 芯片的特性指标.....10

 1.2.2 系统功能概述.....10

 1.2.3 芯片 IO 及封装.....11

2 关键技术11

 2.1 Memory 管理.....错误! 未定义书签。

 2.2 数据通路分析.....错误! 未定义书签。

 2.3 LayOut 技术.....错误! 未定义书签。

 2.4 安全构架错误! 未定义书签。

3 模块设计15

 3.1 8051-SC core15

 3.1.1 模块框图.....15

 3.1.2 模块接口.....15

 3.1.3 模块功能描述.....15

4 可靠性设计16

5 可测性设计22

6 可生产性设计23

7 Foundry、IP 方案24

8 面积功耗评估24

9 芯片典型应用25

10 设计风险26

1 概述

本 DSP 指令集使用 ARM V7 拓展 DSP 指令集，并且添加了对标 TI C67 的 LOAD STORE 指令，内部结构参考 TI C6700。外部与 RISC-V 处理器共享数据缓存，指令由 RISC-V 处理器取指并传递给 DSP，DSP 自身不单独取指。内部设有两条独立的数据通路，每个数据通路都有各自的 ALU、乘法器、移位寄存器等。根据指令需求，共设置 16 个寄存器，其中 12 个为通用寄存器，其他为状态寄存器。该 DSP 的主要功能是协助 RISC-V 主核完成一系列复杂的数学运算操作，快速完成用于特殊场景的某些特定算法。由于尚未综合验证，功耗、面积、速度、封装等指标暂时无法给出。

1.1 系统框图

1.1.1 系统原理框图

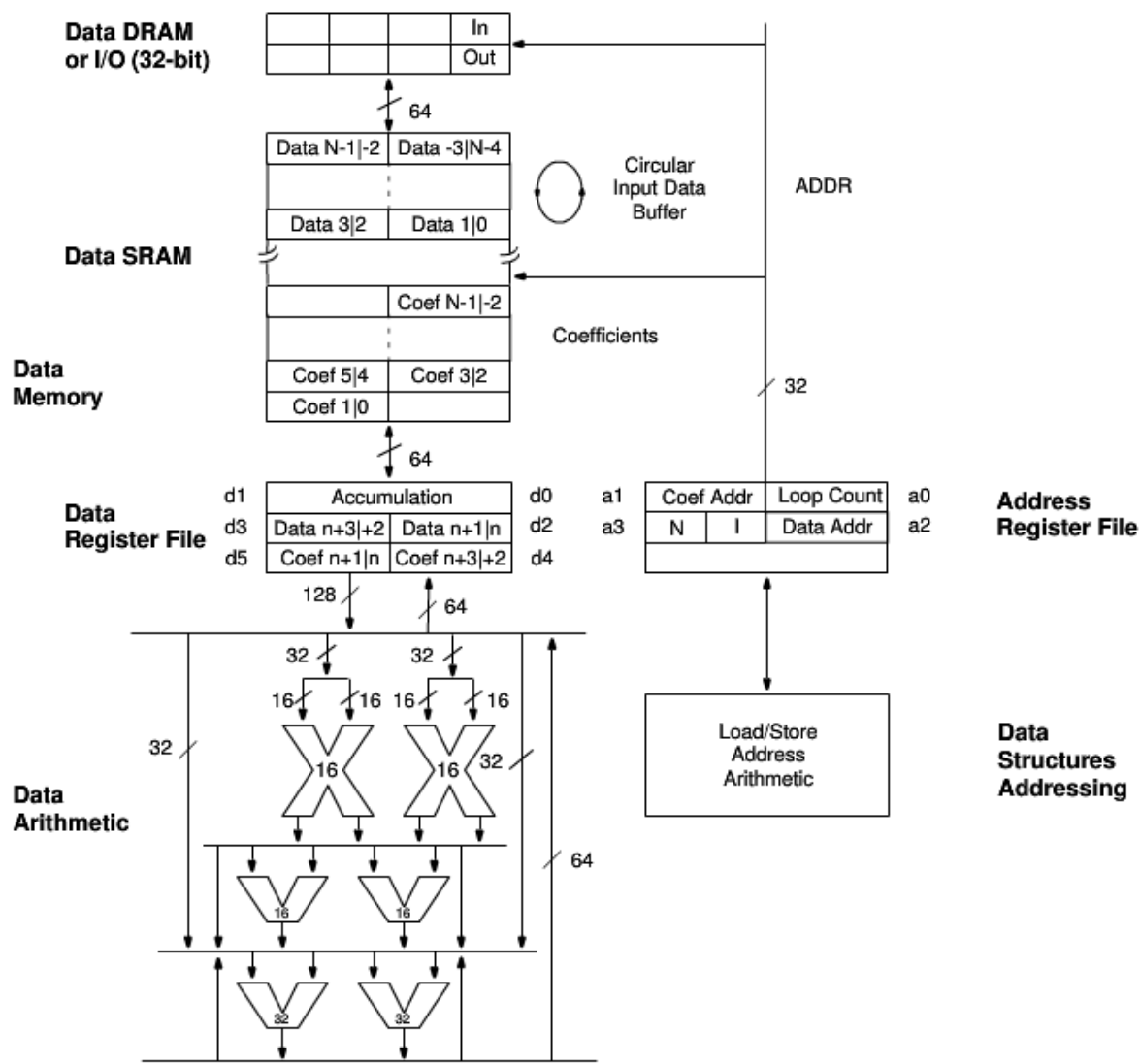
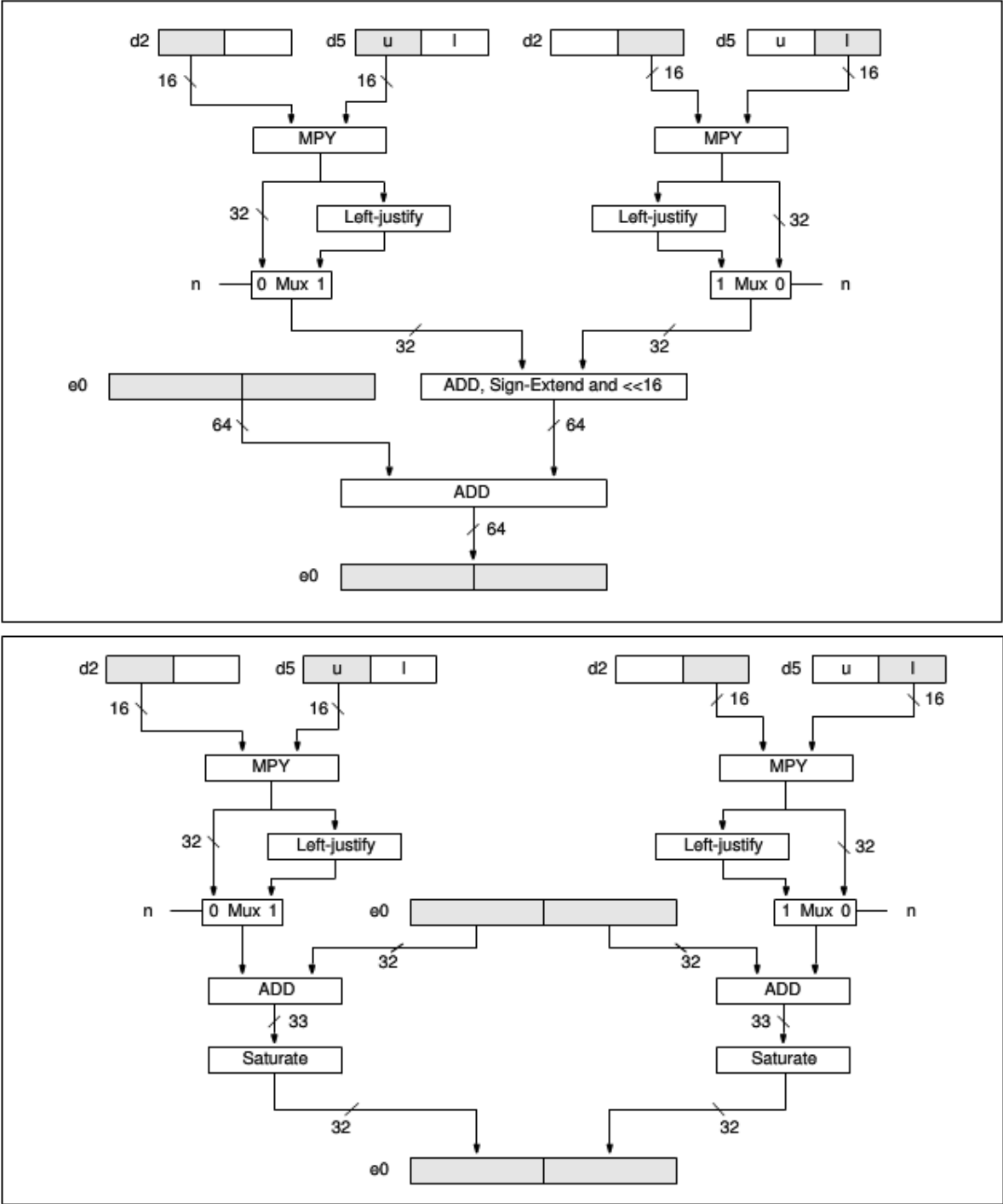
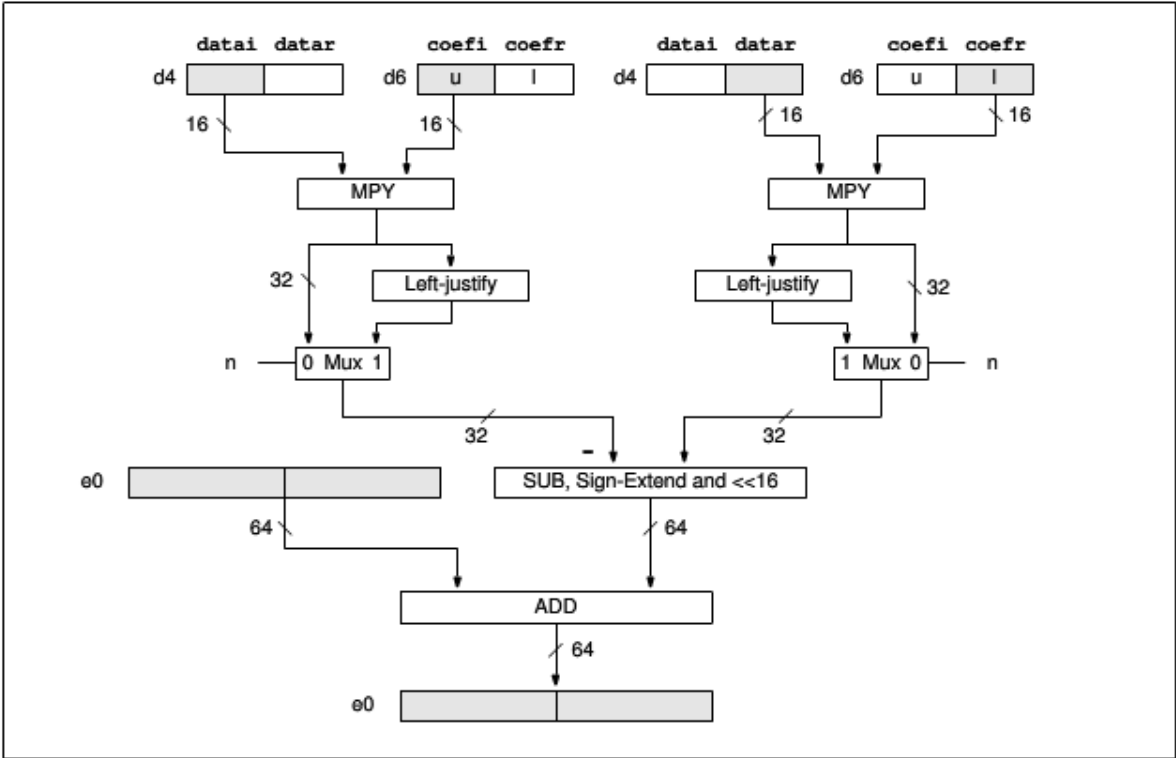


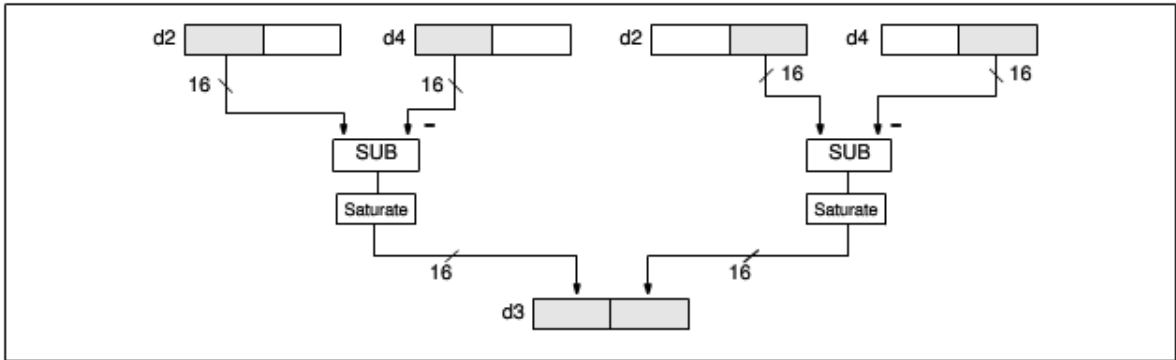
图 1-1 总体框图

1.1.2 模块框图

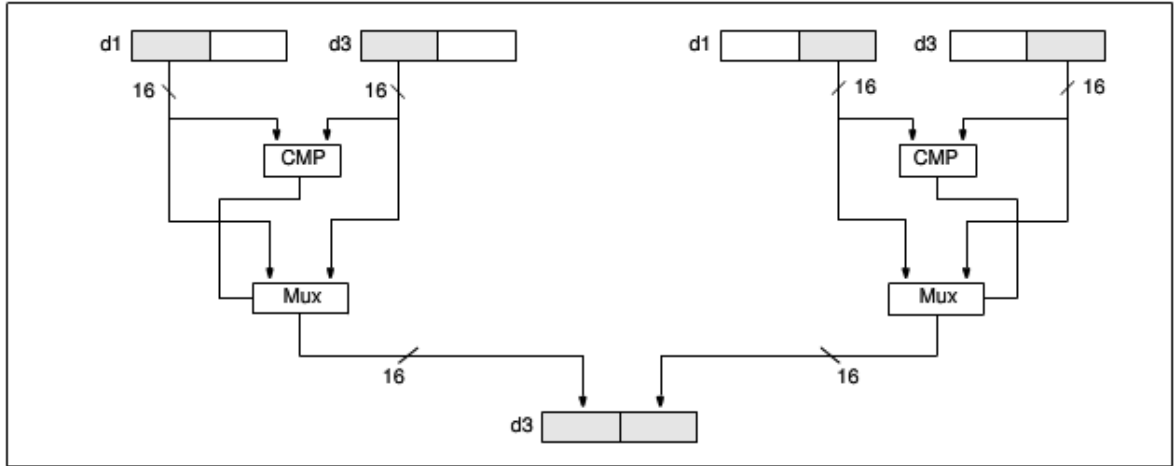




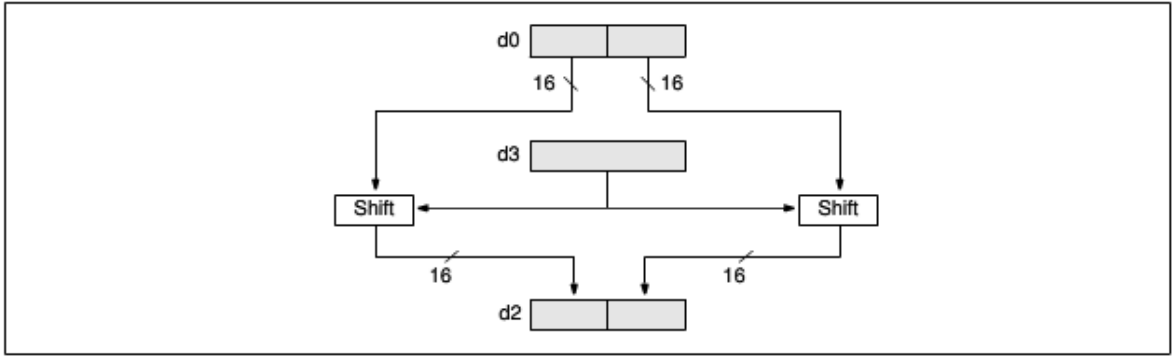
乘加减混合



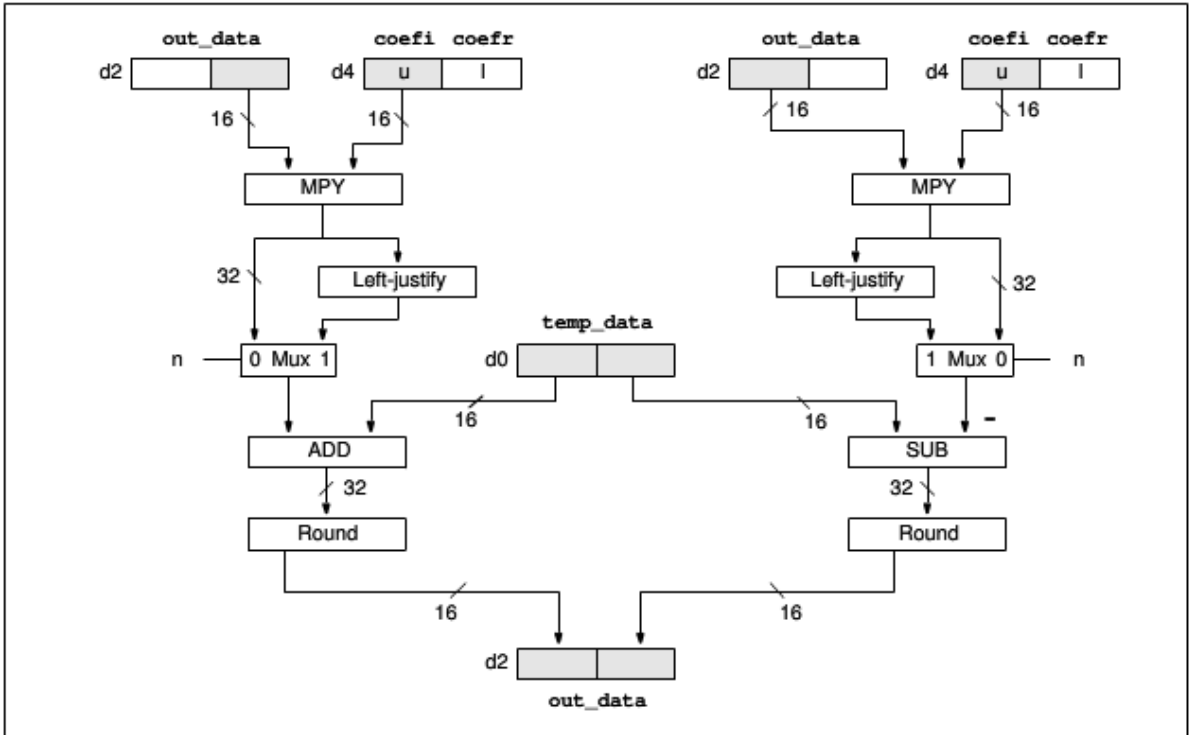
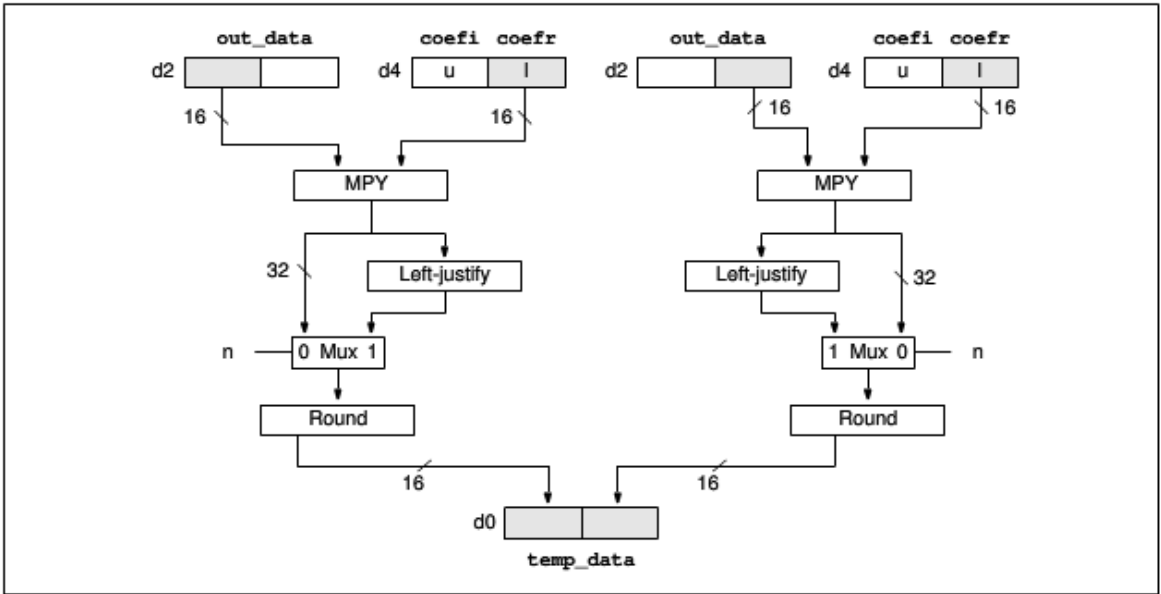
减法

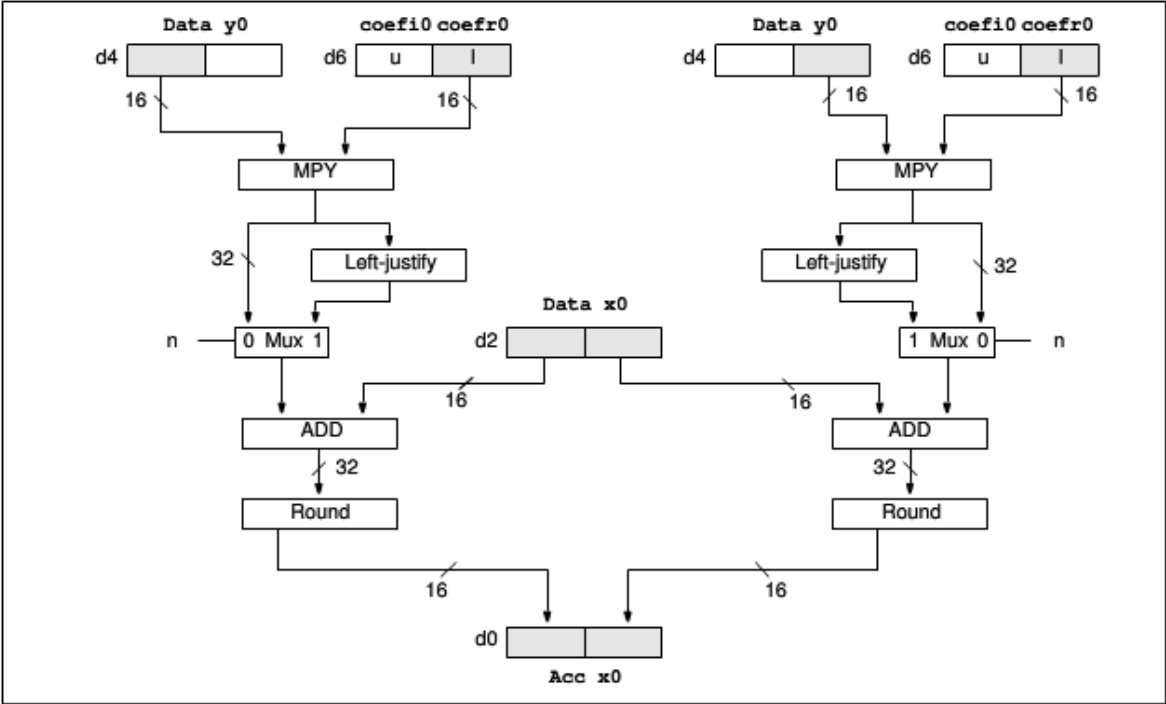


多路比较

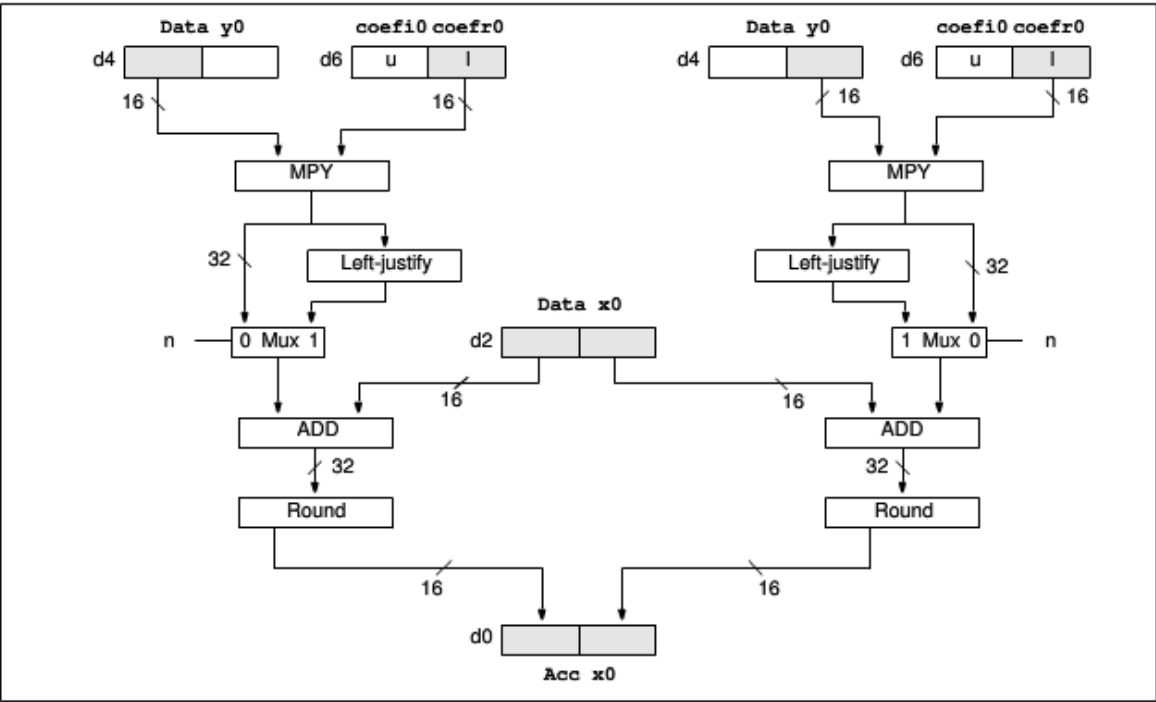


移位

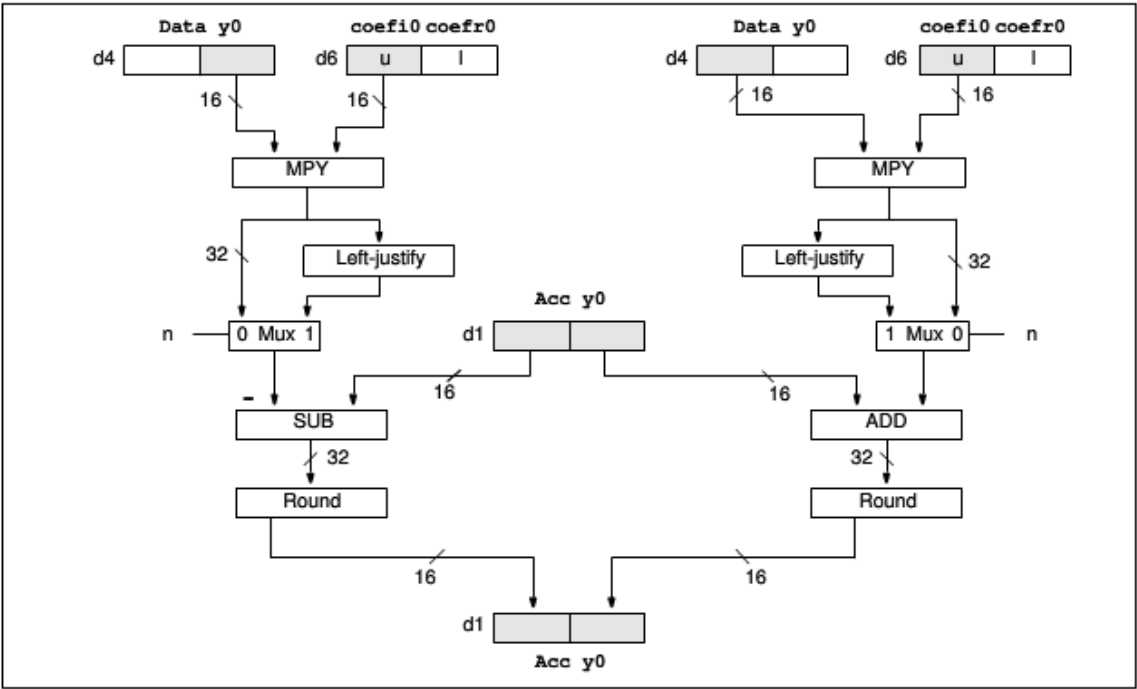




乘法



16 位乘加



多路乘加

1.2 系统功能概述

本设计具有

- ◎ 硬件乘法器及乘—加单元
- ◎ 多执行单元
- ◎ 高效的存储器访问
- ◎ 定点及浮点的数据格式
- ◎ 线性 I/O 的数据流控制
- ◎ 专门的指令集
- ◎ 强化传统 DSPs 结构：例如增加第二乘法器 ；
- ◎ 采用并行结构

1.2.1 芯片的特性指标

200MHz 时钟 32--bit 总线则总线数据吞吐率为 100Mbyte/s 或 800MBPS

1.2.2 系统功能概述

本设计的 DSP 具有以下功能

(1) 信号处理——如，数字滤波、自适应滤波、快速傅里叶变换、相关运算、频谱分析、卷积等。

(2) 通信——如, 调制解调器、自适应均衡、数据加密、数据压缩、回坡抵消、多路复用、传真、扩频通信、纠错编码、波形产生等。

(3) 语音——如语音编码、语音合成、语音识别、语音增强、说话人辨认、说话人确认、语音邮件、语音储存等。

(4) 图像/图形——如二维和三维图形处理、图像压缩与传输、图像增强、动画、机器人视觉等。

(5) 军事——如保密通信、雷达处理、声纳处理、导航等。

(6) 仪器仪表——如频谱分析、函数发生、锁相环、地震处理等。

(7) 自动控制——如引擎控制、深空、自动驾驶、机器人控制、磁盘控制。

(8) 医疗——如助听、超声设备、诊断工具、病人监护等。

(9) 家用电器——如高保真音响、音乐合成、音调控制、玩具与游戏、数字电话/电视等

1.2.3 芯片 IO 及封装

2 关键技术

本章首要解决的问题是实现基于 RV 的 DSP 的实现

2.1 指令集

指令集采用与 arm v7 对标的 RV32G 标准扩展指令集(具体指令集参见之前整理的相关指令集文档)。其中, 采用 RV32 保留部分进行标准扩展, 使用部分为保留段 custom-0 和 custom-1, 用以实现对标 arm v7 的相关特殊操作指令。为简化扩展的指令集, 其中相关扩展均为 R 类扩展。

2.2 流水线设计

暂定为采用4级流水线、程序和数据总线分开的哈佛结构。程序执行分为取指、译码、读数和写数4个阶段, 在同一时刻独立并行进行, 获得显著的高性能。提高性能的方法有两种: 一是提高时钟频率, 这就要求简化流水线每一级的逻辑, 因而流水线的级数要增加; 二是减少每条指令的平均时钟周期数, 这就要考虑增加流水线级数和减少指令相关造成的流水线停顿。

2.3 存储器组织

由于数字信号处理的主要操作乘累加的乘法操作, 一次需要有至少2个操作数进行乘法运算, 必须提供足够的操作数带宽。传统的冯·诺曼结构是将指令、数据存储在同一存储器中, 统一编址, 依靠指令计数器提供的地址来区分是指令还是数据。取指令和取数据都访问同一存储器, 数据吞吐率低。而哈佛结构则是不同于传统的冯·诺曼(VonNeuman)结构的并行系统结构, 其主要特点是将程序和数据存储在不同的存储空间中, 即程序存储器和数据存储器是两个相互独立的存储器, 每个存储器独立编址, 独立访问。与两个存储器相对应的是系统中设置了程序总线和数据总线两条总线, 从而使数据的吞吐率提高了一倍。

在哈佛结构中, 由于程序和数据存储器在两个分开的空间中, 因此取指和执行能完全重叠运行。对于数字信号处理的主要操作乘累加的乘法操作, 一次需要有2个操作数进行乘法运算, 提供足够的操作数带宽。大多数的数字信号处理器内部都设置了多条数据总线, 以便用来在每个机器指令周期完成多个数据存储器访问, 从而提供进行乘累加操作需要的操作数。根据系统的性能选择适合的存储器组织, 存储器的带宽必须满足时钟频率的要求。为了提高性能, 可以采用4级流水线结构, 将寄存器读写分开, 同时加入专用寄存器或容量小、速度快的 cache 可以显著提高速度和降低功耗。但是, 如果要考虑关键任务必须满足严格的实时约束时, 使用 RAM 就更合理。基本 RISC-V ISA 在一个单一的用户地址空间内支持多个同时线程的执行。每个 RISC-V 线程拥有它自己的寄存器和程序计数器, 并执行一段不相关的顺序指令流, 执行环境将定义 RISC-V 线程是如何创建和管理的。RISC-V 线程可以通过调用执行环境或者直接通过共享

存储器系统来在相互之间进行通信和同步。RISC-V线程也可以与I/O设备交互，并可通过对指派给I/O的地址空间部分进行load和store，间接地在I/O设备间通信。每个RISC-V线程看到它自己的存储器操作，如同它们就是按照程序中的顺序执行一样。RISC-V在线程间有一个放松的存储器模型，不同的RISC-V线程之间的存储器操作，需要一条明确的FENCE指令来确保任何特定地顺序。FENCE指令用于顺序化其他RISC-V线程、外部设备或者协处理器看到的设备I/O和存储器访问。任何设备输入。

2.4 接口部分

RoCC接口允许将自定义协处理器或加速器集成到RISC-V核。本文档的目的是从设计的角度理解RoCC接口信号, 以Verilog设计的RISC-V兼容加速器。

2.4.1 ROCC接口概述

RoCC接口有一组基本的信号，这些信号通常是加速器所必需的。我们将它们称为默认的RoCC接口。然而，RoCC接口也提供了一些加速器可能需要的可配置扩展，这取决于它们的功能。我们将它们称为扩展的RoCC接口。

默认的rocc接口信号可以分为以下信号：

1. 核心控制(CC)：用于加速器和火箭核心之间的协调。
2. 寄存器模式(Core)：用于加速器和火箭核心之间的数据交换
3. 内存模式(Mem)：用于加速器与L1-D缓存之间的通信。

扩展的ROCC接口可以提供以下信号：

1. 无缓存陶瓷连接(UTL)：一个加速器和L2存储器之间的通信
2. 浮点单元(FPU)：用于加速器从FPU发送和接收数据
3. 控制状态寄存器(CSR)：由内核上的Linux用来识别加速器
4. 页面表Walker(PTW)：用于从加速器转换地址

图1中的系统级图显示了加速器的ROCC接口。通过文档的其余部分，我们在上面分配给子群的首字母缩略词前加前缀，以Verilog信号名。

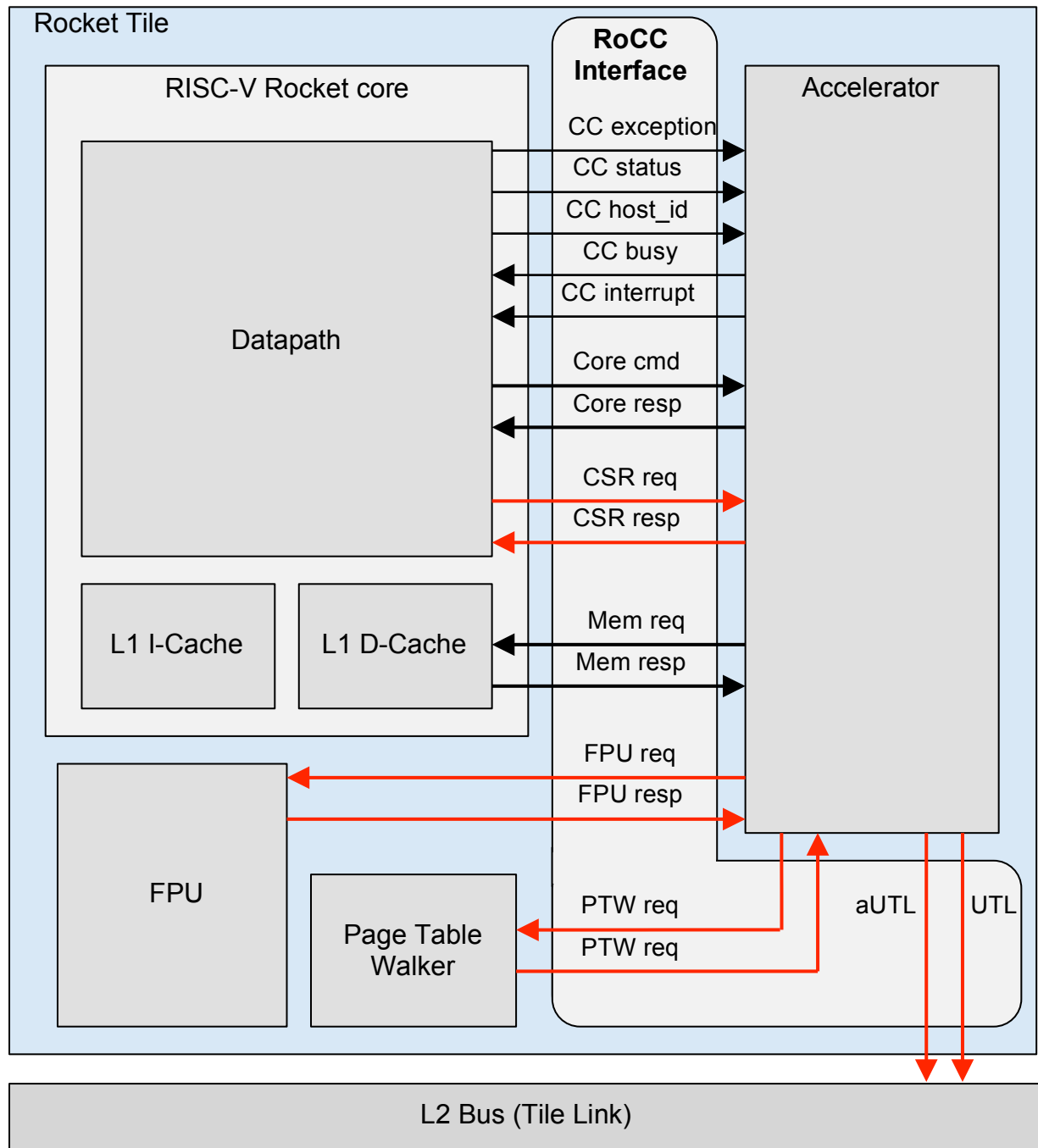


Figure 1: Default (black) & extended (red) signals of the RoCC interface

2.4.2 ROCC接口描述

默认ROCC接口和扩展ROCC接口的信号名称都是从基于Chisel的加速器生成的verilog中详细说明的。这些verilog接口名称将被HLS工具使用来自动生成加速器的Verilog代码；也可以选择使用结构的Verilog接口。

请注意，信号方向和描述是从加速器的角度。

默认的ROCC接口由三个子组组成，即控制、寄存器和存储模式信号。一个包含简短描述和默认值的信号的综合列表是从设计师的角度出发来提供。

扩展ROCC接口

只有当rocc被配置为包含它们时，才包括这些信号。请注意，下面的信号列表并不全面，只是为了代表的目的。

浮点装置 (FPU)

如果加速器上有浮点单元，则该接口可由加速器使用。所有信号名都以“fpu_”作为前缀，以表示它们所属的组。接口是由表8和表9分别列出的FP请求和FP响应子组合成的。

Direction	Signal name
input	fpu_req_ready_i
output	fpu_req_valid_o
output[4:0]	fpu_req_bits_cmd_o
output	fpu_req_bits_ldst_o
output	fpu_req_bits_wen_o
output	fpu_req_bits_ren1_o
output	fpu_req_bits_ren2_o
output	fpu_req_bits_ren3_o
output	fpu_req_bits_swap12_o
output	fpu_req_bits_swap23_o
output	fpu_req_bits_single_o
output	fpu_req_bits_fromint_o
output	fpu_req_bits_toint_o
output	fpu_req_bits_fastpipe_o
output	fpu_req_bits_fma_o
output	fpu_req_bits_div_o
output	fpu_req_bits_sqrt_o
output	fpu_req_bits_round_o
output	fpu_req_bits_wflags_o
output[2:0]	fpu_req_bits_rm_o
output[1:0]	fpu_req_bits_typ_o
output[64:0]	fpu_req_bits_in1_o
output[64:0]	fpu_req_bits_in2_o
output[64:0]	fpu_req_bits_in3_o

Table 8: FP Request signals

Direction	Signal name
output	fpu_resp_ready_o

```
input fpu_resp_valid_i
input [64:0] fpu_resp_bits_data_i
input [4:0] fpu_resp_bits_exc_i
```

Table 9: FP Response signals

2.5 加法器

此部分由公司已有的加法器实现。

2.6 乘法器

此部分由公司已有的乘法器实现。

2.7 时钟方案

DSP 可以支持的最高时钟速率是由任意流水线级的最慢的逻辑路径决定。一般情况下采用多级方式的超级流水线可以减少每级流水线的负荷，但这样的好处可能会被因增加流水线相关性而恶化了的CPI(每条指令的平均时钟周期数)抵消，除非采用非常复杂的机制来缩小它的抵消作用。可以通过执行级使用改善的电路技术和结构缩短它的关键路径。例如改善的加法器、乘法器结构,使用快速的存储设备以避免存储器瓶颈。同时在物理级设计上采用优化的版图结构以改善时钟。

3 模块设计

本章主要规范模块的设计接口，包括接口信号，接口时序，接口协议，描述各模块的主要设计原理及模块顶层设计框架。

3.1 8051-SC core

3.1.1 模块框图

3.1.2 模块接口

3.1.2.1 接口信号

参考“项目组，UCxxxx 总体方案_模块接口列表模板(v0.1)，日期.xls”。

3.1.2.2接口时序及协议

3.1.3 模块功能描述

详细描述模块的原理及工作过程。

4 可靠性设计

1. 可靠性设计应遵循的基本原则

- (1) 必须将产品的可靠性要求转化成明确的、定量化的可靠性指标。
- (2) 必须将可靠性设计贯穿于产品设计的各个方面和全过程。
- (3) 从国情出发尽可能地采用当今国内外成熟的新技术、新结构、新工艺。
- (4) 设计所选用的线路、版图、封装结构,应在满足预定可靠性指标的情况下尽量简化,避免复杂结构带来的可靠性问题。

- (5) 可靠性设计实施过程必须与可靠性管理紧密结合。

2. 可靠性设计的基本依据

- (1) 合同书、研制任务书或技术协议书。
- (2) 产品考核所遵从的技术标准。
- (3) 产品在全寿命周期内将遇到的应力条件(环境应力和工作应力)。
- (4) 产品的失效模式分布,其中主要的和关键的失效模式及其机理分析。
- (5) 定量化的可靠性设计指标。
- (6) 生产(研制)线的生产条件、工艺能力、质量保证能力。

3. 设计前的准备工作

- (1) 将用户对产品的可靠性要求,在综合平衡可靠性、性能、费用和研制(生产)周期等因素的基础上,转化为明确的、定量化的可靠性设计指标。
- (2) 对国内外相似的产品进行调研,了解其生产研制水平、可靠性水平(包括产品的主要

4. 可靠性设计程序

- (1) 分析、确定可靠性设计指标,并对该指标的必要性和科学性等进行论证。
- (2) 制定可靠性设计方案。设计方案应包括对国内外同类产品(相似产品)的可靠性分析、可靠性目标与要求、基础材料选择、关键部件与关键技术分析、应控制的主要失效模式以及应采取的可靠性设计措施、可靠性设计结果的预计和可靠性评价试验设计等。
- (3) 可靠性设计方案论证(可与产品总体方案论证同时进行)。
- (4) 设计方案的实施与评估,主要包括线路、版图、工艺、封装结构、评价电路等的可靠性设计以及对设计结果的评估。
- (5) 样品试制及可靠性评价试验。
- (6) 样品制造阶段的可靠性设计评审。
- (7) 通过试验与失效分析来改进设计,并进行“设计—试验—分析—改进”循环,实现产品的可靠性增长,直到达到预期的可靠性指标。
- (8) 最终可靠性设计评审。

集成电路的可靠性设计指标

5. 稳定性设计指标

半导体集成电路经过贮存、使用一段时间后,在各种环境因素和工作应力的作用下,某些电性能参数将逐渐发生变化。如果这些参数值经过一定的时间超过了所规定的极限值即判为失效,这类失效通常称为参数漂移失效,如温漂、时漂等。因此,在确定稳定性设计指标时,必须明确规定半导体集成电路在规定的条件下和规定的时间内,其参数

的漂移变化率应不超过其规定值。

如某 CMOS 集成电路的两项主要性能参数功耗电流 I_{OD} 和输出电流 I_{OL} 、 I_{OH} 变化量规定值为：

在 125℃ 环境下工作 24 小时， ΔI_{OD} 小于 500mA；

在 125℃ 环境下工作 24 小时， I_{OL} 、 I_{OH} 变化范围为 $\pm 20\%$ 。

6. 极限性设计指标

半导体集成电路承受各种工作应力、环境应力的极限能力是保证半导体集成电路可靠性的主要条件。半导体集成电路的电性能参数和热性能参数都有极限值的要求，如双极器件的最高击穿电压、最大输出电流、最高工作频率、最高结温等。极限性设计指标的确定应根据用户提出的工作环境要求。除了遵循标准中必须考核的项目之外，对影响产品可靠性性能的关键极限参量也应制定出明确的量值，以便在设计中采取措施加以保证。

7. 可靠性定量指标

表征产品的可靠性有产品寿命、失效率或质量等级。若半导体集成电路产品的失效规律符合半导体集成电路新品的研制应根据电路的具体要求和相似产品的生产、使用数据，通过可靠性水平分析，找到可能出现的主要失效模式，在可靠性设计中有针对性地采取相应的纠正措施，以达到控制或消除这些失效模式的目的。一般半导体集成电路产品应控制的主要失效模式有短路、开路、参数漂移、漏气等，其主要失效机理为电迁移、金属腐蚀、静电放电、过电损伤、热载流子效应、闩锁效应、介质击穿、 α 辐射软误差效应、管壳及引出端锈蚀等。

8 集成电路可靠性设计的基本内容

(a). 线路可靠性设计

线路可靠性设计是在完成功能设计的同时，着重考虑所设计的集成电路对环境的适应性和功能的稳定性。半导体集成电路的线路可靠性设计是根据电路可能存在的主要失效模式，尽可能在线路设计阶段对原功能设计的集成电路网络进行修改、补充、完善，以提高其可靠性。如半导体芯片本身对温度有一定的敏感性，而晶体管在线路达到不同位置所受的应力也各不相同，对应力的敏感程度也有所不同。因此，在进行可靠性设计时，必须对线路中的元器件进行应力强度分析和灵敏度分析（一般可通过 SPICE 和有关模拟软件来完成），有针对性地调整其中心值，并对其性能参数值的容差范围进行优化设计，以保证在规定的工作环境条件下，半导体集成电路整体的输出功能参数稳定在规定的数值范围，处于正常的工作状态。线路可靠性设计的一般原则是：

- （1）线路设计应在满足性能要求的前提下尽量简化；
- （2）尽量运用标准元器件，选用元器件的种类尽可能减少，使用的元器件应留有一定的余量，避免满负荷工作；
- （3）在同样的参数指标下，尽量降低电流密度和功耗，减少电热效应的影响；
- （4）对于可能出现的瞬态过电应力，应采取必要的保护措施。如在有关端口采用箝位二极管进行瞬态电压保护，采用串联限流电阻限制瞬态脉冲过电流值。

(b). 版图可靠性设计

版图可靠性设计是按照设计好的版图结构由平面图转化成全部芯片工艺完成后的三维图像，根据工艺流程按照不同结构的晶体管（双极型或 MOS 型等）可能出现的主要失效模式来审查版图结构的合理性。如电迁移失效与各部位的电流密度有关，一般规定有极限值，应根据版图考察金属连线的总长度，要经过多少爬坡，预计工艺的误差范围，计算出金属涂层最薄位置的电流密度值以及出现电迁移的概率。此外，根据工作频率在超高频情况下平行线之间的影响以及对性能参数的保证程度，考虑有无出现纵向或

横向寄生晶体管构成潜在通路的可能性。对于功率集成电路中发热量较大的晶体管和单元，应尽量分散安排，并尽可能远离对温度敏感的电路单元。

(c). 工艺可靠性设计

为了使版图能准确无误地转移到半导体芯片上并实现其规定的功能，工艺设计非常关键。一般可通过工艺模拟软件（如 SUPREM 等）来预测出工艺流程完成后实现功能的情况，在工艺生产过程中的可靠性设计主要应考虑：

（1）原工艺设计对工艺误差、工艺控制能力是否给予足够的考虑（裕度设计），有无监测、监控措施（利用 PCM 测试图形）；

（2）各类原材料纯度的保证程度；

（3）工艺环境洁净度的保证程度；

（4）特定的保证工艺，如钝化工艺、钝化层的保证，从材料、工艺到介质层质量（结构致密

度、表面介面性质、与衬底的介面应力等）的保证。

9. 封装结构可靠性设计

封装质量直接影响到半导体集成电路的可靠性。封装结构可靠性设计应着重考虑：

（1）键合的可靠性，包括键合连接线、键合焊点的牢固程度，特别是经过高温老化后性能变

脆对键合拉力的影响；

（2）芯片在管壳底座上的粘合强度，特别是工作温度升高后，对芯片的剪切力有无影响。此

外，还应注意粘合剂的润湿性，以控制粘合后的孔隙率；

（3）管壳密封后气密性的保证；

（4）封装气体质量与管壳内水汽含量，有无有害气体存在腔内；

（5）功率半导体集成电路管壳的散热情况；

（6）管壳外管脚的锈蚀及易焊性问题。

10. 可靠性评价电路设计

为了验证可靠性设计的效果或能尽快提取对工艺生产线、工艺能力有效的工艺参数，必须通过相应的微电子测试结构和测试技术来采集。所以，评价电路的设计也应是半导体集成电路可靠性设计的主要内容。一般有以下三种评价电路：

(1) 工艺评价用电路设计

主要针对工艺过程中误差范围的测定，一般采用方块电阻、接触电阻构成的微电子测试结构来测试线宽、膜厚、工艺误差等。

(2) 可靠性参数提取用评估电路设计

针对双极性和 CMOS 电路的主要失效模式与机理，借助一些单管、电阻、电容，尽可能全面地研究出一些能评价其主要失效机理的评估电路。

(3) 宏单元评估电路设计

针对双极型和 CMOS 型电路主要失效模式与机理的特点，设计一些能代表复杂电路中基本宏单元和关键单元电路的微电子测试结构，以便通过工艺流程研究其失效的规律性。

11. 可靠性设计技术

可靠性设计技术分类方法很多，这里以半导体集成电路所受应力不同造成的失效模式与机理为线索来分类，将半导体集成电路可靠性设计技术分为：

（1）耐电应力设计技术：包括抗电迁移设计、抗闩锁效应设计、防静电放电设计和防热载流子效应设计；

(2) 耐环境应力设计技术：包括耐热应力、耐机械应力、耐化学应力和生物应力、耐辐射应力设计；

(3) 稳定性设计技术：包括线路、版图和工艺方面的稳定性设计。

耐电应力设计技术半导体集成电路所承受过高电应力的来源是多方面的，有来自于整机电源系统的瞬时浪涌电流、外界的静电和干扰的电噪声，也有来自于自身电场的增强。此外，雷击或人为使用不当（如系统接地不良，在接通、切断电源的瞬间会引起输入端和电源端的电压逆转）也会产生过电应力。过电流应力的冲击会造成半导体集成电路的电迁移失效、CMOS 器件的闩锁效应失效、功率集成电路中功率晶体管的二次击穿失效和电热效应失效等；过电压应力则造成绝缘介质击穿和热载流子效应等。

12. 抗电迁移设计

电迁移失效是在一定温度下，当半导体器件的金属互连线上流过足够大的电流密度时，被激发的金属离子受电场的作用形成离子流朝向阴极方向移动，同时在电场作用下的电子通过对金属离子的碰撞给离子的动量形成朝着金属模阳极方向运动的离子流。在良好的导体中，动量交换力比静电力占优势，造成了金属离子向阳极端的净移动，最终在金属膜中留下金属离子的局部堆积（引起短路）和空隙（引起开路）。MOS 和双极器件对这一失效模式都很敏感，但由于 MOS 器件属于高阻抗器件，电流密度不大，相对而言，电迁移失效对 MOS 器件的影响比双极器件小。在各种电迁移失效模型中引用较多的为下式

$$MTF = AW^p L^q J^n \exp\left(\frac{E_a}{kT}\right)$$

式中，MTF 是平均失效时间，A、p、q 均为常数，W 是金属条线宽，L 是金属条厚度，J 是电流密度，n 一般为 2， E_a 为激活能，k 是玻尔兹曼常数，T 是金属条的绝对温度。为防止电迁移失效，一般采取以下设计措施：

(1) 在铝材料中加入少量铜（一般含 2~4% 重量比），或加入少量硅（含 0.3% 重量比），或在铝条上覆盖 Al-Cu 合金。含铜的铝膜电迁移寿命是纯铝膜的 40 倍，但在高温下铜原子在电场作用下会迁移到 PN 结附近引起 PN 结劣化。

(2) 在铝膜上覆盖完整的钝化膜。

(3) 降低互连线中的电流密度。对于互连线厚度大于 $0.8\mu\text{m}$ 、宽度大于 $6\mu\text{m}$ 的电流密度设计容限一般规定如下：有钝化层的纯铝合金条， $J \leq 5 \times 10^5 \text{A}/\text{cm}^2$ ；无钝化层的纯铝或铝合金条， $J \leq 2 \times 10^5 \text{A}/\text{cm}^2$ ；金膜， $J \leq 6 \times 10^5 \text{A}/\text{cm}^2$ ；其它各种导电材料膜条， $J \leq 2 \times 10^5 \text{A}/\text{cm}^2$ 。对于 VLSI 中金属互连线的电流密度设计容限的要求应更加严格，应取 $J \leq 2 \times 10^5 \text{A}/\text{cm}^2$ 。实际上，这一设计容限值导体电流、温度和温度梯度的函数。

(4) 加强工艺控制精度，减少铝互连线的工艺缺陷。

(5) 金(Au)互连线系统有很好的抗电迁移能力。为了防止形成 Au-Si 低熔点共晶体，需在金-硅之间引入衬垫金属，如 Pt-Ti-Pt-Au 结构。

(6) 可考虑用钼、钨、氮化钛氮化钨等高熔点金属替代铝作电极材料。

13. 抗闩锁设计

CMOS 集成电路含有 n 沟 MOS 和 p 沟 MOS 晶体管，不可避免地存在 npnp 寄生可控硅结构，在一定条件下，该结构一旦触发，电源到地之间便会流过较大的电流，并在 npnp 寄生可控硅结构中同时形成正反馈过程，此时寄生可控硅结构处于导通状态。只要电源不切断，即使触发信号已经消失，业已形成的导通电流也不会随之消失，此现

象即为闩锁效应，简称闩锁(Latch-up)。

(1) CMOS 半导体集成电路产生闩锁的三项基本条件是：

- 外加干扰噪声进入寄生可控硅，使某个寄生晶体管触发导通。
- 满足寄生可控硅导通条件：

$$\frac{\alpha_n R_w}{R_w + r_{cn}} + \frac{\alpha_p R_s}{R_s + r_{cp}} \geq 1$$

其中： α_n 和 α_p 分别为 npn 管和 pnp 管的共基极电流增益； r_{cn} 和 r_{cp} 分别为 npn 管和 pnp 管发射极串联电阻； R_w 和 R_s 分别为 npn 管 pnp 管 EB 结的并联电阻。除了 α_n 、 α_p 与外加噪声引起的初始导通电流有关外，所有以上各参数均由 CMOS 半导体集成电路的版图和工艺条件决定。

• 导通状态的维持。当外加噪声消失后，只有当电源供给的电流大于寄生可控硅的维持电流或电路的工作电压大于维持电压时，导通状态才能维持，否则电路退出导通状态。

(2) 抗闩锁的设计原则

抗闩锁可靠性设计总的原则是：根据寄生可控硅导通条件，设法降低纵、横向寄生晶体管的电流放大系数，减少阱和衬底的寄生电阻，以提高造成闩锁的触发电流阈值，破坏形成正反馈的条件。

(3) 版图抗闩锁设计

• 尽可能增加寄生晶体管的基区宽度，以降低其 β 。对于横向寄生晶体管，应增加沟道 MOS 管与 P 沟道 MOS 管的间距；对纵向寄生晶体管，应增加阱深，尽可能缩短寄生晶体管基极与发射极的 n+区与 p+区的距离，以降低寄生电阻。尽可能多开设电源孔和接地孔，以便增长周界；电源孔尽量设置在 P 沟道 MOS 管与 P 阱之间，接地孔开设在靠近 P 沟道 MOS 管的 P 阱内，尽量减少 P 阱面积，以减少寄生电流。

(4) 工艺抗闩锁设计

- 采用掺金、本征吸杂、中子或电子辐照等方法，以降低寄生晶体管的电流放大系数；
- 在低阻的 n+衬底上生长 n-外延层，再作 p 阱和 n+、p+源接触，形成低阻衬底来降低衬底寄生电阻；
- 用肖特基势垒代替扩散结制作 MOS 管的源区和漏区。由于肖特基势垒结发射效率比 pn 结低得多，可大大削弱闩锁效应；
- 采用在绝缘衬底上生长硅外延层的 CMOS/SOI 工艺技术。

14. 防静电放电设计

静电放电(ESD)失效可以是热效应，也可以是电效应，这取决于半导体集成电路承受外界过电应力的瞬间以及器件对地的绝缘程度。若器件的某一引出端对地短路，则放电瞬间产生电流脉冲形成焦耳热，使器件局部金属互连线熔化或芯片出现热斑，以致诱发二次击穿，这就属于热效应。若器件与地不接触，没有直接电流通路，则静电不是通过器件到地直接放电，而是将存贮电荷传到器件，放电瞬间表现为产生过电压导致介质击穿或表面击穿，这就属于静电效应。预防半导体集成电路静电放电失效的设计措施主要有：

(1) MOS 器件防静电放电效应设计。

(2) 双极型器件防静电放电失效设计。

(3) CMOS 器件防静电放电失效设计。以上防静电保护电路中选用的元件一般要求具有高耐压、大功耗和小动态电阻，使之具有较强的抗静电能力。同时，还要求具有较快的导通速度和小的等效电容，以减少保护电路对电路性能的影响。

15. 防热载流子效应设计

防热载流子效应设计主要是采取减弱 MOS 场效应晶体管漏极附近电场强度的结构,一般通过工艺来形成轻掺杂漏极(LDD)结构。首先对产品硅栅极进行掩膜形成 n+区,再用化学气相淀积(CVD)技术把氧化膜淀积在整个芯片上,再利用各向异性刻蚀在多晶硅栅极侧面形成 CVD 氧化膜侧壁。对这个侧壁进行掩膜,便形成高浓度区 n+。由于在 LDD 结构中 n-、n+区是分别形成的,便于各区选取最佳浓度。这种工艺易于形成,重复性也好,是行之有效的办法。

16 耐环境应力设计技术

(1) 热应力引起半导体集成电路的失效

热应力引起的失效可以分为两种情况:

- 由于高温而引起的失效。高温可能来自四周环境温度升高,也可能来自电流密度提高造成的电热效应。温度的升高不仅可以使器件的电参数发生漂移变化,如双极器件的反向漏电流和电流增益上升, MOS 器件的跨导下降,甚至可以使器件内部的物理化学变化加速劣化,缩短器件寿命或使器件烧毁,如加速铝的电迁移、引起开路或短路失效等。

- 温度剧烈变化引起的失效。温度变化可以在具有不同的热膨胀系数的材料内形成不匹配应力,造成芯片与管脚间的键合失效、管壳密封性失效和器件某些材料的热疲劳劣化。半导体集成电路集成度、功率密度的不断提高和封装管壳的不断减少,使热应力引起的可靠性问题变得更加突出。

(2) 反映半导体集成电路热性能的主要参数

反映半导体集成电路热性能的主要参数有两个,即器件的最高允许结温 T_{jm} 和热阻 R_T 。它们用来表征半导体集成电路的耐热极限和散热能力。半导体集成电路工作所消耗的功率会转换成热量,使电路的结温上升。当结温高于环境温度 T_a 时,热量靠温差形成的扩散电流由芯片通过管壳向外散发,散发出的热量随温差的增大而增加,当结温上升到耗散功率能全部变成散发热量时,结温不再上升,这时电路处于动态热平衡状态。平衡时结温的大小取决于耗散功率和电路的散热能力,耗散功率越大或电路的散热能力越差,结温就高;热阻越大则表示散热能力越差。

(3) 耐热应力设计的方法

半导体集成电路的热设计就是尽力防止器件出现过热或温度交变诱生失效,主要包括:

- 管芯热设计。主要通过版图的合理布局使芯片表面温度尽可能均匀分布,防止出现局部的过热点。

- 封装键合热设计。主要通过合理选择封装、键合和烧结材料,尽可能降低材料之间的热不匹配性,防止出现过大的热应力。

- 管壳热设计。应着重考虑功率器件应具有足够大的散热能力。对于耗散功率较大的集成电路,为了改善芯片与底座接触良好,多采用芯片背面金属化和选用绝缘性与导热性好的氧化铍陶瓷,以增加散热能力。
- 为了使半导体集成电路能正常地、长期可靠地工作,必须规定一个最高允许结温 T_{jm} 。综合各种因素,微电子器件的最大允许结温为:塑料封装硅器件一般为 $125\sim 150^{\circ}\text{C}$,金属封装硅器件一般为 $150\sim 175^{\circ}\text{C}$,锗器件一般为 $70\sim 90^{\circ}\text{C}$ 。

17. 耐机械应力设计

半导体集成电路在运输和使用现场中将受到各种形式机械环境因素的作用,其中最常见、影响最大的是振动和冲击。此外,离心、碰撞、跌落、失重、声振等机械作用也

会对半导体集成电路施加不同程度的机械应力。

(1) 振动和冲击对半导体集成电路性能的影响

- 振动的影响。振动是周期性的施加大小交替的力。根据力的作用频率不同,振动可分为固定频率、周期变频和随机性振动等三种情况。通常遇到的振动是在一定范围内的随机振动,随机振动实际可能达到 0~10000Hz,电子产品受振动影响的频率范围通常为 20~2000Hz。一般认为,低于 20Hz 或高于 2000Hz 频率是安全的。半导体集成电路在机械振动的反复作用下,机械构件会产生疲劳损伤,使其结构松动,特别容易发生引线断裂、开焊、局部气密封接处出现裂缝等,轻则引起参数变化,重则造成失效。特别是,当半导体集成电路本身的固有频率在设备的振动频率谱范围内时,会出现共振现象。共振将使半导体集成电路的引线疲劳,使参数发生不可逆的变化而失效。此外,过大的振幅可能使脆性材料断裂,热性材料变形,造成产品结构严重损坏。

5 可测性设计

基于扫描设计

基于扫描设计是可测性设计中最常用的一种方法。它是将电路中的普通触发器 (flip-flop) 替换为具有扫描能力的扫描触发器。扫描触发器最常用的结构是多路器扫描触发器,它在普通触发器的输入端口加上一个多路器,如图 1 所示。

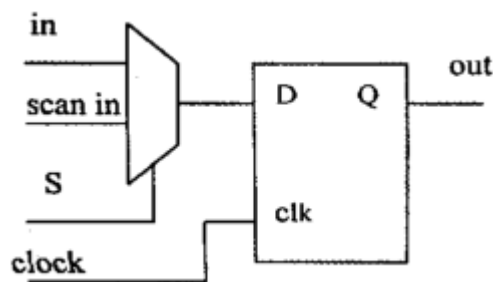


图 1

S 为多路器的选择端, in 为正常的功能输入端, scan in 为扫描输入端, clock 为时钟输入端, out 为数据输出端。当 S=0 时,触发器为正常的功能输入;当 S=1 时,触发器为扫描输入。基于扫描设计分为两种:全扫描和部分扫描。全扫描设计是指将电路中所有的触发器替换为扫描触发器,并将它们连在一起,以构成扫描链;部分扫描设计则是将电路中的部分触发器替换为扫描触发器,并将它们连在一起,以构成扫描链。基于扫描设计可以显著地降低测试的复杂性。但其不足之处在于,它将使芯片面积略微增大,这是因为扫描设计要将普通的触发器转换为扫描触发器。

内建自测试 (BIST)

内建自测试是可测性设计的另一种重要方法。它的基本思想是电路自己生成测试向量,而不是要求外部施加测试向量,它依靠自身来决定,所得到的测试结果是否正确。因此,内建自测度必须附加两个额外电路:激励生成器和响应分析器,如图 2 所示。

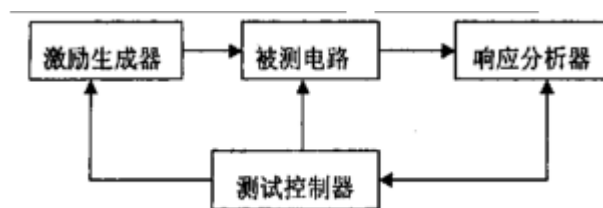


图 2

激励生成器生成电路所需的测试向量。有许多方法可以生成激励,使用最多的方法是穷举法和随机法。计数器就是穷举法的一个较好的例子,而线性反馈移位寄存器 (LFSR: Linear Feedback Shift Register)则属于一种伪随机模式发生器。响应分析器是将电路所产生的响应与已知正确的响应序列相比较,以便确定电路的测试结果。一般地,响应分析器先将响应序列进行压缩,得到响应的特征,然后,将其与期望的特征进行比较,以确定测试的结果。响应分析器的典型实现是多输入特征寄存器 (MISR: Multi-Input Signature Register)。

边缘扫描 (Boundary Scan)

边缘扫描是欧美一些大公司联合成立的一个组织——联合测试行动小组 (JTAG)为了解决 PCB 板上芯片与芯片之间互连测试而提出的一种解决方案。由于该方案的合理性,它于 1990 年被 IEEE 采纳而成为一个标准,即 IEEE1149.1。边缘扫描是在芯片的每一个输入输出引脚上增加一个存储单元,然后,再将这些存储单元连成一个扫描通路,从而构成一条扫描链。由于这条扫描链分布在芯片的边缘,故称为边缘扫描。边缘扫描占用四个芯片引脚,即测试数据输入 (TDI)、测试数据输出 (TDO)、测试模式选择 (TMS)以及测试时钟 (TCK)。在正常的工作模式下,边缘扫描单元作为通常的输入输出器件;在测试模式下,测试向量将扫描输入、输出芯片的引脚。边缘扫描与基于扫描设计有明显的区别,前者是在电路的输入输出端口增加扫描单元,并将这些扫描单元连成扫描通路;后者是将电路中普通时序单元替换为具有扫描能力的时序单元,再将它们连成扫描通路。

6 可生产性设计

由于在当前的集成电路设计流中,在设计出的版图送到制造厂商前,电路的设计者并没有考虑版图对光学邻近校正和交替移相掩模的友好性问题,这使得版图中的一些图形由于周围条件的限制,如无法充分进行光学邻近校正,无法进行交替移相掩模的处理等,从而使得版图设计即使进行了校正处理,还存在大量光刻故障的可能性。因此,为了提高成品率,对版图的可制造性验证就是非常必要的工作。集成电路(IC)制程技术不断的微缩,在稳定性的控制上日形艰难及许多制程上的衍生效应于先前设计时并未被充分考虑,使得 IC 可正常功能的幅度 (Margin) 及良率 (Yield) 提升的速度在奈米世代后开始受到明显的影响,因此一些‘可制造性导向设计’ (Design For Manufacturability, 以下简称 DFM) 的解决方案,在近一、二年来开始成为重要的主题。DFM 或相似 DFY (Design for Yield, 良率导向设计), 简而言之即由制程人员将 IC 由设计完到制造过程所可能发生之各种效应 (Effects) 及变异 (Variation) 及更重要的对 IC 功能的影响加以仔细的分析检测,而设计者在设计流程中即将这些信息考虑含入,使所设计的 IC 对制程变异有更佳之容忍度 (tolerance) 及更容易有高良率。DFM 衍生出许多新而复杂的课题需要芯片设计者及制程提供者的携手合作,也有别于传统的设计制程分工模式。

在提供给客户的设计建议中加入适合‘光学邻近效应修正法’的图样布局指导原则 (OPC-Friendly Design Guideline), 亦即指出某些 OPC 较无法完美修正之布局放样方式,

提醒设计者选择避开，以后更可能植入于自动布局软件中，避免有过紧不合量产制造的设计布局图样，而造成产品良率不易提升。

光学邻近矫正主要是改变原芯片掩模版图形的形状来减小光刻图形的偏差。针对不同的图形变形情况，通常会采用不同的形状改变策略。现在已经有一些比较实用的策略，如对线条宽度变化情况可以改变掩模版上的线宽，对线端变短的情况可以加入锤头(hammer head)，同时，传统的设计后布局检验 (Post Layout Check) 仅检验线路布局时的规则是遵循 IC 制造厂所提供的规则与否，均未将光学之效应考虑在内，亦即不是检验最后在晶圆上所产生的最后图形。对此也发展出各式之光学规则检验 (Lithography Rule Check, LRC)，亦即将设计布局作一光学/OPC 之仿真后，再去做检验，如此即可找出设计布局上较不利制造之热点 (hot spot)，而可在设计时间加以修改排除，增加设计布局之稳健度 (Robustness)。LRC 方法目前都已在开始使用中，长期可自动化后将是设计流程的必要步骤。此外与设计布局稳健度有关但与微影技术较无直接关系之 DFM 主要作可能失效点预防 (Fault Prevention) 而增加双重接点，例如在先进的铜导线制程中，上下两导线仅靠单个内联机栓塞 (Via) 连通，单一产品也许有上千万个。在制程微缩下，因所掉落的微尘或因电迁移 (Electro-migration) 效应使单个内联机栓塞在长期操作下产生的空洞 (Void) 而都易造成断线，使产品失效。晶圆专工业者在可制造性导向设计规则中建议在不影响面积下，尽量设计成两个以上的内联机栓塞 (Double Via Insertion, or redundant via)，以增加量产时的良率及产品稳健性。此法已在设计自动化上实现，单层 double via 实现率可达九成以上。组件 (Device) 持续微缩，晶体管特性对制程变化及其环境的敏感度愈来愈高，许多先前被视为次等效应 (secondary effects) 已不能再被等闲视之，考虑对整体电性的变异，这些效应已明显成为主要效应对产品的设计有相当的影响；设计者希望制程提供者能仔细分析这些效应，如无法在制程上降低避免，则需将其含入设计者所依赖之电性参数模型中 (SPICE Model)，使能在设计时作最精准之计算。

此外，针对出光罩后的设计规则检验也有提供针对可制造性导向设计的检验流程。另外，在可制造性导向设计的指导原则 (DFM Design Guideline) 中，除提供双内联机栓塞建议规则 (Double Via Insertion) 外，亦可提供此项自动化的服务。

7 Foundry、IP 方案

IP 核可以两种形式提供给客户：软核和硬核。两种方式都可使客户获得在功能上经过验证的设计。软核也被称为可综合内核，需要由客户进行综合并在其 SoC 上实现。而硬核已完全实现 (完成了版图设计)，可直接用于制造。(从技术上说，一种设计只有生产后才能实现。但是在此情况下，实现的意思是指安排布局并可直接投入生产)。SoC 团队只需将硬核像一个单片集成电路片那样置入芯片即可。软核和硬核具有不同的问题和好处。

将 IP 核整合到一个芯片上需要很多步骤。这个过程是否能够很容易地完成，主要取决于提供的交付成果。另外，客户不仅必须对 IP 核进行评估，而且还要评估 IP 提供商。

软核与硬核的对比

1. 性能

由于软核没有实现，因此它天生在功能和实现方面比硬核更加灵活。另一方面，硬核开发者可能要花更多的时间来优化他们的硬核，因为它们要在很多设计中使用。因此，这使人们觉得硬核会提供更高的性能。

事实上，为那些最先进工艺设计的高端、全定制硬核确实能够提供比软核更好的性能。通过使用锁存、动态逻辑、三态信号、定制存储器等，全定制设计团队能够实现比完全静态综

合的设计更好的结果。对于需要达到现有工艺和设计技术极限性能的 SoC 来说，全定制硬核能够更好地满足这些要求。

然而，如果性能目标在一个软核范围内，那么硬核的优势就无关紧要了。SoC 设计团队能够使用软核来满足性能要求，并利用其固有的灵活性优势。而随着工艺技术的进步，软核的最高频率限制也在提高，使它们成为更多 SoC 设计师的一种选择。在较低时钟频率下，硬核或许具有硅片面积方面的优势。但是情况往往并不是这样。硬核经常简单地使用 ASIC 的方法进行固化，使之不能提供速度上的优势。在其他情况下，全定制内核不能根据每一代工艺进行重新优化，所以削弱了频率和尺寸上的优势。

2. 技术独立和可移植性

软核的优势之一是技术独立的，也就是说，Verilog 或 VHDL 不需要使用一种特定的工艺技术或标准的单元库。这意味着同一个 IP 核能够应用到多种设计中，或现有设计的下一代中。一些软核提供商采用使其内核技术上非独立的设计风格，但是这种方式看不到什么优势。

另一方面，硬核在技术上是非常特定的。事实上，如果代工厂改变其工艺参数或库，硬核可能就无法正常工作。这就产生了一个风险，因为在工艺参数改变时，IP 提供商需要重新对硬核进行验证。

硬核能够移植到新的工艺技术，但是重新优化全定制内核的工作既费事又昂贵。对于一些先进的微处理器内核，这可能要花两年或更长的时间。因此，硬核经常根据新的工艺进行光学调整。虽然这一方法既简单又快速，但是它减少了由设计团队针对现有工艺进行全定制优化的许多优势。

不仅如此，光学调整同时带来了另一个风险，因为它只能保证新的设计满足设计规则，而不能保证准确的时序或功能，而且重新全面验证经过光学调整的 IP 核是非常困难的。

3. 速度/面积/功率优化

对于要实现的技术来说，硬核通常比可比较的软核运行速度更快。但是即使对于这单种技术来说，硬核也仅仅是针对一组目标而优化。如果目标是在合理的性能上使芯片面积更小，那么对于这种应用来说，为高度可调性能而优化的硬核可能就太大了。

8 面积功耗评估

暂无

9 芯片典型应用

本设计的 DSP 芯片的应用主要有：

(1) 信号处理——如，数字滤波、自适应滤波、快速傅里叶变换、相关运算、频谱分析、卷积等。

(2) 通信——如，调制解调器、自适应均衡、数据加密、数据压缩、回坡抵消、多路复用、传真、扩频通信、纠错编码、波形产生等。

(3) 语音——如语音编码、语音合成、语音识别、语音增强、说话人辨认、说话人确认、语音邮件、语音储存等。

(4) 图像/图形——如二维和三维图形处理、图像压缩与传输、图像增强、动画、机器人视觉等。

- (5) 军事——如保密通信、雷达处理、声纳处理、导航等。
- (6) 仪器仪表——如频谱分析、函数发生、锁相环、地震处理等。
- (7) 自动控制——如引擎控制、深空、自动驾驶、机器人控制、磁盘控制。
- (8) 医疗——如助听、超声设备、诊断工具、病人监护等。
- (9) 家用电器——如高保真音响、音乐合成、音调控制、玩具与游戏、数字电话/电视等

10 设计风险