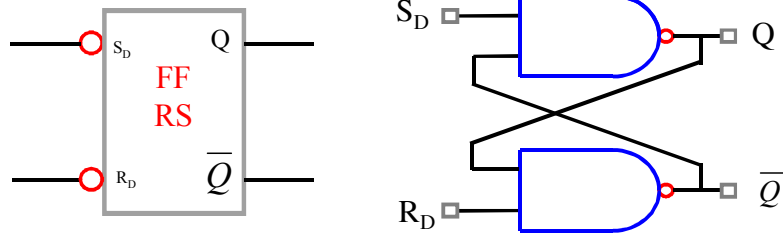


FLIP - FLOP



1

I. Đại cương

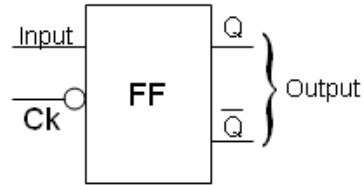
- Flip Flop được mô tả bằng một ô vuông có nhiều ngõ vào chỉ có hai ngõ ra có tên là Q và \bar{Q} có đặc tính liên hợp nhau nghĩa là $Q = 1$ thì $\bar{Q} = 0$ hoặc ngược lại.
- Ngõ ra có thể làm thay đổi hoặc không thay đổi trạng thái tùy thuộc vào ngõ vào và trạng thái của ngõ ra trước đó.
- Chỉ có hai ngõ ra liên hợp nhau, khi: $Q = \bar{Q} = 0$ hoặc $Q = \bar{Q} = 1$ (thuộc tính cấm)
- Những trạng thái ngõ vào làm cho hai ngõ ra giống nhau được gọi là trạng thái cấm và trên thực tế là không được phép xảy ra.

2

II. Vận chuyển

FF gồm 2 phần:

- Phần FF căn bản: gồm 2 mạch điện tử hoàn toàn giống nhau, mỗi mạch có một hay nhiều ngõ vào và chỉ có một ngõ ra



- Phần điều khiển:
 - Phương pháp trực tiếp
 - Phương pháp đồng bộ

3

Điều khiển trực tiếp (không đồng bộ):

- Tác động trực tiếp vào FF căn bản, khi bị kích thích mạnh thì Q bị ảnh hưởng ngay bất chấp ngõ điều khiển đồng bộ.
- Hai ngõ trực tiếp là Set (S_D) hay Preset (P_D) và Clear (C_D) hay Reset (R_D).
- Kích thích vào ngõ S_D hay P_D luôn luôn đưa Q lên 1
- Kích thích vào ngõ C_D hay R_D luôn luôn đưa Q về 0.

4

Điều khiển đồng bộ:

- Tác động vào mạch điều khiển đồng bộ
- Khi bị kích thích mạch chưa bị ảnh hưởng phải đợi đến khi có xung đồng bộ (C_p , T , C_k) mạch mới bị ảnh hưởng.

5

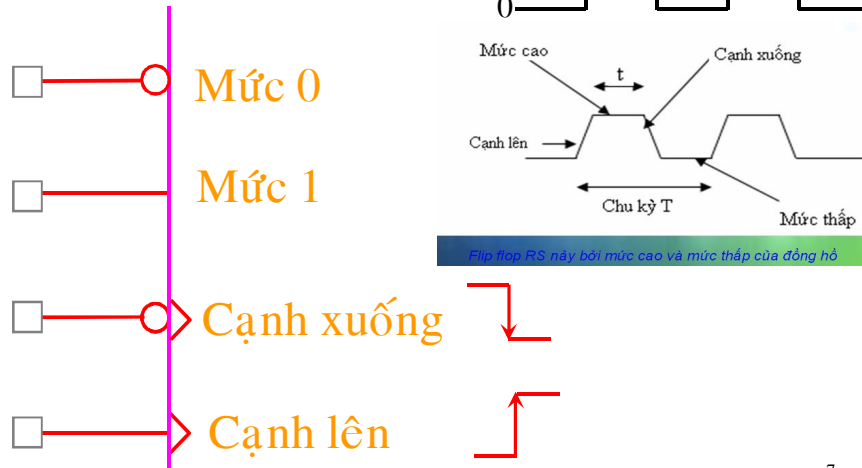
III. Phương pháp kích thích

Mạch phải được kích thích một cách hợp lý thì mới bị ảnh hưởng. Ta có 2 phương pháp kích thích bằng mức và bằng cạnh.

- **Bằng mức:** khi điện thế vượt qua mức ngưỡng nào đó làm kích thích mạch.
- **Bằng cạnh:** khi có sự thay đổi đột ngột từ thấp lên cao hay từ cao xuống thấp làm thay đổi mạch. Ta có 2 sự thay đổi từ thấp lên cao gọi là cạnh trước (cạnh lên), từ cao xuống thấp gọi là cạnh sau (cạnh xuống).

6

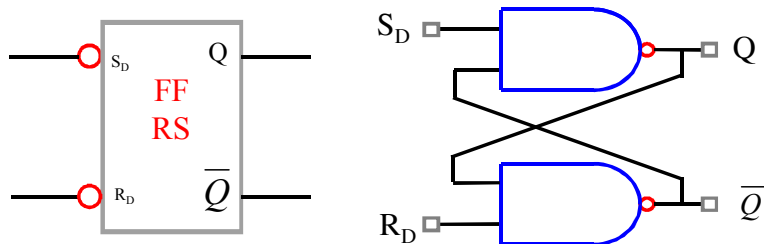
Quy ước về ký hiệu:



7

IV. Phân loại FF

1. FF RS (CÔNG NAND)



Chỉ có ngõ điều khiển trực tiếp, không có ngõ điều khiển đồng bộ

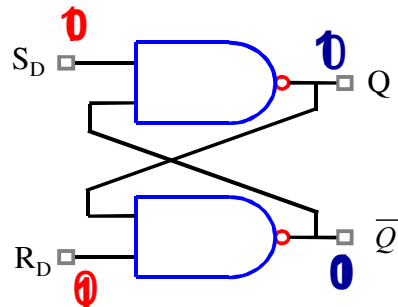
8

Cấu tạo và hoạt động:

a) Cấu tạo: 2 cổng NAND; 2 ngõ vào R và S; hai ngõ ra bù nhau Q và \bar{Q}

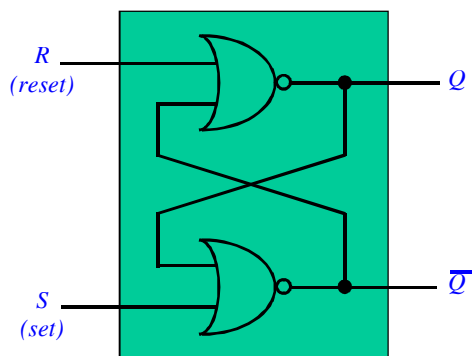
b) Hoạt động:

S	R	Q	\bar{Q}
0	1	1	0
1	0	0	1
1	1	không đổi	
0	0	cấm	



9

* Mạch chốt Cổng NOR:



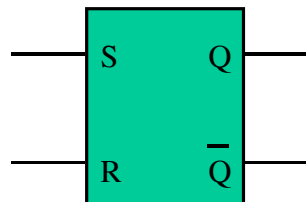
Bảng hoạt động:

S	R	Q^+	\bar{Q}^+
0	0	Q	\bar{Q}
0	1	0	1
1	0	1	0
1	1	0	0

} Cấm sử dụng

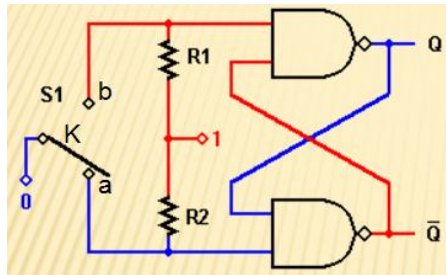
Q^+ là trạng thái kế tiếp của Q

Ký hiệu:



10

Ứng dụng của mạch chốt – Mạch chống dội



Khóa K ở a thì : $Q = 0, \bar{Q} = 1$

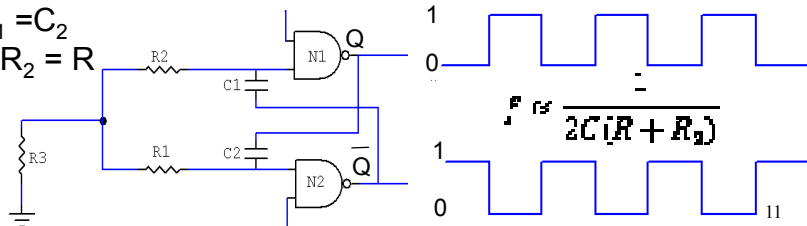
Khóa K bật từ a lên b : $Q = 1, \bar{Q} = 0$

Khi khóa K dội ở b thì : $b = 1, a = 1$ nên tín hiệu ở hai ngõ ra không thay đổi: → có tác dụng chống dội.

Ứng dụng của mạch chốt – Dao động tạo sóng vuông

$$C = C_1 = C_2$$

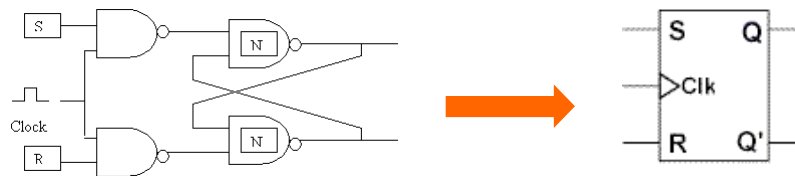
$$R_1 = R_2 = R$$



FLIP FLOP RS

Khi trạng thái của các ngõ vào thay đổi, trạng thái của các ngõ ra thay đổi ngay.

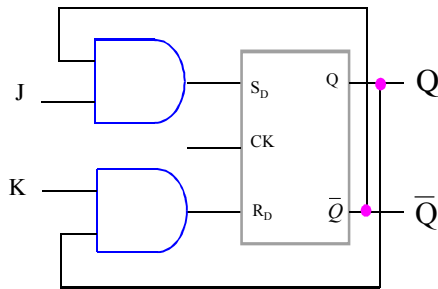
Để giải quyết vấn đề trên, người ta thêm hai cổng NAND điều khiển bởi Clock(đồng hồ), viết tắt CK (hay CLK) hay CP (Clock pulse: xung đồng hồ).



S	R	CK	Q
x	x	0	S & R không ảnh hưởng đến trạng thái ra
0	0	1	Q ₀ (không đổi)
0	1	1	0
1	0	1	1
1	1	1	Trạng thái cấm

2. FF - JK

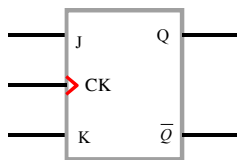
FF-RS có điểm bất tiện, khi S và R ở mức cao thì ngõ ra bất ổn.



J	K	CK	Q
0	0	1	Q_0 (không đổi)
0	1	1	0
1	0	1	1
1	1	1	\bar{Q}_0 (đảo lại)

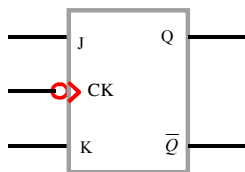
13

* FF náy bằng cạnh lên



J	K	CK	Q
0	0	↑	Q_0 (không đổi)
0	1	↑	0
1	0	↑	1
1	1	↑	\bar{Q}_0 (đảo lại)

* FF náy bằng cạnh xuống

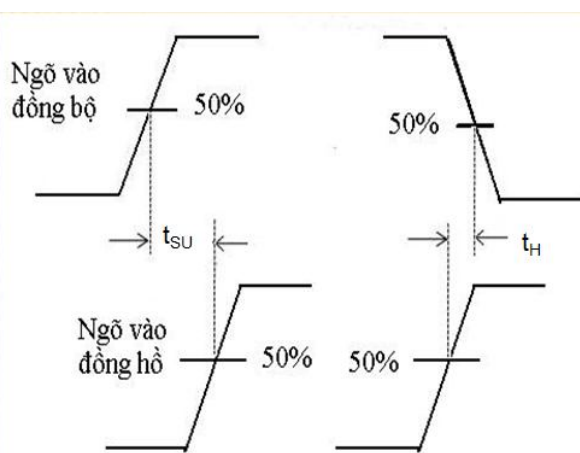


J	K	CK	Q
0	0	↓	Q_0 (không đổi)
0	1	↓	0
1	0	↓	1
1	1	↓	\bar{Q}_0 (đảo lại)

14

Các thời gian liên quan đến Flip Flop

Để FF chuyển mạch đúng thì các ngõ vào phải ổn định.

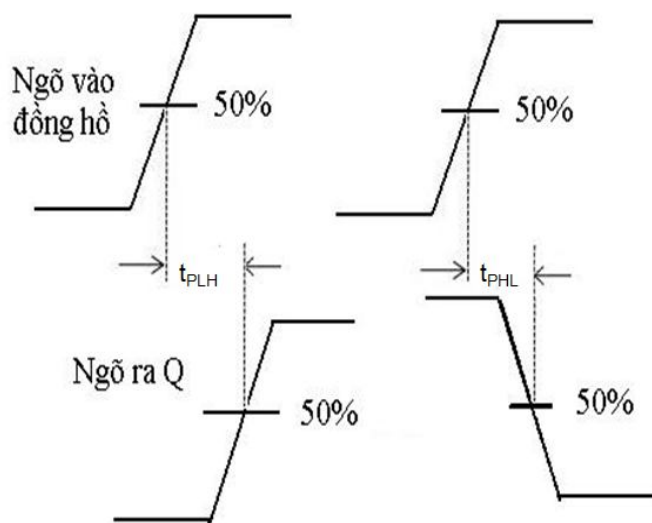


t_{SU} : thời gian thiết lập, thời gian các ngõ vào ổn định ở mức logic cần thiết trước chuyển tiếp đồng hồ.

t_H : thời gian giữ hay duy trì, thời gian các ngõ vào tiếp tục duy trì mức logic cũ sau khi có chuyển tiếp của đồng hồ.

15

Các thời gian liên quan đến Flip Flop

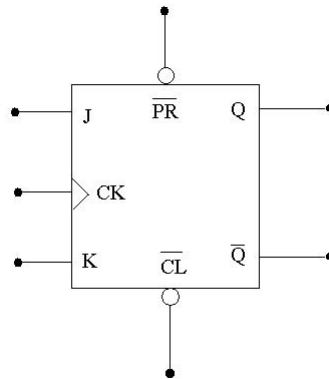


t_{PHL} , t_{PLH} : thời gian trì hoãn để các ngõ ra tạo logic mới khi đã có tín hiệu đồng hồ và ngõ vào đã chuyển.

16

Các ngõ vào trực tiếp (hay không đồng bộ)

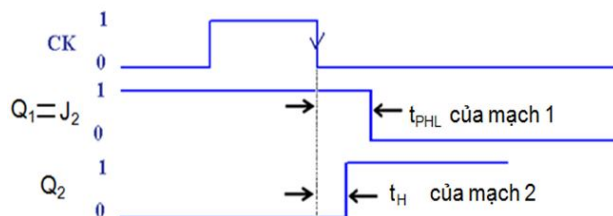
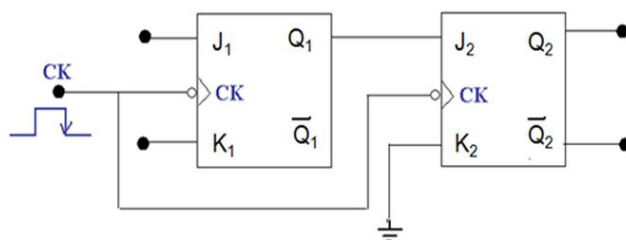
- Ở các FF JK và các FF khác thường ta không biết trạng thái logic ra lúc được cấp điện.
- Do đó để xác định điều này người ta thêm vào hai ngõ vào PR và CL (hay PRE, CLR) độc lập với các ngõ vào.



Ngõ vào		Ngõ ra
PR	CL	Q
O	O	Cấm ($Q = \bar{Q} = 1$)
0	1	1
1	0	0
1	1	Hoạt động FF (ra tùy thuộc J, K, CK)

17

Tình trạng bất định khi nối tiếp nhiều FF:



Cả hai FF này cùng một đồng hồ. Ở tại cạnh xuống đồng hồ: ta mong muốn hai FF chuyển mạch đồng thời.

Thế nhưng:

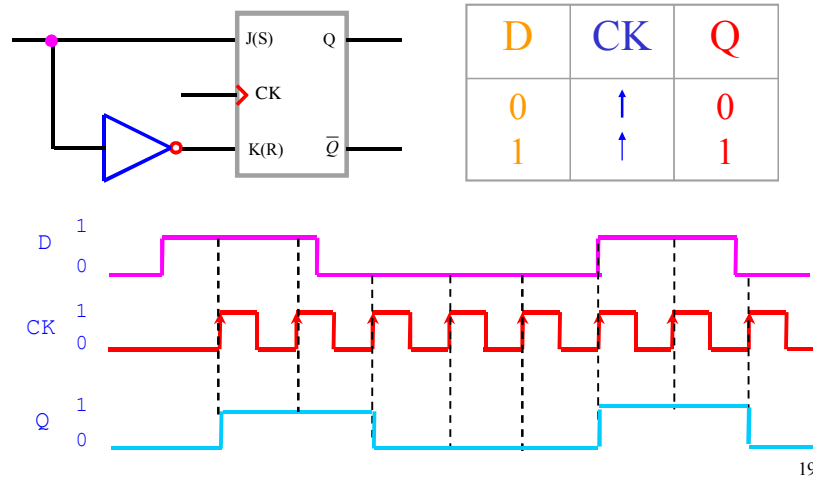
Q_1 chỉ có sau khoảng thời gian chờ t_{PHL} .

FF2 chuyển mạch đúng khi nào J_2 ổn định trong khoảng thời gian t_H . Nếu $t_{PHL} < t_H$ thì bất định.

18

3. FF - D

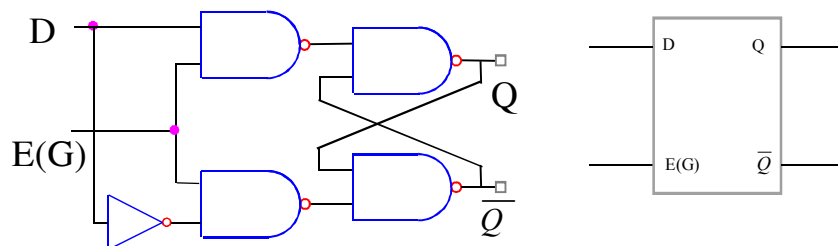
Khi nối ngõ vào của FF RS hoặc FF JK như hình vẽ, ta được FF chỉ có 1 ngõ vào D.



19

4. Chốt D

Ở FF D khi thay ngõ vào đồng hồ bởi ngõ vào cho phép (Enable) tác động ở mức cao ta sẽ có mạch chốt D (D latch)



Mạch chốt D dùng để lưu giữ dữ liệu tạm thời. Được tích hợp trong nhiều IC hiện đại dùng trong lĩnh vực điều khiển, máy tính...với chức năng chính như: cổng xuất/nhập, mạch giả mã....

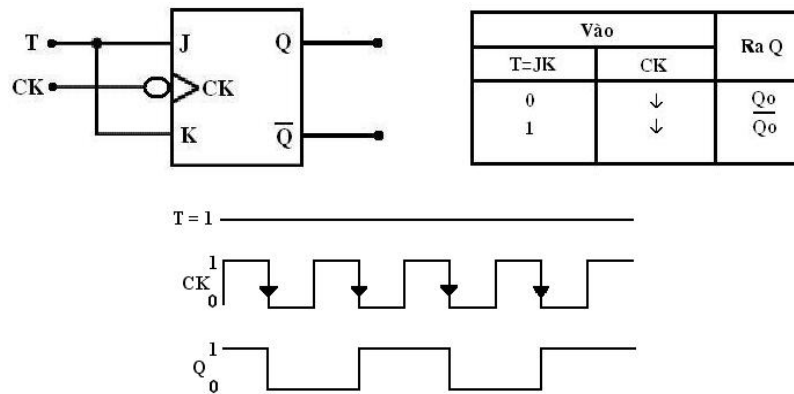
E(G)	D	Q
1	0	0
1	1	1
0	x	Q_0

20

ỨNG DỤNG CỦA FLIP FLOP VÀ MẠCH CHÓT

Ứng dụng chính của flip flop (FF) là để tạo mạch ghi dịch và mạch đếm nhưng FF cũng có những ứng dụng riêng.

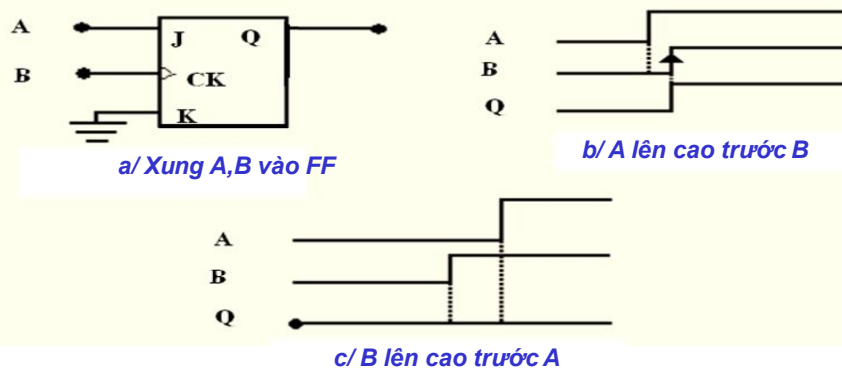
Mạch chia đôi tần số (flip flop T)



Hình 6.37: Flip flop JK mắc như flip flop T để thực hiện sự chia đôi tần số CK

21

MẠCH PHÁT HIỆN TUẦN TỰ CỦA CÁC DỮ LIỆU



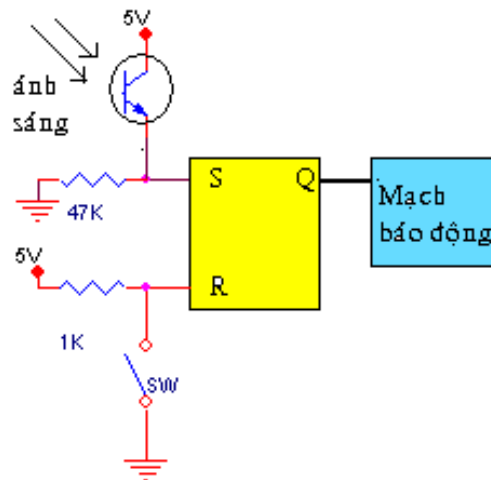
Mạch tổ hợp đơn giản : không thể phân biệt được hai tín hiệu A,B vào lên cao trước hay sau.

Mạch như trên dùng FFJK làm được việc này : K=0 , ban đầu

$Q_0=0$: A lên trước B : Q = 1 (K = 0 , J = 1 , CK lên : Q = 1)

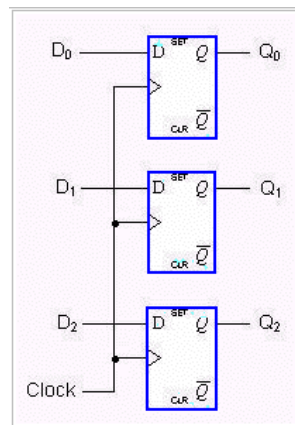
B lên trước A : Q = 0 (K = 0 , J = 0 , CK lên : Q = $Q_0=0$)

MẠCH PHÁT HIỆN KHI TIA SÁNG BỊ CẮT



23

MẠCH LƯU TRỮ DỮ LIỆU SONG SONG



24

FF JK: 7470, 7472, 7473/LS73, 7476/LS76,
74107/LS107, 74LS112, 74LS114, ...

FF D: 7474/LS74, 74174/LS174, 74175/LS175,
74LS364, 74LS374, 74LS573 ...