

BIẾN ĐỔI MÃ HIỆU

I. Mô tả

Biến đổi mã hiệu gồm mã hóa (encoder) và giải mã (decoder).

- Mã hoá là quá trình biến đổi quen thuộc sang không quen thuộc.
- Giải mã là quá trình biến đổi thực hiện không quen thuộc sang quen thuộc.

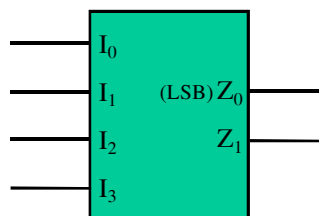
Tín hiệu quen thuộc		Tín hiệu không quen thuộc
0	encoder →	0000
1		0001
2	← decoder	0010
3		0011
4		0100

II. Mạch mã hóa (ENCODER):

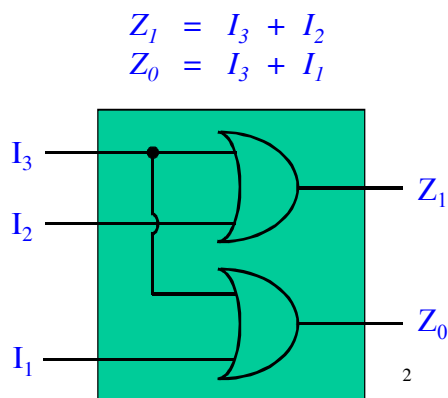
1. Giới thiệu:

- Encoder là quá trình biến đổi quen thuộc sang không quen thuộc. Nghĩa là encoder có m ngõ vào theo mã nhị phân 1 trong m và n ngõ ra theo mã nhị phân cơ bản (với $m \leq 2^n$).

- Với ngõ vào I_i được tích cực thì ngõ ra chính là tổ hợp giá trị nhị phân i tương ứng.



I_3	I_2	I_1	I_0	Z_1	Z_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

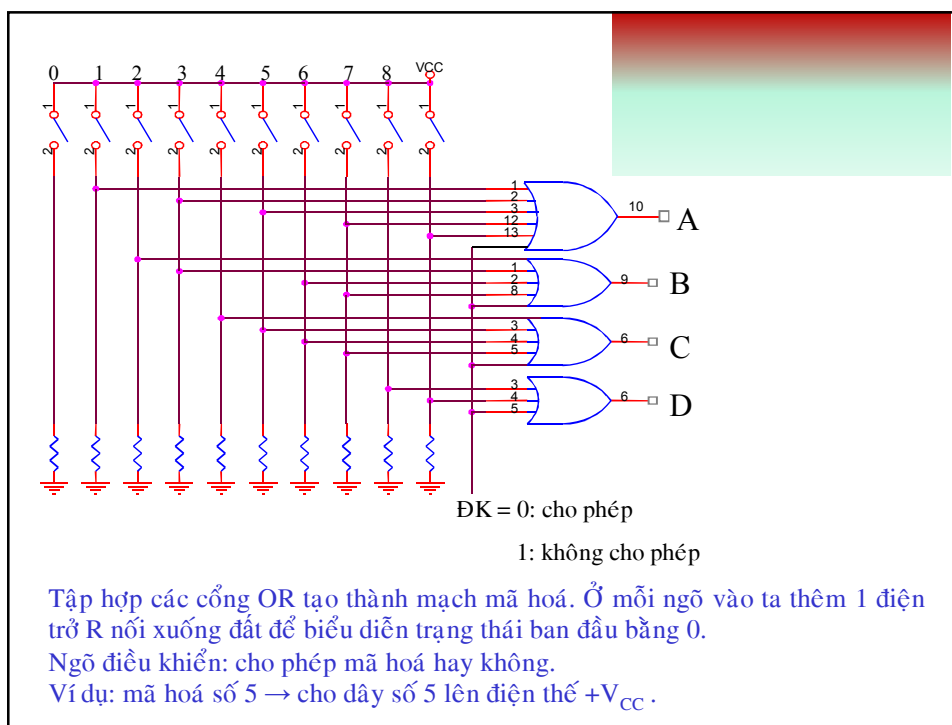


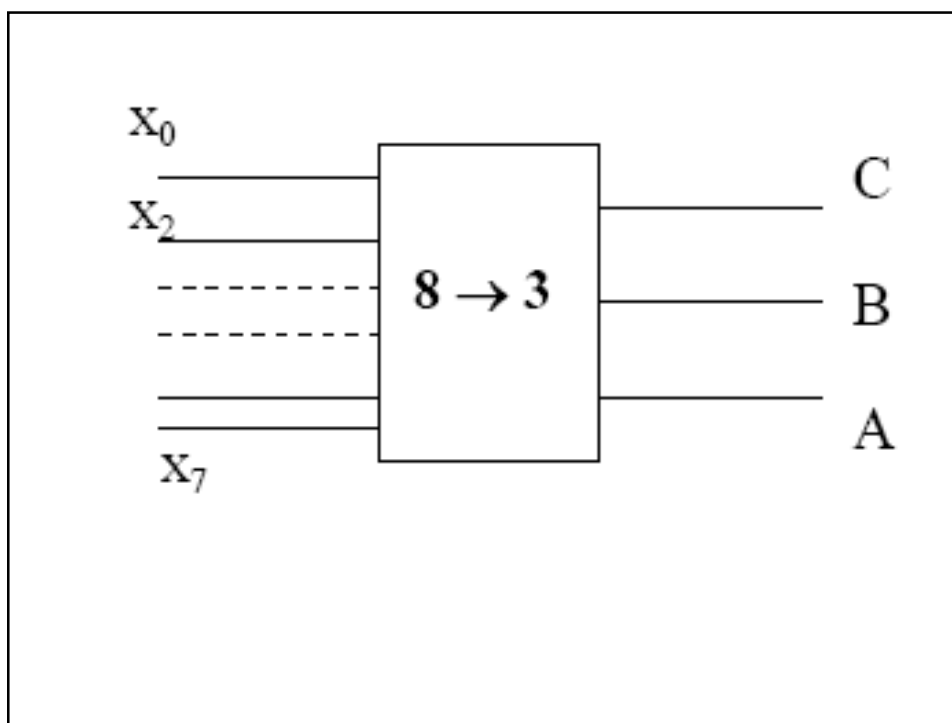
Mạch mã hóa 10 sang 4:

Thập phân	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Từ đó ta viết
 $A = 1 + 3 + 5 + 7 + 9$
 $B = 2 + 3 + 6 + 7$
 $C = 4 + 5 + 6 + 7$
 $D = 8 + 9$

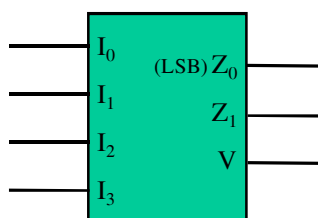
Quan sát bảng trạng thái ta thấy rằng, bit A xuất hiện dưới dạng 1 nhiều lần ở các số 1, 3, 5, 7, 9. Hay ta nói, bit A chính là ngõ ra của 1 hàm OR mà các ngõ vào là 1, 3, 5, 7, 9.





*** Bộ mã hóa có ưu tiên (Priority Encoder):**

Bộ mã hóa có ưu tiên là mạch mã hóa sao cho nếu có nhiều hơn 1 ngõ vào cùng tích cực thì ngõ ra sẽ là giá trị nhị phân của ngõ vào có ưu tiên cao nhất.



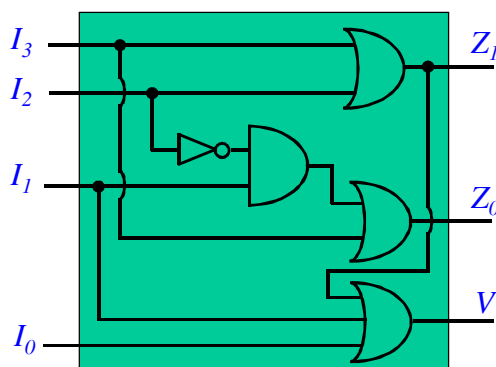
I_3	I_2	I_1	I_0	Z_1	Z_0	V
0	0	0	0	X	X	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

Thứ tự ưu tiên: $I_3 > I_2 > I_1 > I_0$

$$Z_1 = I_3 + I_2$$

$$Z_0 = I_3 + \overline{I_2} I_1$$

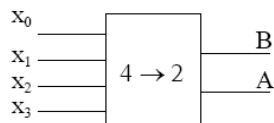
$$V = I_3 + I_2 + I_1 + I_0$$



Xét mạch mã hoá ưu tiên $4 \rightarrow 2$ (4 ngõ vào, 2 ngõ ra) (hình 4.9)

Thứ tự ưu tiên: $x_3 > x_2 > x_1 > x_0$

Bảng trạng thái mô tả hoạt động của mạch



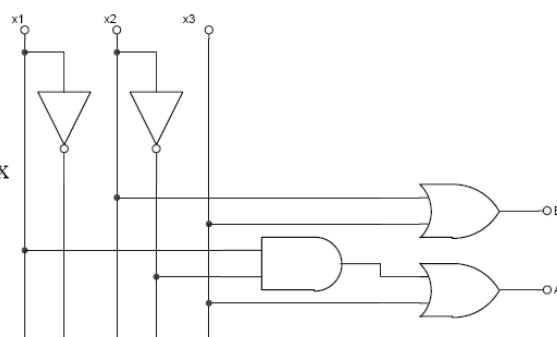
Hình 4.9

x_0	x_1	x_2	x_3	B	A
1	0	0	0	0	0
x	1	0	0	0	1
x	x	1	0	1	0
x	x	x	1	1	1

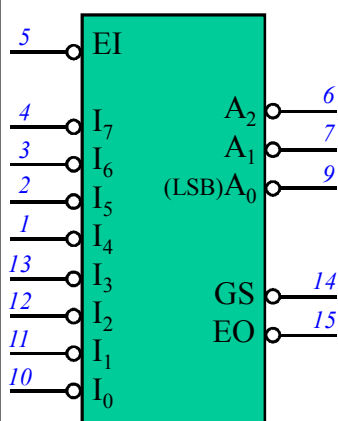
Phương trình tối giản :

$$A = x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_3 = x_1 \cdot \overline{x_2} + x_3$$

$$B = x_2 \cdot \overline{x_3} + x_3 = x_2 + x_3$$

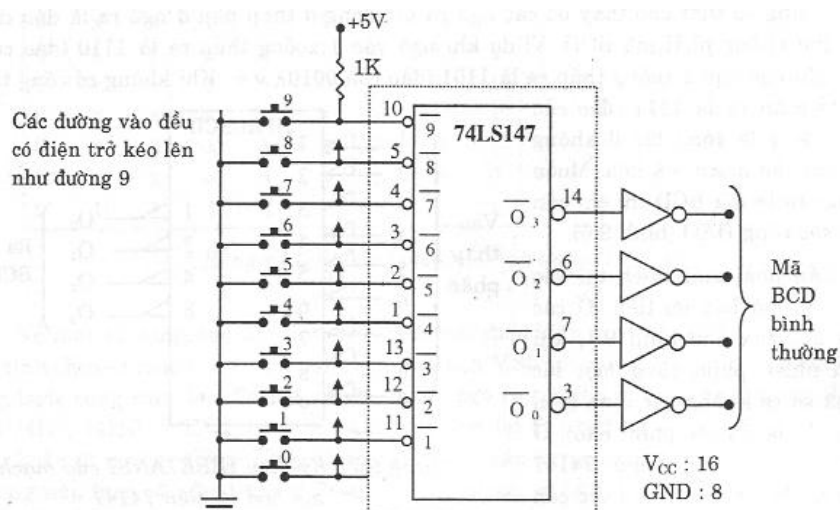


2. IC mã hóa ưu tiên $8 \rightarrow 3$ (74148):



\overline{EI}	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{I_0}$	$\overline{A_2}$	$\overline{A_1}$	$\overline{A_0}$	\overline{GS}	\overline{EO}
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	0	X	X	X	X	X	X	X	0	0	0	0	1
0	1	0	X	X	X	X	X	X	0	0	1	0	1
0	1	1	0	X	X	X	X	X	0	1	0	0	1
0	1	1	1	0	X	X	X	X	0	1	1	0	1
0	1	1	1	1	0	X	X	X	1	0	0	0	1
0	1	1	1	1	1	0	X	X	1	0	1	0	1
0	1	1	1	1	1	1	0	X	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0

Mạch mã hoá ưu tiên:



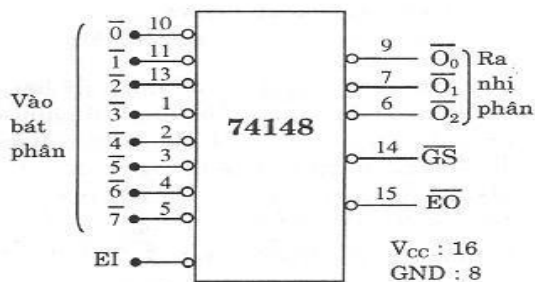
Hình 9.6: Mã hóa ưu tiên thập phân sang BCD 74LS147 và bảng sự thật. Ở đầu vào có thêm các công tắc, ở đầu ra có thêm các cổng ĐẢO.

- Mạch mã hoá trên là mạch mã hoá ưu tiên thập phân sang BCD. (74147 / 74LS147 / 74HC147)
- Các ngõ vào và ra đều tác động ở thấp

Các ngõ vào thập phân (tác động ở thấp)									Các ngõ ra BCD (tác động ở cao)			
1	2	3	4	5	6	7	8	9	O ₃	O ₂	O ₁	O ₀
1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
X	0	1	1	1	1	1	1	1	1	1	0	1
X	X	0	1	1	1	1	1	1	1	1	0	0
X	X	X	0	1	1	1	1	1	1	0	1	1
X	X	X	X	0	1	1	1	1	1	0	1	0
X	X	X	X	X	0	1	1	1	1	0	0	1
X	X	X	X	X	X	0	1	1	1	0	0	0
X	X	X	X	X	X	X	0	1	0	1	1	1
X	X	X	X	X	X	X	X	0	0	1	1	0

- Do các ngõ ra tác động ở thấp nên ở ngõ ra là đảo của BCD chứ không phải là BCD. Muốn ngõ ra là mã BCD thì chỉ cần thêm các cổng đảo.
- Ta gọi là mạch mã hoá ưu tiên là do người ta đã thêm các cơ chế logic để đảm bảo khi hai hoặc nhiều phím được ấn cùng lúc, mã số ra chỉ tương ứng với ngõ vào có số cao nhất.

- Mạch mã hoá ưu tiên bát phân sang nhị phân (74148 / 74LS148 / 74HC147)
- Khác với 74147, 74148 còn có 3 ngõ đặc biệt: ngõ vào cho phép \overline{EI} , ngõ ra cho phép \overline{EO} , ngõ ra \overline{GS} , các ngõ này được dùng cho việc nối chồng 2 hay nhiều mạch mã hoá 74148 để có số đường vào lớn hơn 8.

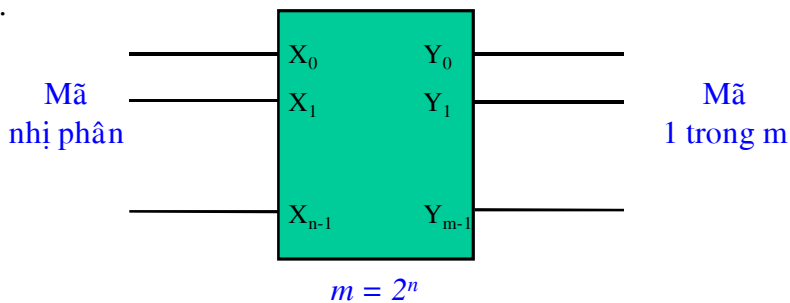


Hình 9.8 : Mã hoá ưu tiên bát phân sang nhị phân 74148

III. Mạch giải mã (DECODER)

1. Giới thiệu

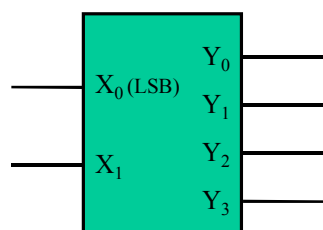
- Mạch giải mã là hệ chuyển mã có nhiệm vụ chuyển từ mã nhị phân cơ bản n bit ở ngõ vào thành mã nhị phân 1 trong m ở ngõ ra.



- Với giá trị i của tổ hợp nhị phân ở ngõ vào, thì ngõ ra Y_i sẽ tích cực và các ngõ ra còn lại sẽ không tích cực.

- Có 2 dạng: ngõ ra tích cực cao (mức 1) và ngõ ra tích cực thấp (mức 0).

a. Bộ giải mã ngõ ra tích cực cao:



X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$Y_0 = \overline{X_1} \overline{X_0} = m_0$$

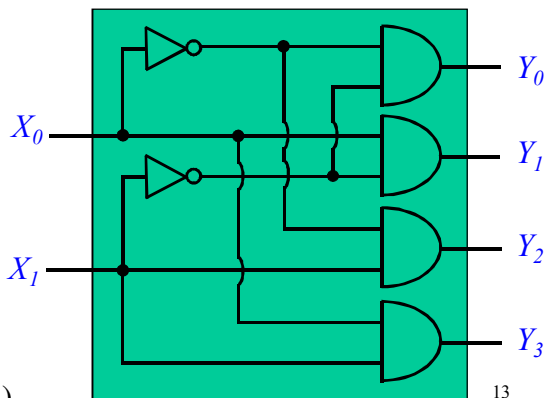
$$Y_1 = \overline{X_1} X_0 = m_1$$

$$Y_2 = X_1 \overline{X_0} = m_2$$

$$Y_3 = X_1 X_0 = m_3$$

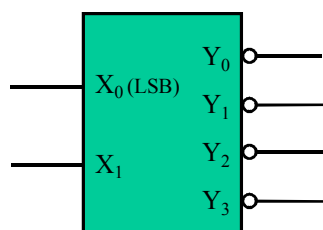
Ngõ ra: $Y_i = m_i$

($i = 0, 1, \dots, 2^n - 1$)



13

b. Bộ giải mã ngõ ra tích cực thấp:



X_1	X_0	\overline{Y}_3	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

$$Y_0 = X_1 + X_0 = M_0 = \overline{m_0}$$

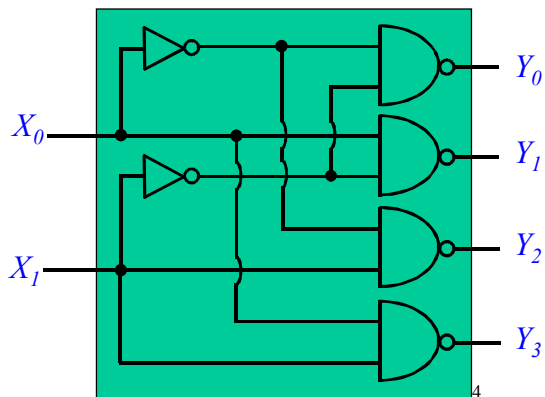
$$Y_1 = X_1 + \overline{X_0} = M_1 = \overline{m_1}$$

$$Y_2 = \overline{X_1} + X_0 = M_2 = \overline{m_2}$$

$$Y_3 = \overline{X_1} + \overline{X_0} = M_3 = \overline{m_3}$$

Ngõ ra: $Y_i = M_i$

($i = 0, 1, \dots, 2^n - 1$)

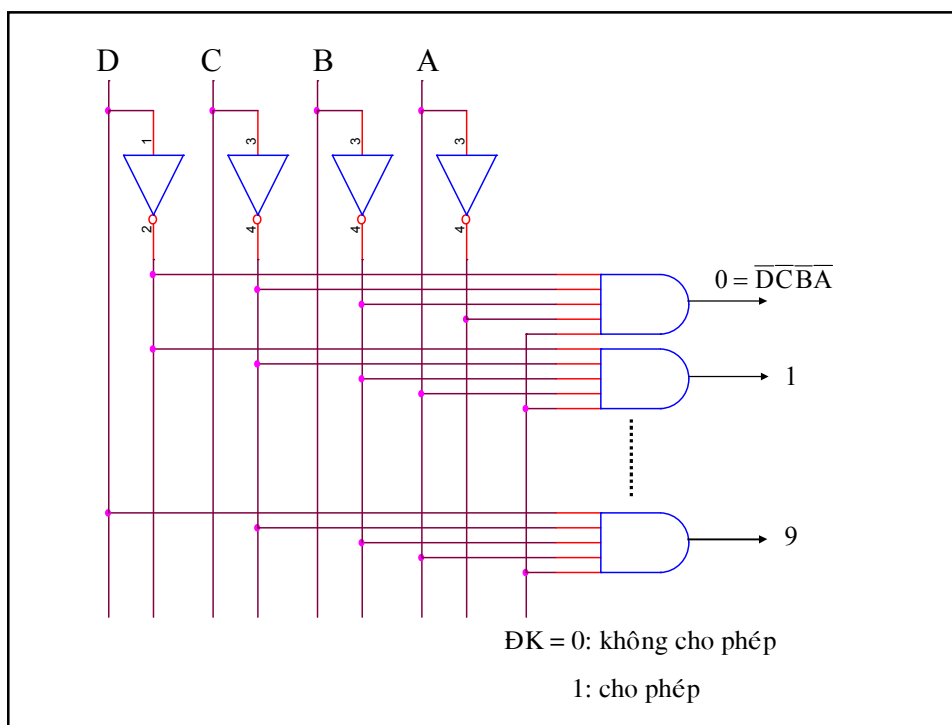
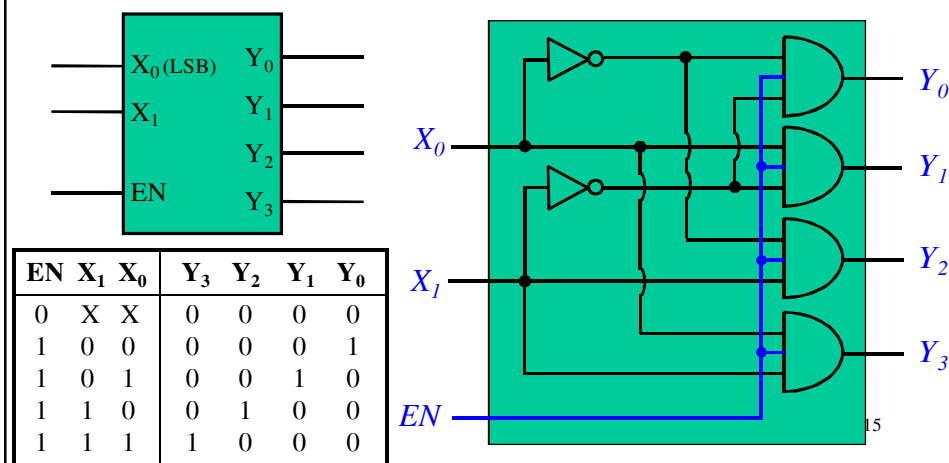


4

c. Bộ giải mã có ngõ vào cho phép:

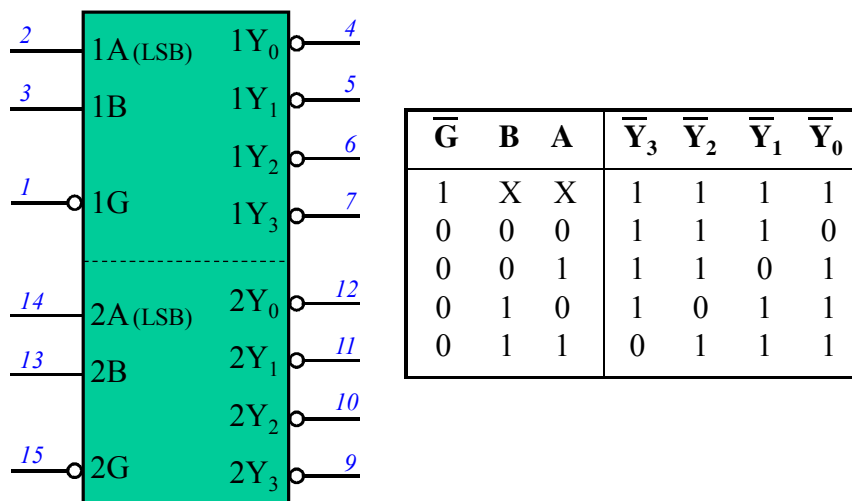
- Ngoài các ngõ vào dữ liệu, bộ giải mã có thể có 1 hay nhiều ngõ vào cho phép.

- Khi các ngõ vào cho phép ở trạng thái tích cực thì mạch giải mã mới được hoạt động. Ngược lại, mạch giải mã sẽ không hoạt động; khi đó các ngõ ra đều ở trạng thái không tích cực.



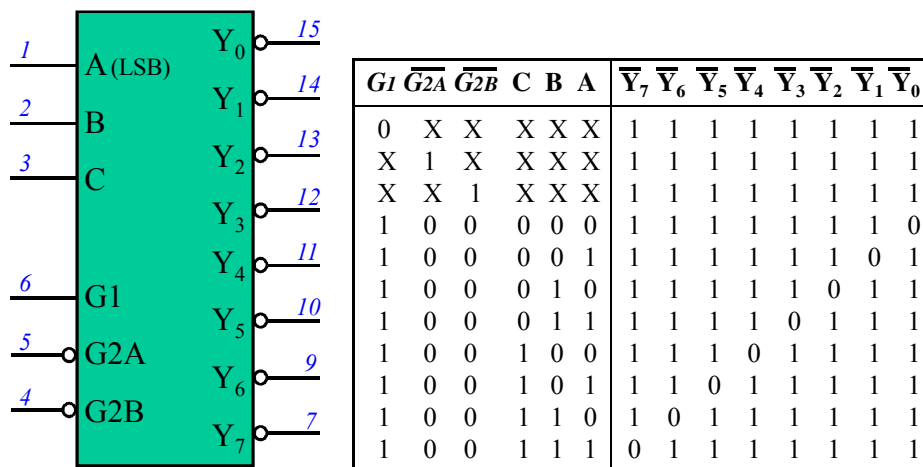
2. IC giải mã:

a. **IC 74139:** gồm 2 bộ giải mã 2 sang 4 ngõ ra tích cực thấp



17

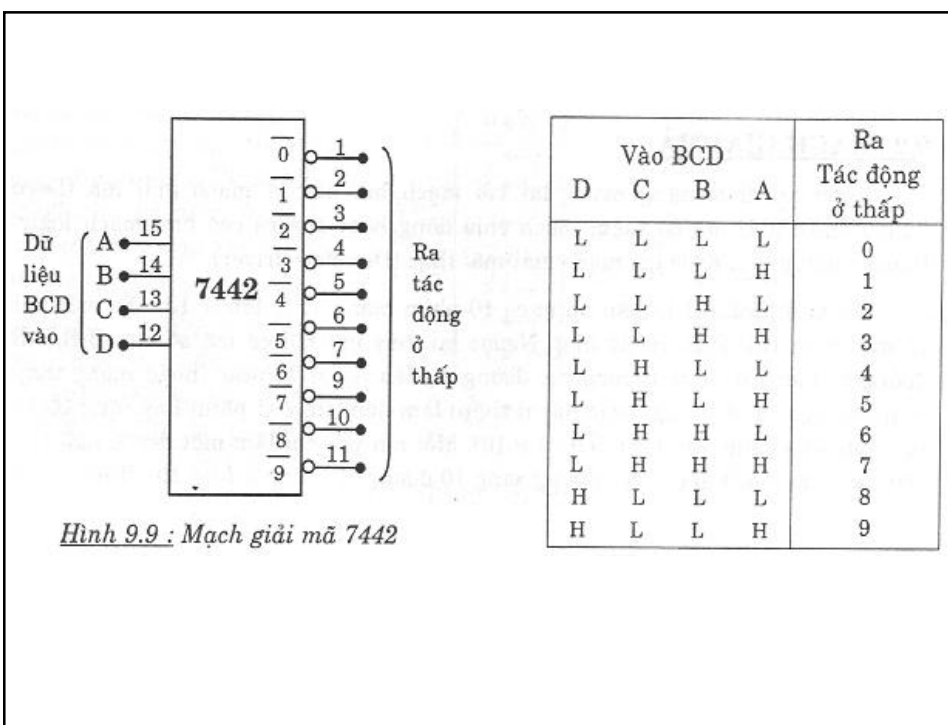
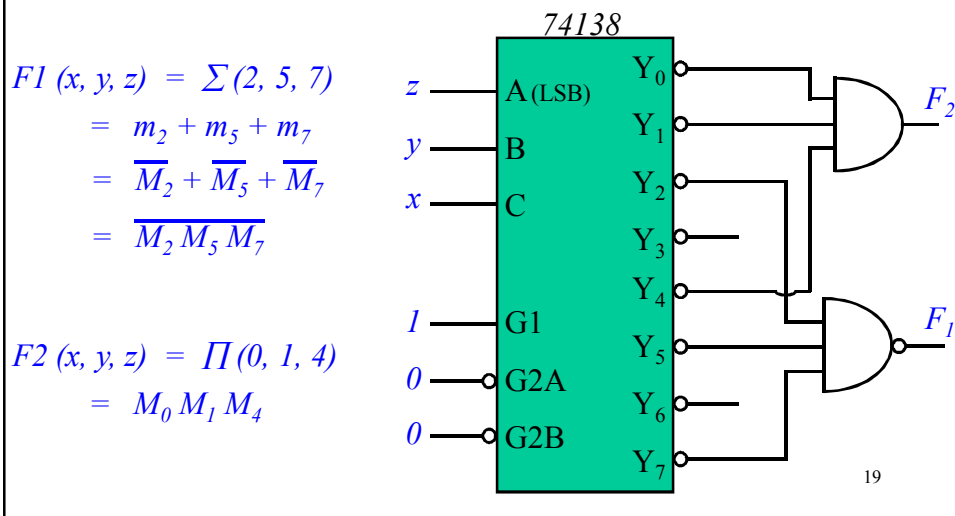
b. **IC 74138:** bộ giải mã 3 sang 8 ngõ ra tích cực thấp

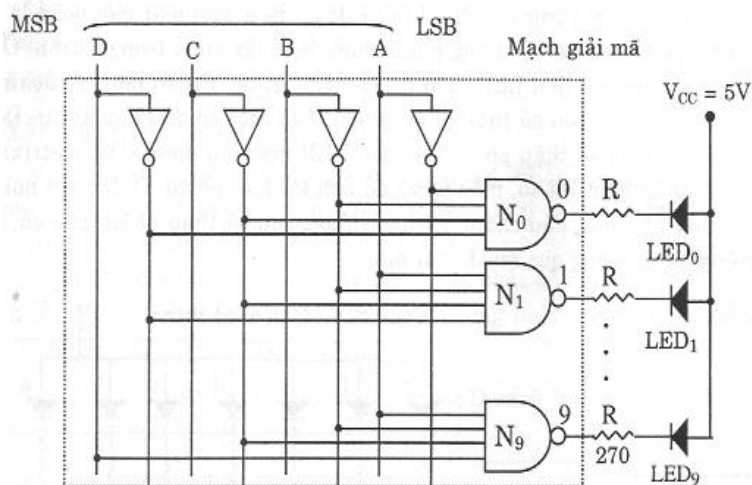


18

3. Sử dụng bộ giải mã thực hiện hàm Boole:

Ngõ ra của bộ giải mã là minterm (ngõ ra tích cực cao) hoặc maxterm (ngõ ra tích cực thấp) của n biến ngõ vào. Do đó, ta có thể sử dụng bộ giải mã thực hiện hàm Boole theo dạng chính tắc.

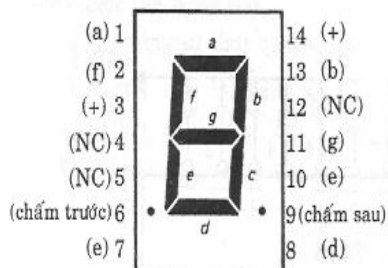




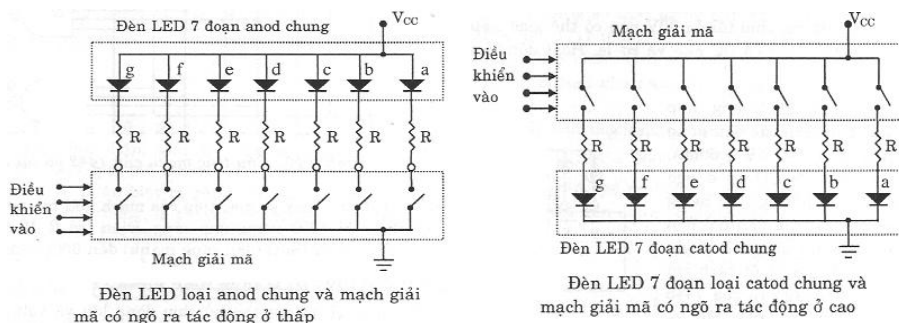
Hình 9.10 : Cấu trúc mạch của 7442 và tải ngõ ra

Đèn LED 7 đoạn:

Đèn LED là một chỉ báo hiển thị thông dụng. Bên dưới mỗi đoạn là một số đèn LED mắc song song và hệ thống phản chiếu lên mặt nhựa trong ở trên. Tùy tổ hợp các đoạn nào sáng mà đèn hiển thị từ 0 đến 9



Có 2 loại đèn LED : anod chung và catod chung:

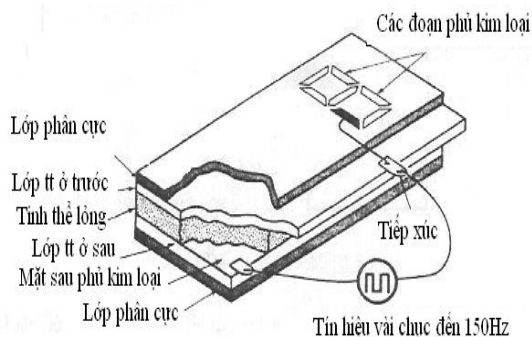


Ở đèn LED anod chung thì anod của đèn được nối lên V_{CC} , catod của đoạn nối xuống đất thông qua điện trở R

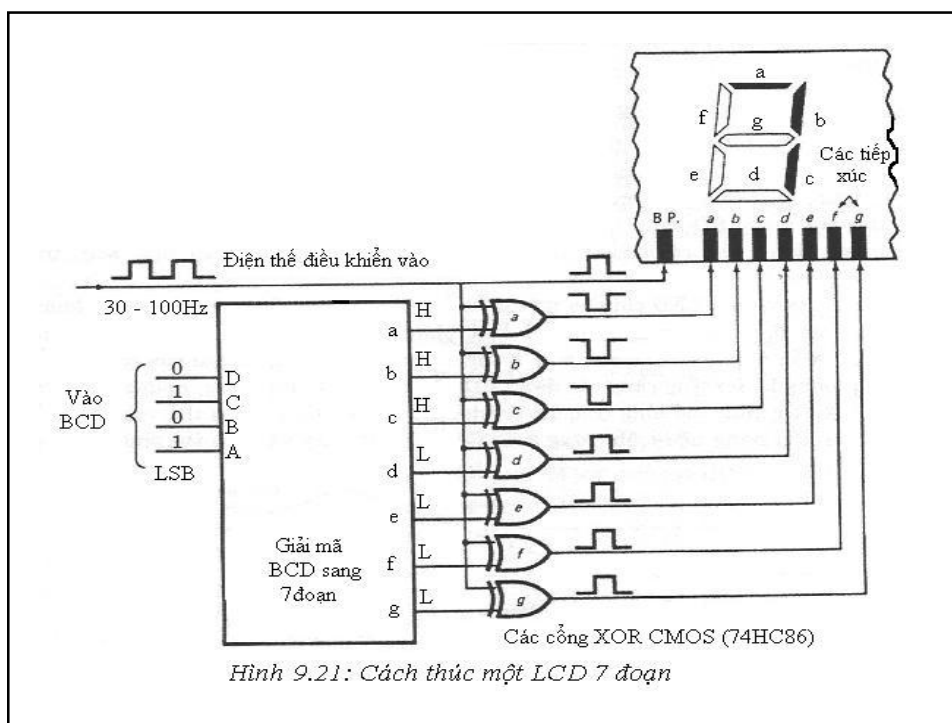
Ở đèn LED catod chung thì catod của đèn được nối xuống đất, anod của đoạn được nối lên cao thông qua điện trở R

Hiện thị tinh thể lỏng (LCD)

Đèn hiển thị tinh thể lỏng (Liquid-Crystal Display – LCD) có ưu thế vượt trội đèn LED ở hai khả năng: công suất tiêu tán thấp và hiển thị phức tạp linh hoạt.

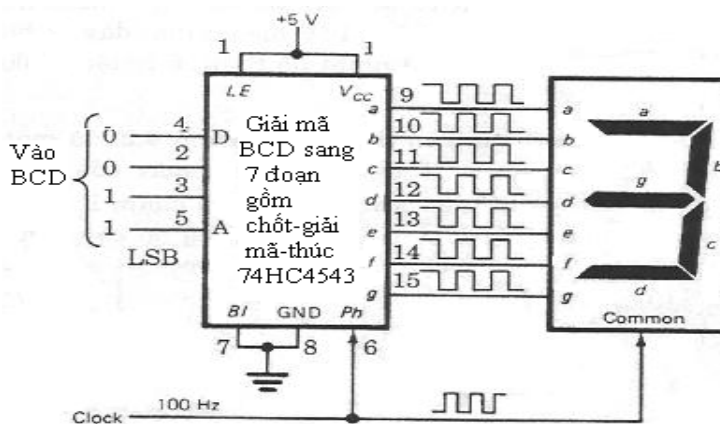


Hình 9.20: Cấu tạo của LCD



Mạch chốt/ giải mã/ thúc BCD sang 7 đoạn CMOS 4543

Các giải mã BCD sang 7 đoạn CMOS thường gồm luôn mạch chốt (nằm trước mạch giải mã) và mạch thúc (sau phân giải mã) nên được gọi mạch chốt/ giải mã/ thúc (Latch/ docoder/ driver).



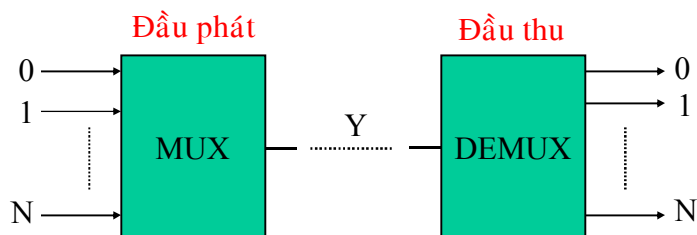
MẠCH ĐA HỢP VÀ GIẢI ĐA HỢP (Multiplexer, Demultiplexer)

1. Mô tả

Trong phương pháp truyền tin để truyền được nhiều tín hiệu trên cùng 1 kênh sao cho ở đầu thu ta có thể lấy lại dữ kiện đúng như dữ kiện lúc ban đầu.

Mạch lấy các tín hiệu đến song song và truyền tín hiệu dưới dạng lần lượt nối tiếp trên kênh truyền chung Y gọi là mạch đa hợp hay mạch chọn dữ kiện.

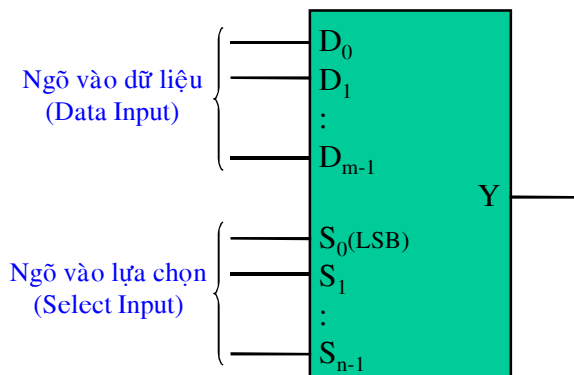
Mạch lấy tín hiệu lần lượt nối tiếp trên kênh truyền chung Y để vẽ ra n đường ra khác nhau mà đường nào là phụ thuộc vào mã số mà ta gán cho nó. Đó gọi là mạch phân bố dữ kiện hay mạch giải đa hợp.



2. Bộ đa hợp/ dồn kênh (Multiplexer - MUX)

2.1. Giới thiệu

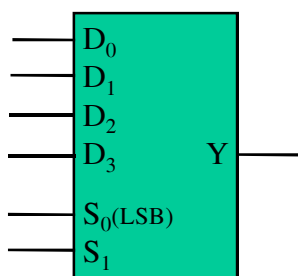
- MUX $2^n \rightarrow 1$ là hệ tổ hợp có nhiều ngõ vào nhưng chỉ có 1 ngõ ra. Ngõ vào gồm 2 nhóm: m ngõ vào dữ liệu (data input) và n ngõ vào lựa chọn (select input).



- Với 1 giá trị i của tổ hợp nhị phân các ngõ vào lựa chọn, ngõ vào dữ liệu D_i sẽ được chọn đưa đến ngõ ra. ($m = 2^n$)

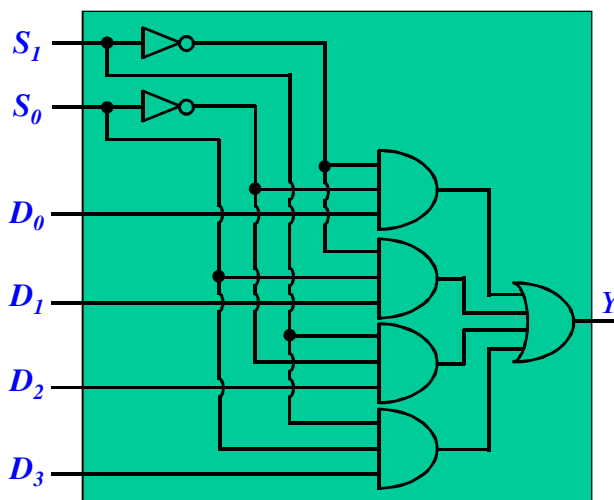
29

* Bộ MUX 4 \rightarrow 1:



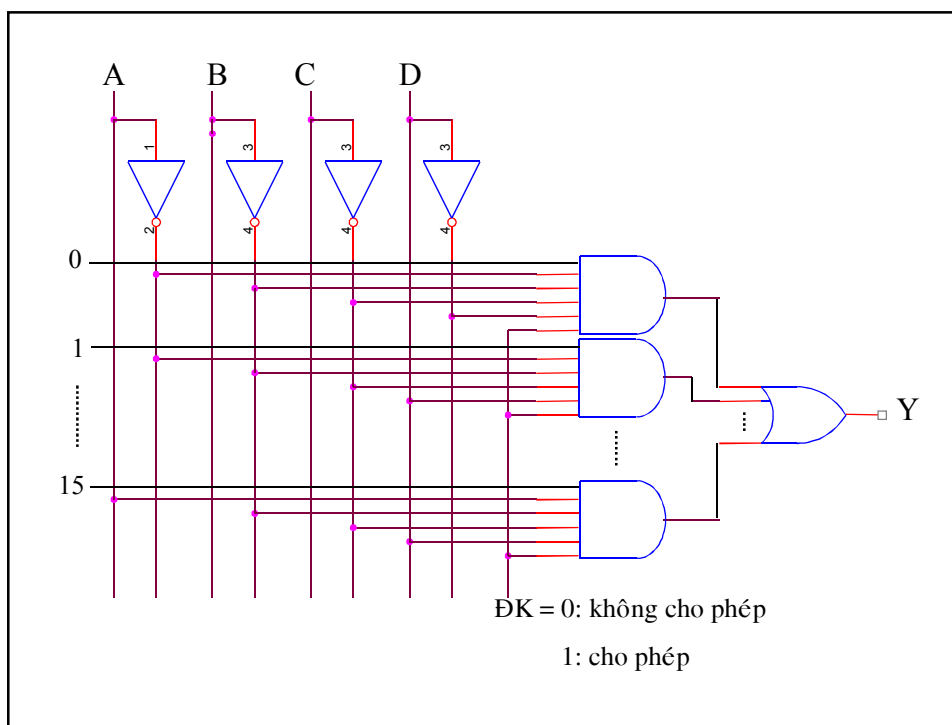
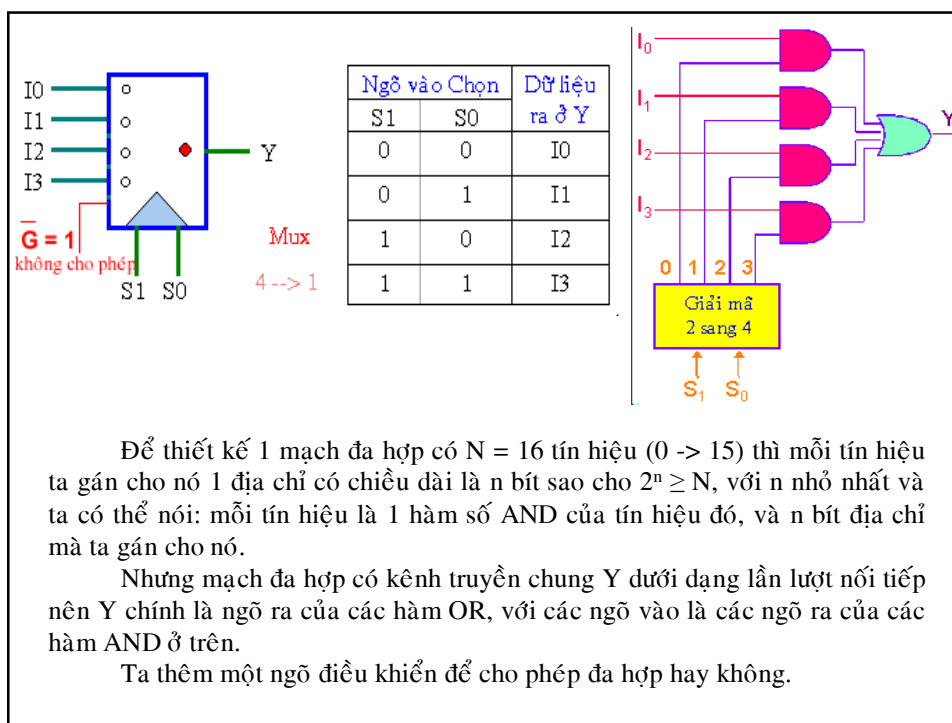
S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

$$\begin{aligned}
 Y &= \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_1 S_0 D_1 + S_1 \bar{S}_0 D_2 + S_1 S_0 D_3 \\
 &= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 \\
 &= \sum m_i D_i \quad (i = 0, 1, 2, 3)
 \end{aligned}$$



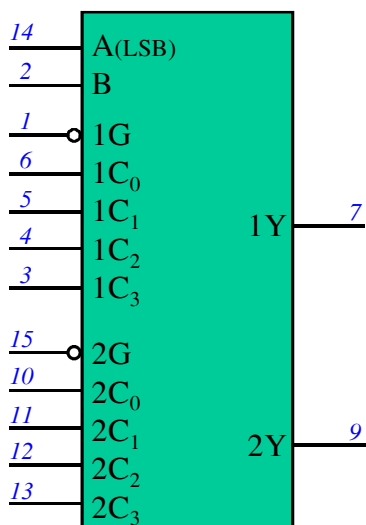
Tổng quát: $Y = \sum m_i D_i$ (với $i = 0, 1, \dots, 2^n - 1$)

30



2.2. IC đa hợp (dồn kênh)

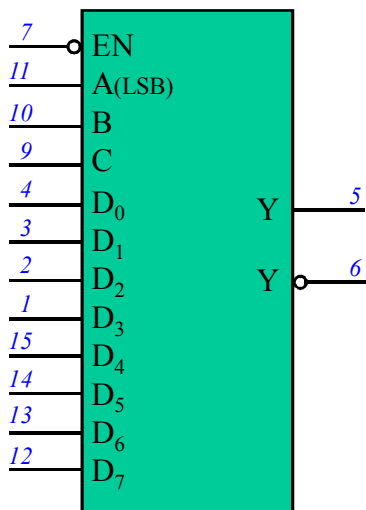
a. 74LS153: gồm 2 bộ MUX 4 → 1



\overline{G}	B	A	Y
1	X	X	0
0	0	0	C_0
0	0	1	C_1
0	1	0	C_2
0	1	1	C_3

33

b. 74151: bộ MUX 8 → 1



\overline{EN}	C	B	A	Y
1	X	X	X	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

34

2.3. Sử dụng bộ MUX thực hiện hàm Boole

a. Bộ MUX 2ⁿ thực hiện hàm Boole n biến:

$$F(x, y, z) = \sum (0, 1, 4, 7)$$

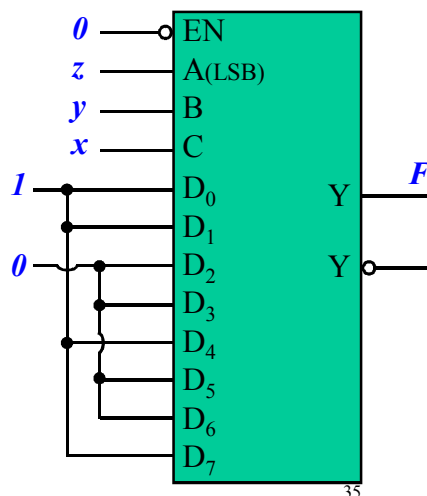
$$= m_0 + m_1 + m_4 + m_7$$

$$= m_0 1 + m_1 1 + m_2 0 + m_3 0 + m_4 1 + m_5 0 + m_6 0 + m_7 1$$

$$Y = \sum m_i D_i$$

$$= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 + m_4 D_4 + m_5 D_5 + m_6 D_6 + m_7 D_7$$

$$\Rightarrow \begin{aligned} D_0 &= D_1 = D_4 = D_7 = 1 \\ D_2 &= D_3 = D_5 = D_6 = 0 \end{aligned}$$



35

b. Bộ MUX 2ⁿ thực hiện hàm Boole n+1 biến

$$F(x, y, z) = \sum (0, 1, 4, 7)$$

$$= \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z + x\bar{y}\bar{z} + x\bar{y}z$$

$$= \bar{x}\bar{y}.1 + \bar{x}\bar{y}.0 + x\bar{y}.\bar{z} + x\bar{y}.z$$

$$= m_0.1 + m_1.0 + m_2.\bar{z} + m_3.z$$

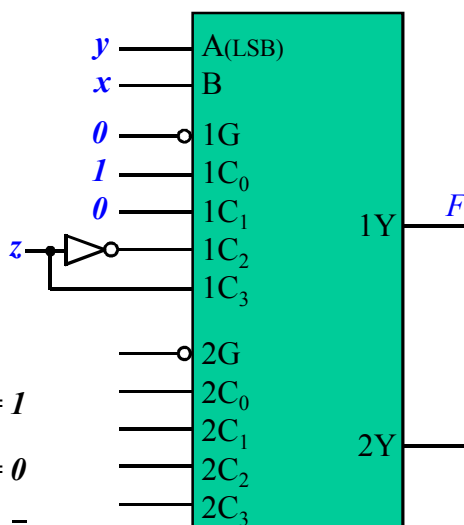
$$Y = m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3$$

$$\Rightarrow D_0 = 1; D_1 = 0; D_2 = \bar{z}; D_3 = z$$

x	y	z	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$\left. \begin{aligned} &D_0 = 1 \\ &D_1 = 0 \end{aligned} \right\}$$

$$\left. \begin{aligned} &D_2 = \bar{z} \\ &D_3 = z \end{aligned} \right\}$$

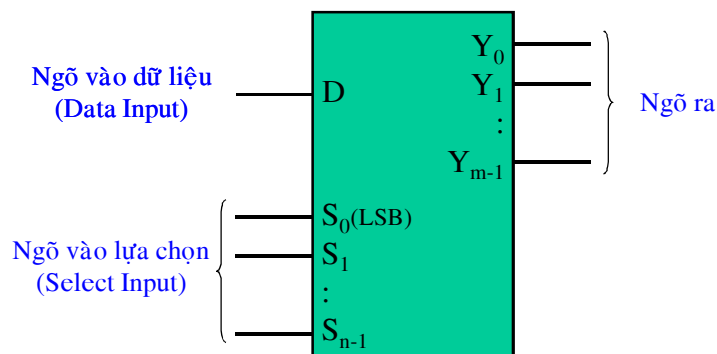


36

3. Bộ giải đa hợp/ phân kênh (DEMUX)

3.1. Giới thiệu

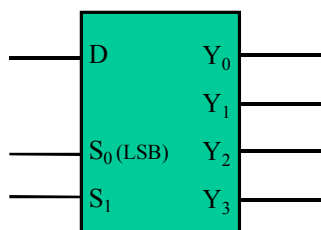
- Bộ DEMUX $1 \rightarrow 2^n$ có chức năng thực hiện hoạt động ngược lại với bộ MUX. Mạch có 1 ngõ vào dữ liệu, n ngõ vào lựa chọn và 2^n ngõ ra.



- Với 1 giá trị i của tổ hợp nhị phân các ngõ vào lựa chọn, ngõ vào dữ liệu D sẽ được đưa đến ngõ ra Y_i .

37

* BỘ DEMUX 1 \rightarrow 4:



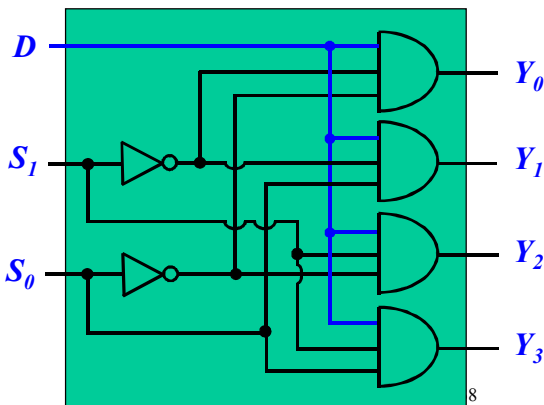
S_1	S_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	D
0	1	0	0	D	0
1	0	0	D	0	0
1	1	D	0	0	0

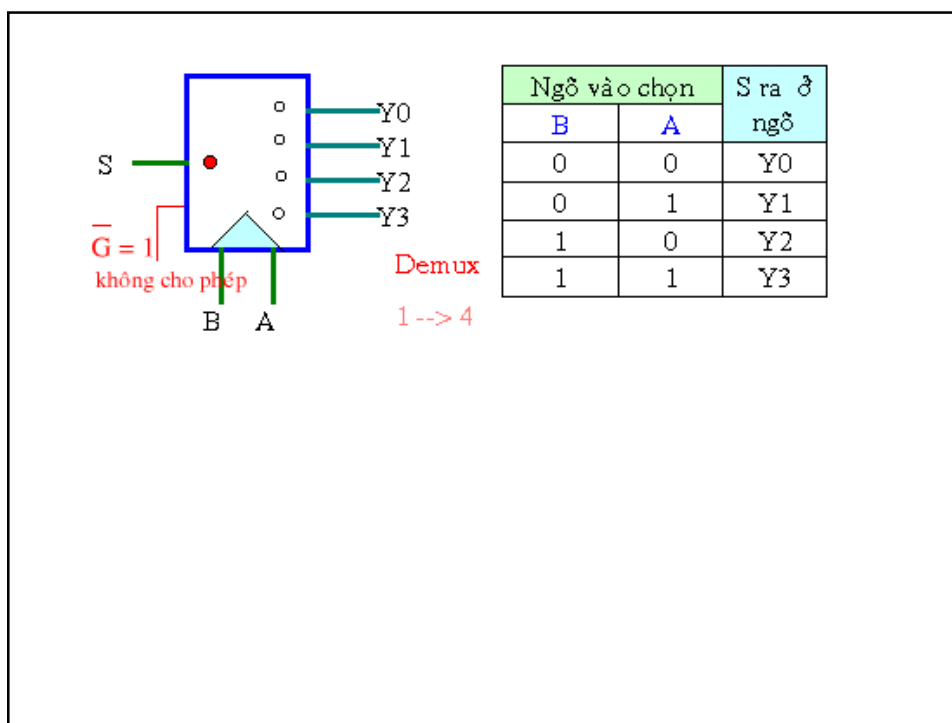
$$Y_0 = \overline{S_1} \overline{S_0} D = m_0 D$$

$$Y_1 = \overline{S_1} S_0 D = m_1 D$$

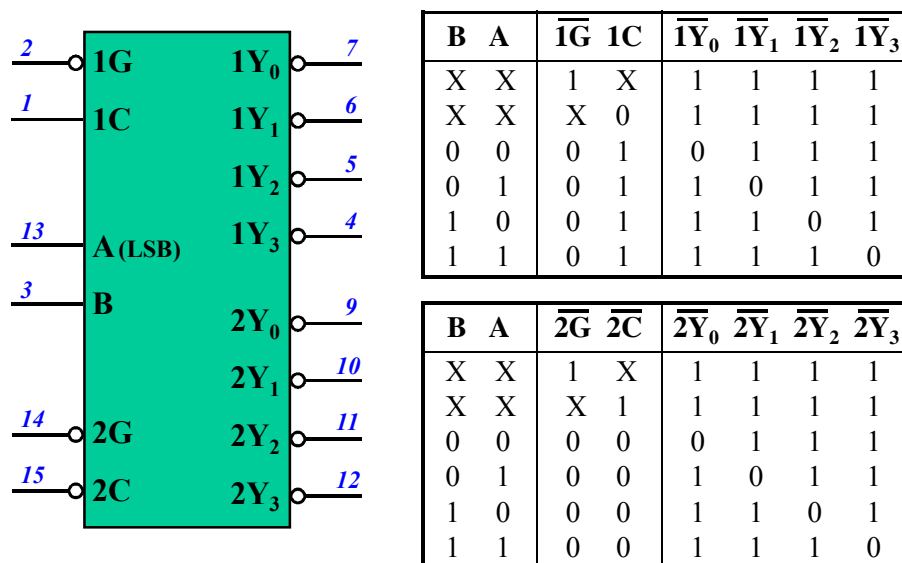
$$Y_2 = S_1 \overline{S_0} D = m_2 D$$

$$Y_3 = S_1 S_0 D = m_3 D$$





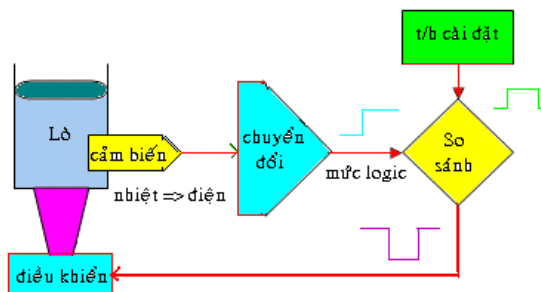
3.2. IC phân kênh 74LS155: gồm 2 bộ phân kênh 1 → 4



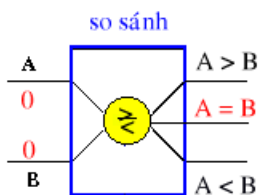
4. Bộ so sánh độ lớn (Comparator)

4.1. Giới thiệu

- Bộ so sánh là hệ tổ hợp có nhiệm vụ so sánh 2 số nhị phân không dấu A và B (mỗi số n bit).
- Bộ so sánh có 3 ngõ ra ($A > B$), ($A = B$) và ($A < B$); chỉ có 1 ngõ ra tích cực theo kết quả so sánh.



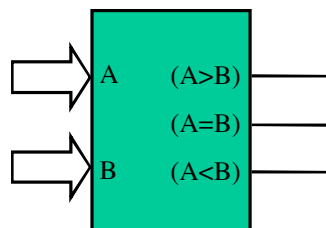
* Bộ so sánh 1 bit:



Ngõ vào		Ngõ ra so sánh		
A	B	$A > B$	$A = B$	$A < B$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

*** Bộ so sánh 3 bit:**

A: $A_2 A_1 A_0$
B: $B_2 B_1 B_0$



Sử dụng biến trung gian:

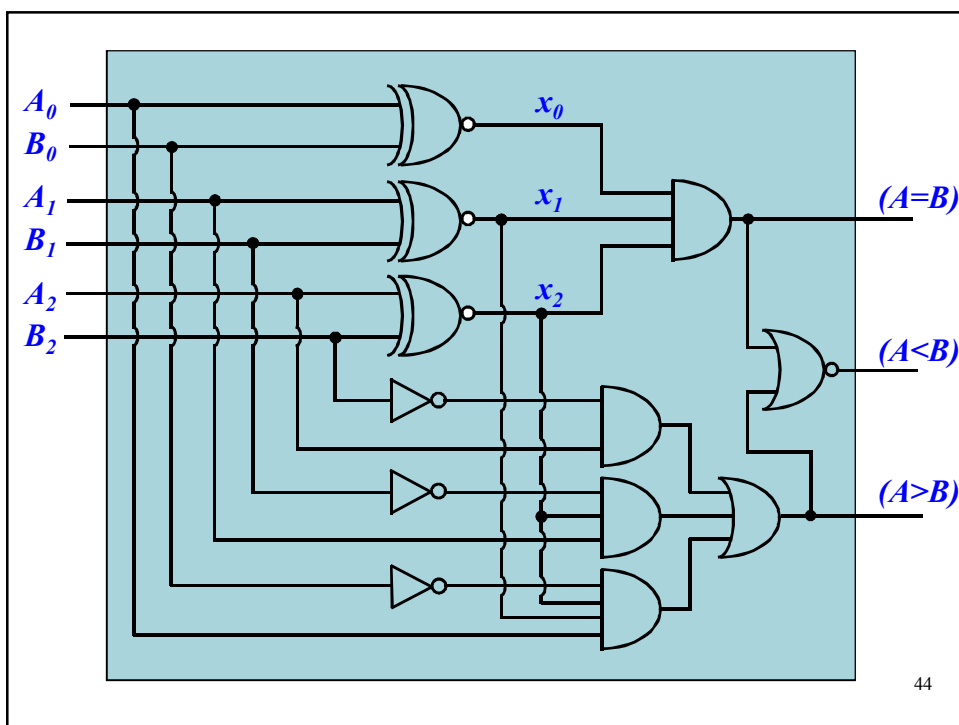
$$x_i = \overline{A_i} \oplus \overline{B_i} \quad (i = 0, 1, 2)$$

$$(A = B) = x_2 x_1 x_0$$

$$(A > B) = A_2 \overline{B_2} + x_2 A_1 \overline{B_1} + x_2 x_1 A_0 \overline{B_0}$$

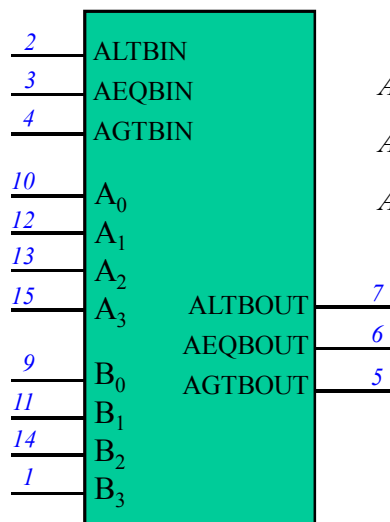
$$(A < B) = \overline{A_2} B_2 + x_2 \overline{A_1} B_1 + x_2 x_1 \overline{A_0} B_0 = \overline{(A=B)} + (A>B)$$

43



44

4.2. IC so sánh 74LS85



$$AGTBOUT = (A > B) + (A = B)AGTBIN$$

$$AEQBOUT = (A = B) AEQBIN$$

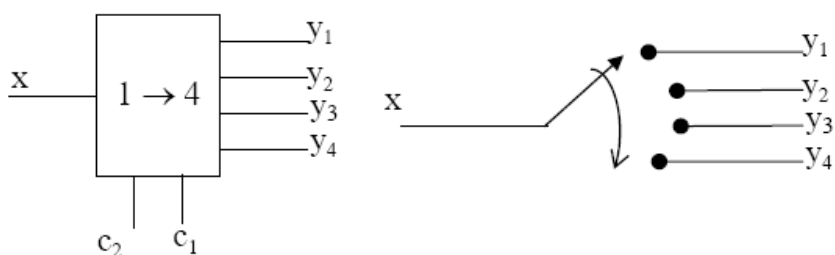
$$ALTBOU = (A < B) + (A = B)ALTBIN$$

45

III. Mạch giải đa hợp

Ta thấy rằng mạch giải mã và mạch giải đa hợp có cấu tạo hoàn toàn giống nhau nên nhiều IC được chế tạo dùng chung cho cả hai chức năng này.

Mạch giống mạch giải mã có thêm đường Y



c_1	c_2	y_1	y_2	y_3	y_4
0	0	x	0	0	0
0	1	0	x	0	0
1	0	0	0	x	0
1	1	0	0	0	x

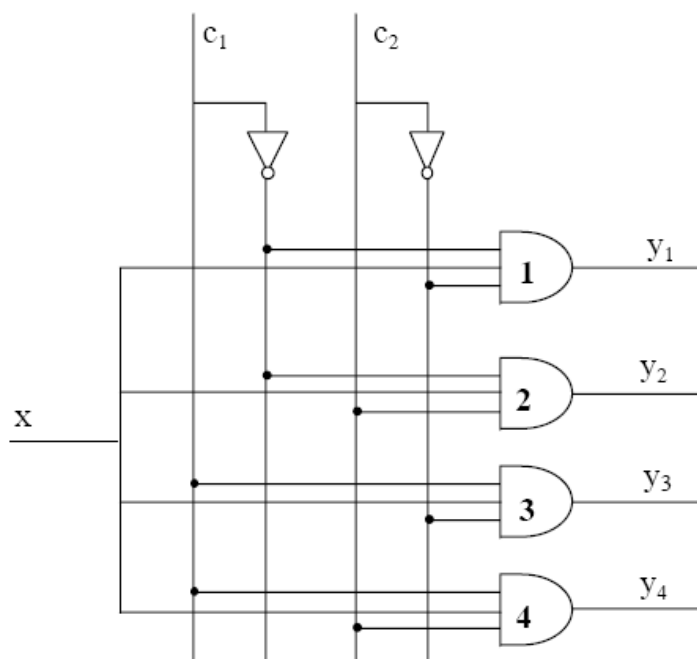
Phương trình logic các ngõ ra:

$$y_1 = \overline{c_1} \overline{c_2} . x$$

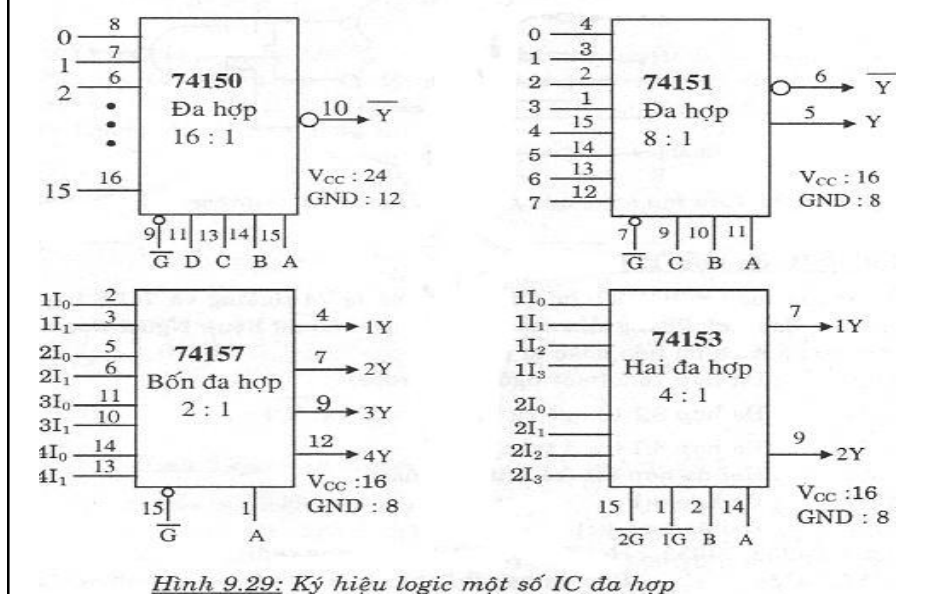
$$y_2 = \overline{c_1} c_2 . x$$

$$y_3 = c_1 \overline{c_2} . x$$

$$y_4 = c_1 c_2 . x$$



MỘT SỐ IC ĐA HỢP TTL VÀ CMOS



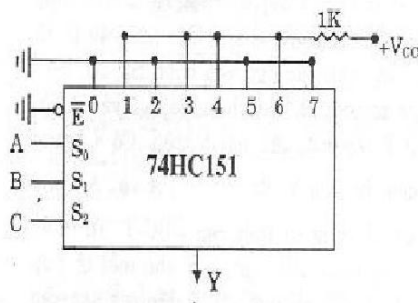
Thiết kế mạch tổ hợp dùng các MSI đa hợp

Các mạch đa hợp với hoạt động logic có thể dùng để thiết kế mạch tổ hợp.

Ưu điểm:

- Không cần đơn giản biểu thức logic
- Tối thiểu hoá số IC sử dụng
- Dễ thiết kế

Vào			Ra
C	B	A	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0



Vd: Thiết mạch tổ hợp 4 biến số

Vào				Ra
D	C	B	A	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Cách 1:

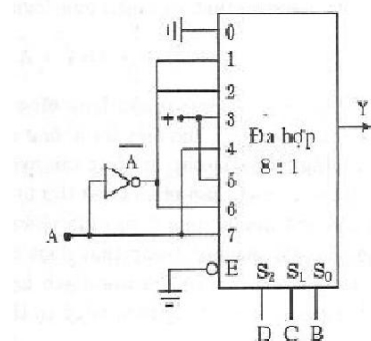
Dùng đa hợp 16:1

Ngõ ra Y là đảo của dữ liệu vào



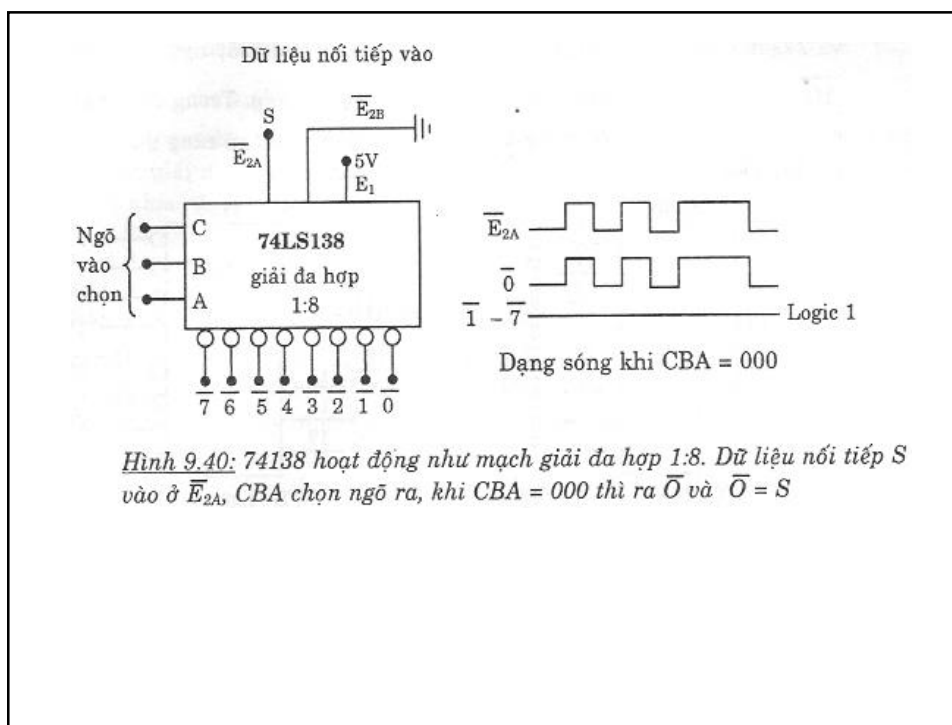
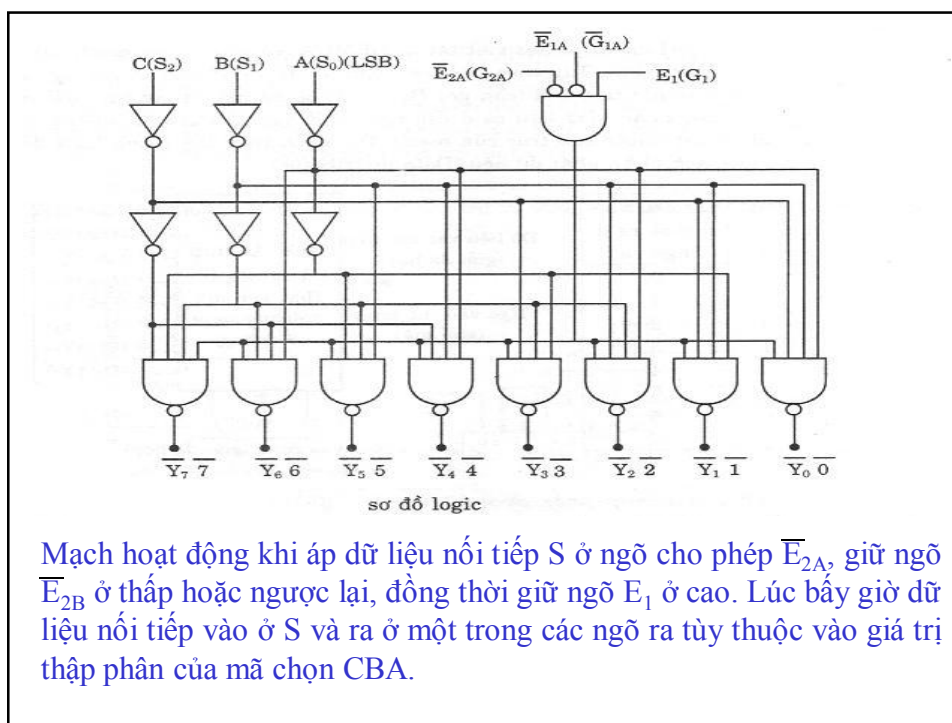
- Ngõ dữ liệu mang số bằng với số thứ tự ở bảng sự thật mà Y=0 lên cao
- Ngõ dữ liệu mang số bằng với số thứ tự ở bảng sự thật mà Y=1 xuống thấp

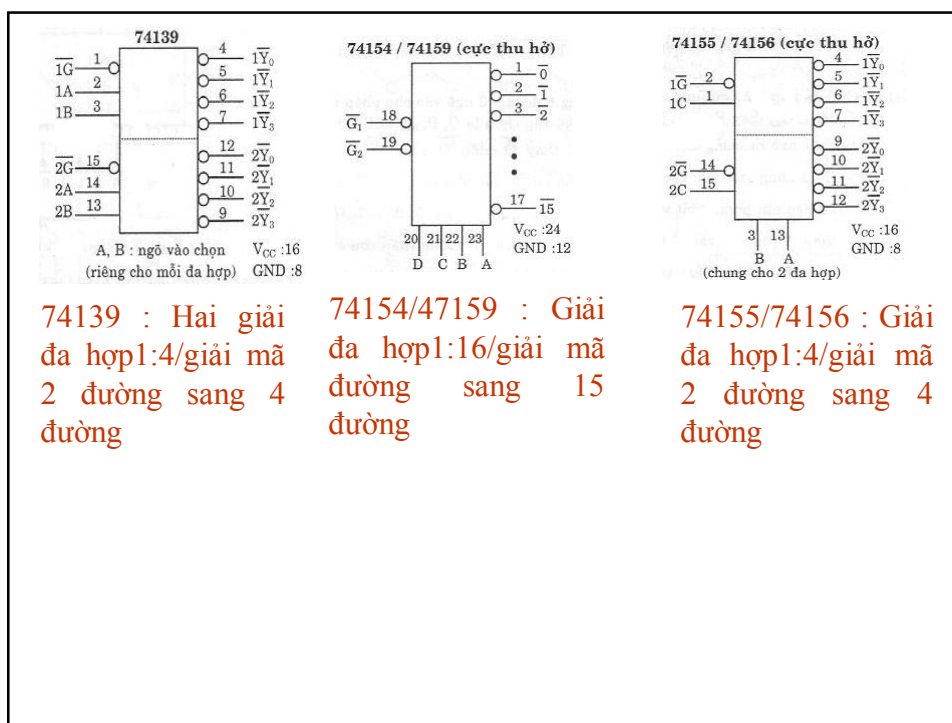
Vào			Ra
D	C	B	Y
0	0	0	0
0	0	1	\overline{A}
0	1	0	\overline{A}
0	1	1	1
1	0	0	A
1	0	1	1
1	1	0	\overline{A}
1	1	1	A



Cách 2:

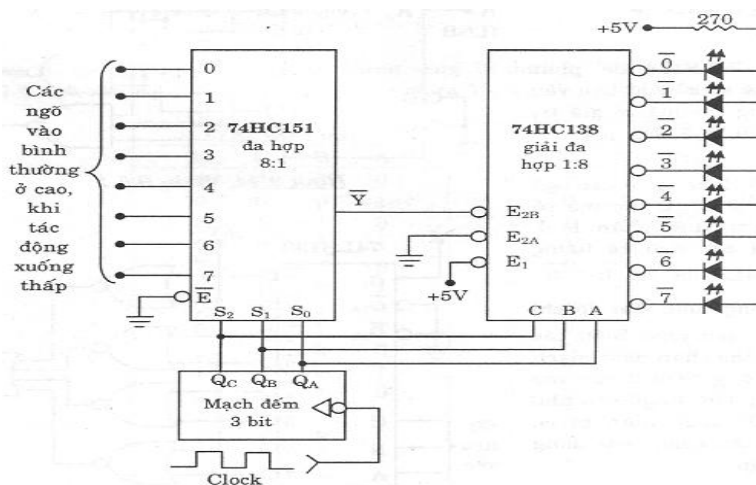
- Dùng đa hợp 8:1
- Chia bảng sự thật thành từng đôi
- Nối ngõ vào B, C, D đến các ngõ vào chọn S0, S1, S2
- Liên hệ ngõ vào A ngõ ra Y: có 4 trạng thái 0, 1, \overline{A} , A
- Nhận xét ngõ ra Y cho mỗi tổ hợp của B, C, D
- Nối ngõ vào A đến các ngõ vào dữ liệu của đa hợp 8:1 một cách phù hợp





Ứng dụng của mạch đa hợp – giải đa hợp

1. Đo lường điều khiển kết hợp với truyền dữ liệu



Hình 9.47: Hệ thống theo dõi an ninh ở xa

2. Truyền dữ liệu nối tiếp

Với mô hình trên có thể dùng để thực hiện việc truyền dữ liệu nối tiếp. VD: truyền dữ liệu từ máy tính đến máy tính hay máy tính đến máy in.

Hệ thống truyền dữ liệu nối tiếp có 16 kênh vào và 16 kênh ra (h9.48).