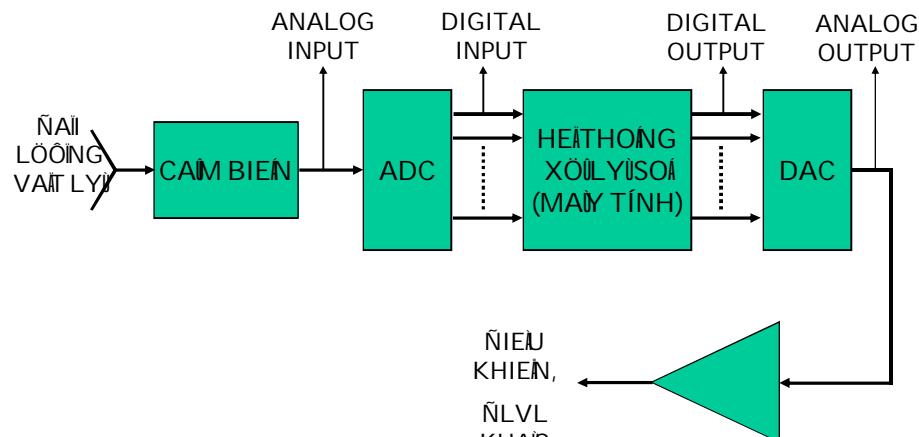


BỘ BIẾN NHỎ A/D, D/A

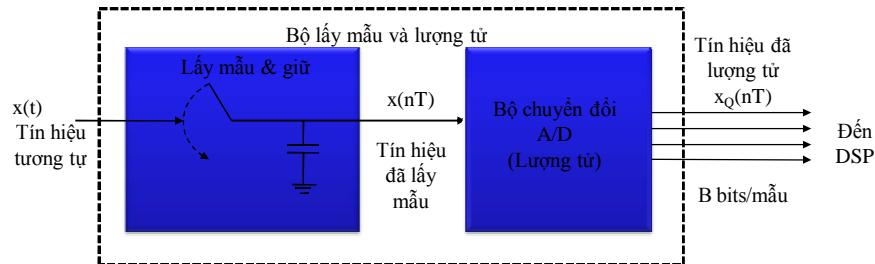


1. Quá trình lượng tử hóa

Quá trình xử lý tín hiệu tương tự



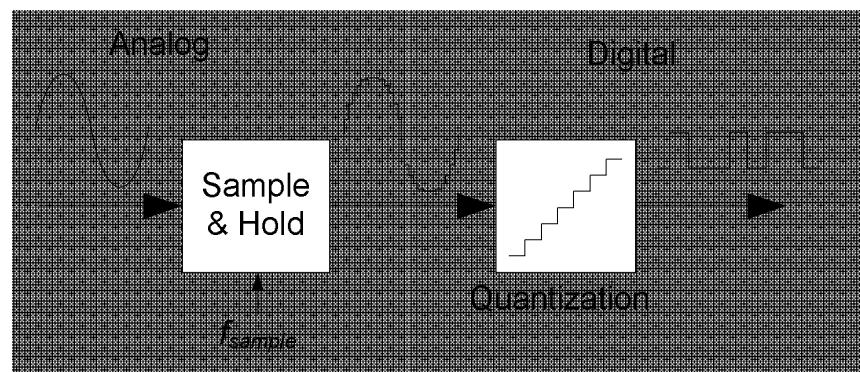
1. Quá trình lượng tử hóa



Các thông số đặc trưng:

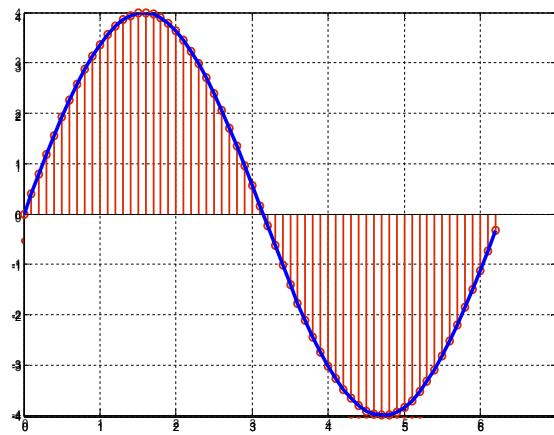
- Số bit biểu diễn B
- Tầm toàn thang R

1. Quá trình lượng tử hóa

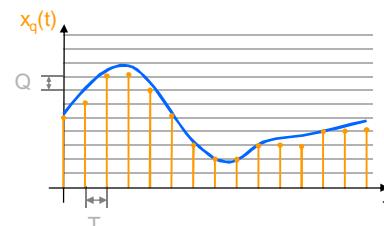


1. Quá trình lượng tử hóa

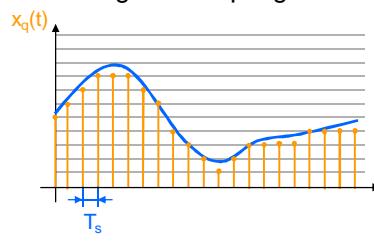
Xét ví dụ lượng tử đều ($B = 4$, $R = 8$)



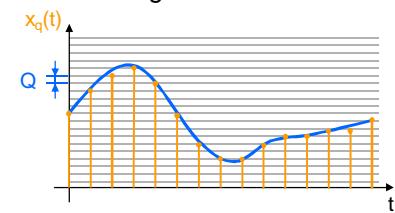
Accuracy



Higher Sampling rate



Higher Resolution



Number of Bits (N)	Resolution ($1/2^N$)	Increment (mV) for 5 volts
6	1/64	78.1
8	1/256	19.6
10	1/1024	4.9
12	1/4096	1.2
14	1/16384	0.3
16	1/65536	0.07

1. Quá trình lượng tử hóa

- Độ rộng lượng tử (độ phân giải lượng tử)

$$Q = \frac{R}{2^B}$$

Phân loại

- Bộ ADC đơn cực: $0 \leq x_Q(nT) < R$

Bộ ADC lưỡng cực: $-R/2 \leq x_Q(nT) \leq R/2$

- Lượng tử theo pp làm tròn

Lượng tử theo pp rút ngắn (truncated)

1. Quá trình lượng tử hóa

- Sai số lượng tử $e(nT) = x_Q(nT) - x(nT)$

- Lượng tử theo pp làm tròn

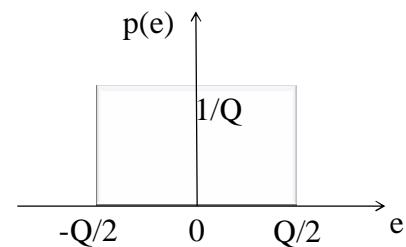
$$-\frac{Q}{2} \leq e \leq \frac{Q}{2}$$

\Rightarrow Sai số lượng tử cực đại là $e_{\max} = Q/2$

1. Quá trình lượng tử hóa

- Giả sử sai số lượng tử e là biến ngẫu nhiên có phân bố đều trong khoảng $[-Q/2; Q/2]$
- Hàm mật độ xác suất :

$$p(e) = \frac{1}{Q}; \quad -\frac{Q}{2} \leq e \leq \frac{Q}{2}$$



$$\bar{e} = E(e) = \int_{-Q/2}^{Q/2} e \cdot p(e) de = 0$$

1. Quá trình lượng tử hóa

- Giá trị trung bình của e:

$$\bar{e} = E(e) = \int_{-Q/2}^{Q/2} e \cdot p(e) de = 0$$

- Giá trị trung bình bình phương của e:

$$\bar{e}^2 = E(e^2) = \int_{-Q/2}^{Q/2} e^2 p(e) de = \frac{Q^2}{12}$$

- Sai số lượng tử hiệu dụng:

$$e_{rms} = \sqrt{\bar{e}^2} = \frac{Q}{\sqrt{12}}$$

1. Quá trình lượng tử hóa

- Tỷ lệ tín hiệu trên nhiễu: $SNR = \frac{R}{Q}$
- Tính theo dB:

$$SNR = 20 \log_{10} \left(\frac{R}{Q} \right) = 6B \text{ (dB)}$$

\Rightarrow Quy luật 6dB/bit

- Ví dụ: Tín hiệu được lấy mẫu với tốc độ 44kHz và mẫu được lượng tử hóa bằng bộ chuyển đổi A/D tầm toàn thang 10V. Xác định số bit B để sai số lượng tử hiệu dụng phải nhỏ hơn 50 μ V. Tính sai số hiệu dụng thực sự & tốc độ bit theo bps

$$e_{rms} = \frac{Q}{\sqrt{12}} = R 2^{-B} / \sqrt{12}$$

$$\Rightarrow B = \log_2 \left[\frac{R}{e_{rms} \sqrt{12}} \right] = \log_2 \left[\frac{10}{50 \cdot 10^{-6} \sqrt{12}} \right] = 15,82$$

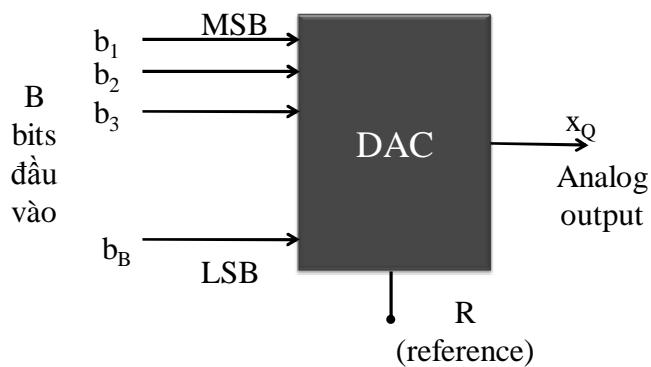
Làm tròn B = 16bit

$$e_{rms} = R 2^{-B} / \sqrt{12} = 44 \mu V$$

Tốc độ bit là: $Bf_s = 16 \times 44 = 704 kbps$

3. Bộ chuyển đổi D/A

- Xét bộ DAC B bit, tầm toàn thang R, ngõ vào B bit



3. Bộ chuyển đổi D/A

(a) Nhị phân đơn cực thông thường (Unipolar natural binary)

$$x_Q = R(b_1 2^{-1} + b_2 2^{-2} + \dots + b_B 2^{-B})$$

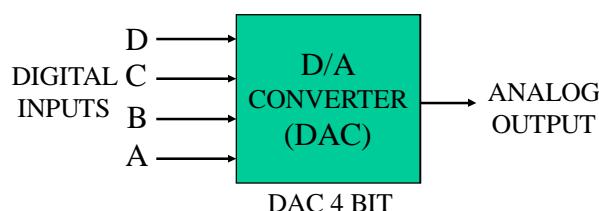
(b) Nhị phân offset lưỡng cực (bipolar offset binary)

$$x_Q = R(b_1 2^{-1} + b_2 2^{-2} + \dots + b_B 2^{-B} - 0.5)$$

(c) Lưỡng cực lấy bù 2 (bipolar 2's complement)

$$x_Q = R(\bar{b}_1 2^{-1} + b_2 2^{-2} + \dots + b_B 2^{-B} - 0.5)$$

BỘ CHUYỂN ĐỔI D/A



D	C	B	A	V_{out}
0	0	0	0	0V
⋮				⋮
1	1	1	1	15V

Tổng quát:

$$\text{Analog output} = K \times \text{digital input}$$

K: thواب số (nóaphản giá)

Digital-to-Analog Conversion

- Data in clean binary digital form can be converted to an analog form by using a summing amplifier.
- For example, a simple 4-bit D/A converter can be made with a four-input summing amplifier.

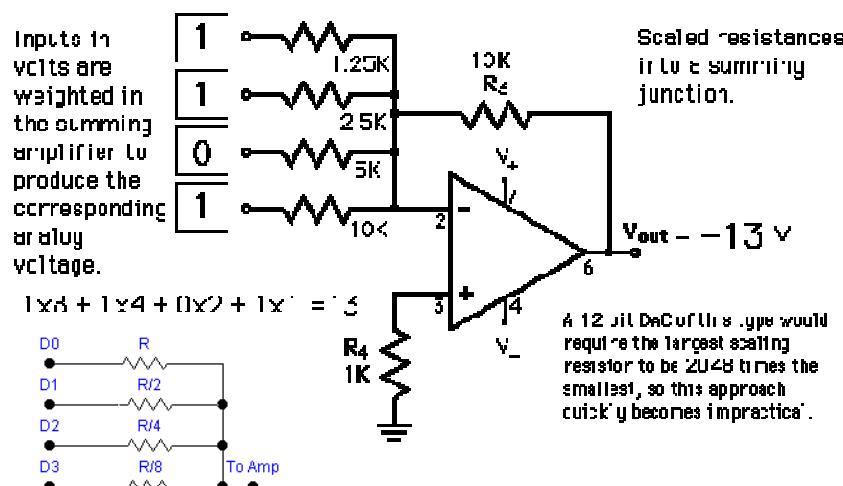
Digital-to-Analog Conversion

- 2 Basic Approaches
 - Weighted Summing Amplifier
 - R-2R Network Approach

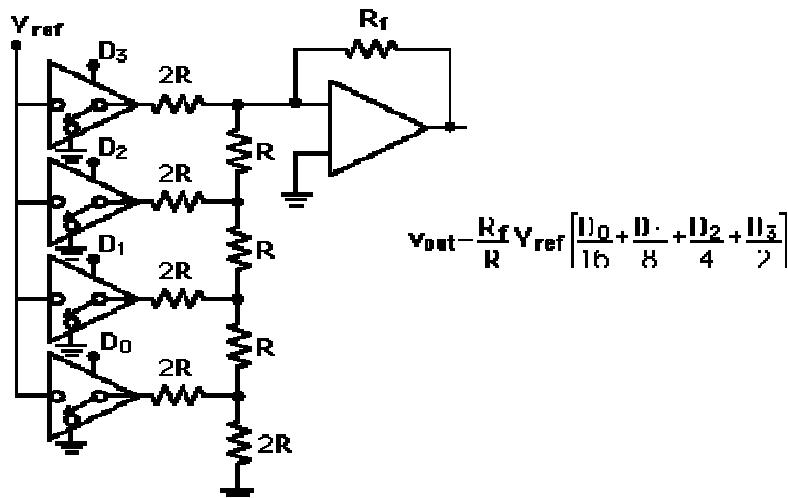
Weighted Sum DAC

- One way to achieve D/A conversion is to use a summing amplifier.
- This approach is not satisfactory for a large number of bits because it requires too much precision in the summing resistors.
- This problem is overcome in the R-2R network DAC.

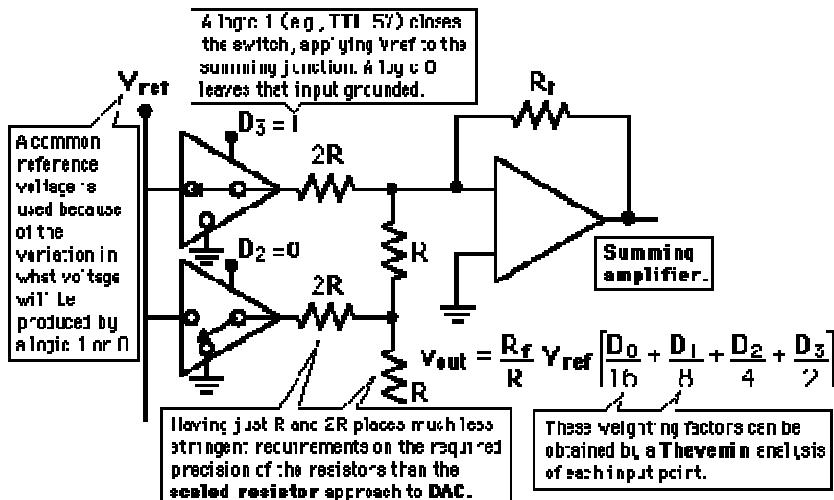
Weighted Sum DAC



R-2R Ladder DAC



R-2R Ladder DAC



R-2R Ladder DAC

- The summing amplifier with the R-2R ladder of resistances shown produces the output where the D's take the value 0 or 1.
- The digital inputs could be TTL voltages which close the switches on a logical 1 and leave it grounded for a logical 0.
- This is illustrated for 4 bits, but can be extended to any number with just the resistance values R and 2R.

TD: $K = 1V \Rightarrow V_{out} = (1V) \times \text{digital input}$

Do ñoị ta coitheátinh V_{out} öing vôi digital input

$$1100_2 = 12_{10} \Rightarrow V_{out} = 1V \times 12 = 12V.$$

TD: DAC 5 bit vôi ngoïva la 10100, dòng ngoïra la 10mA.
Tính I_{out} khi ngoïva la 11101.

Giai

Ta coi $10100_2 = 20_{10}$ khi $I_{out} = 10mA$.

$$\Rightarrow K = 0,5 \text{ mA.}$$

Do ñoị $11101_2 = 29_{10}$

$$\Rightarrow I_{out} = 0,5 \text{ mA} \times 29 = 14,5 \text{ mA.}$$

TD: DAC 8 bit với ngoïra là 1.0V khi ngoïva là 00110010₂. Xác nhïnh V_{out} lïnh nhat cua DAC.

Giai

$$\text{Ta coi } 00110010_2 = 50_{10}$$

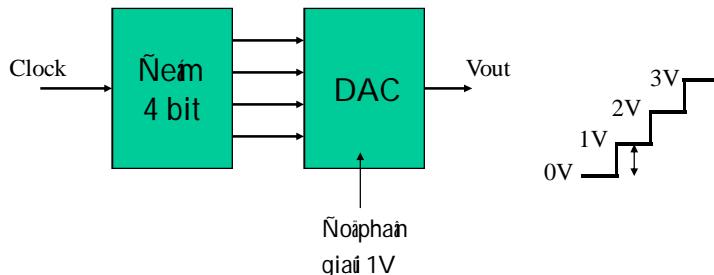
$$1V = K \times 50$$

$$\Rightarrow K = 20 \text{ mV}.$$

Do nñoi ngoïra V_{out(max)} khi ngoïva là 1111 1111₂ = 255₁₀

$$\Rightarrow V_{\text{out(max)}} = 20\text{mV} \times 255 = 5,1\text{V}.$$

Nóaphan giai K: nóaphan giai cuïa biến nñoi D/A lai sòi thay nñoi nhoïnhat cuïa ngoïra analog khi coi sòi thay nñoi cuïa ngoï vaô digital.



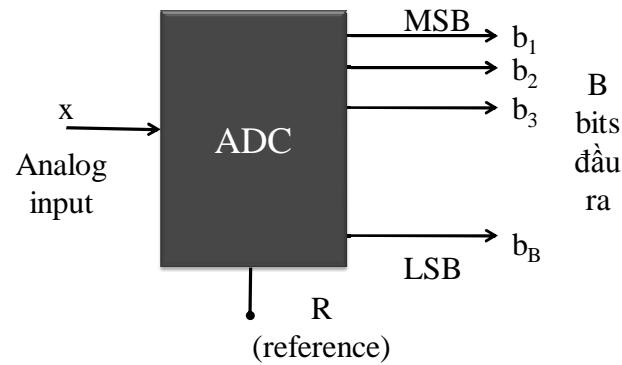
DAC N bit seïcoi 2^N möic khai nhau, soáboïc nhaiy seïla 2^N – 1

TD: K = 0,2V. Xác nhïnh V_{out} khi ngoïva là 10001

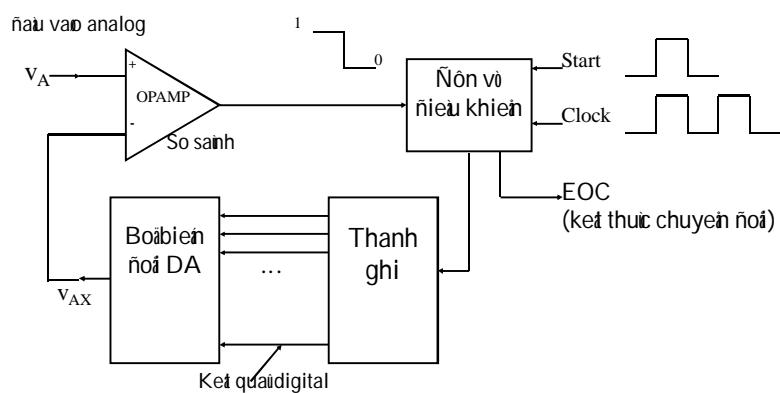
$$10001_2 = 17_{10}$$

$$\Rightarrow V_{\text{out}} = 0,2V \times 17 = 3,4V.$$

4. Bộ chuyển đổi A/D



BỘ CHUYỂN ĐỔI A/D

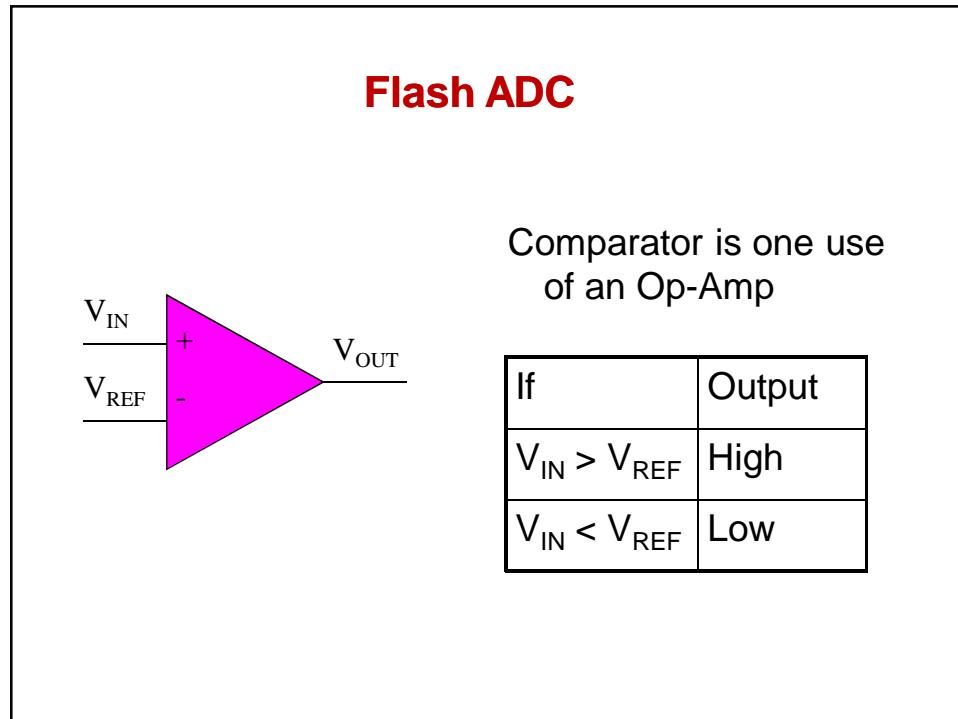
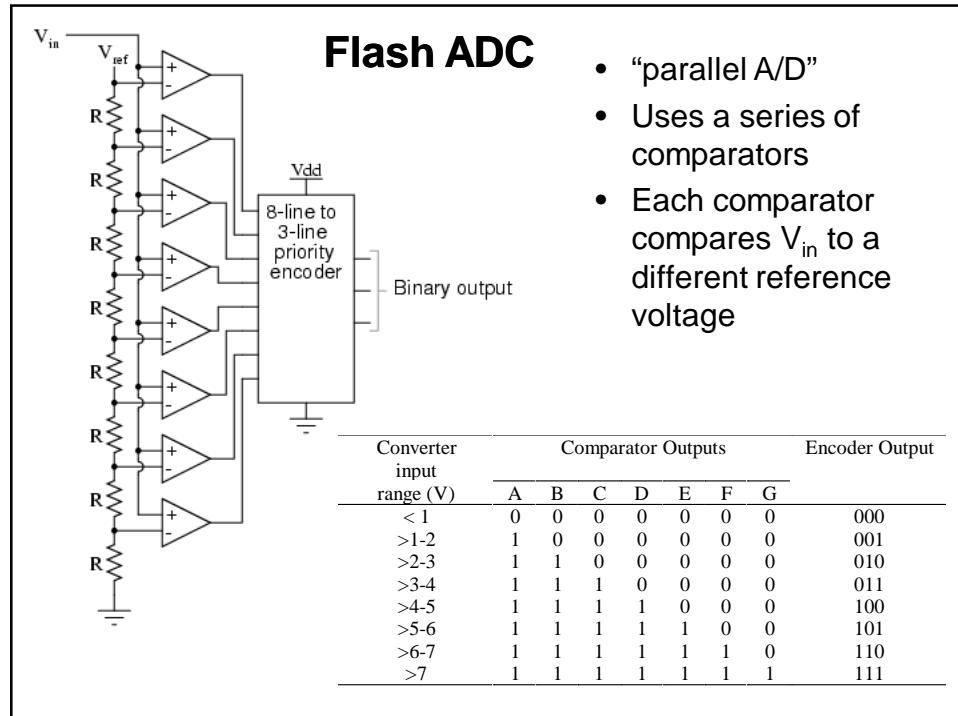


Boăbień nōi hoạt nōng theo cát bōöt:

- Tín hiệu Start nêu bắt đầu biến nōi.
- Cốimoi xung clock, nôn vì nieu khien sôia nōi soánhò phan nâu ra vanhōa van lôu tröitrong thanh ghi.
- Soánhò phan trong thanh ghi nōöic chuyen nōi thành aip analog V_{AX} qua boăbień nōi DA.
- OPAMP so sánh V_{AX} với aip nâu van v_A . Nếu $V_{AX} < V_A$ thì nâu ra ôimöic cao, còn ngược lai, nếu V_{AX} vooít qua V_A một lõöing v_T (aip ngược) thì nâu ra ôimöic thấp van ket thuic quaiütrình biến nōi. Ở thời nieu nay, V_{AX} nâu xap xé bằng V_A van soánhò phan chöia trong thanh ghi chính làgiaitri digital xap xé cuia V_A (theo một nōaphan giai vanchinh xac nhat nōnh cuia töng heäthöing).
- Nôn vì nieu khien kích hoạt tín hiệu EOC, báo rằng van ket thuic quaiütrình biến nōi.

Types of Analog to Digital Converters

- Flash ADC
- Sigma-delta ADC
- Dual slope converter
- Successive approximation converter



Boăbień nōi Flash AD

Boăbień nōi loaii nay coi toic nōanhnhat vao cung can nhieu linh kien cau thanh nhat.

Cuithélam mot phep so sánh: flash AD 6-bit can 63 OPAMP, 8-bit can 255 OPAMP, va 10-bit can 1023 OPAMP. Vi leõnõi ma boăbień nōi AD loaii nay bò giõi han bôi soabit, thöông lao2 nén 8-bit.

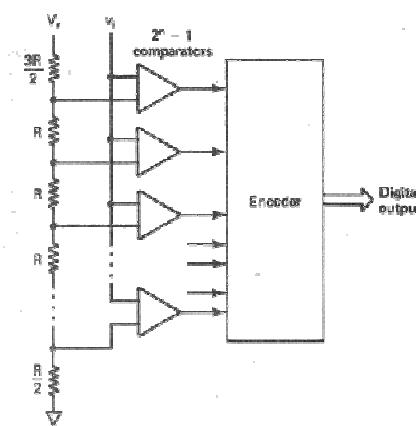
Ví dui mot flash AD 3-bit :

Mach nay coi nōi phan giao lai 1V, cau chia nien ap thiet lap nein cau nien ap so sánh (7 moic töong öing 1V, 2V, ...) vôi nien ap can bien nōi. Nau ra cuu cau OPAMP nōoic noi nein mot priority encoder va nhau ra cuu noi chinh lai giao trô digital xap xacua nien ap nau vao.

Caic boăbień nōi coi nhieu bit hon deidang suy ra theo mach nay.

Parallel or Flash ADC

- Very High speed conversion
 - Up to 100MHz for 8 bit resolution
 - Video, Radar, Digital Oscilloscope
- Single Step Conversion
 - $2^n - 1$ comparator
 - Precision Resistive Network
 - Encoder
- Resolution is limited
 - Large number of comparator in IC



Flash ADC

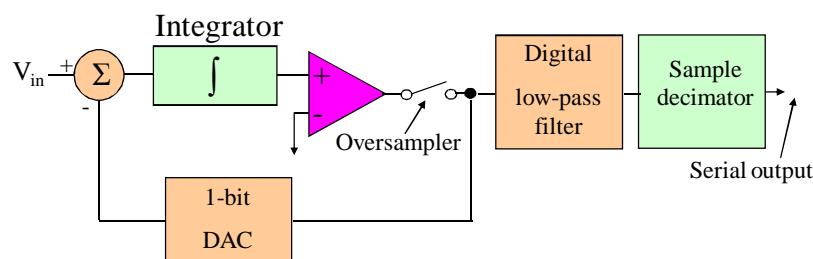
Advantages

- Very fast

Disadvantages

- Needs many parts (255 comparators for 8-bit ADC)
- Lower resolution
- Expensive
- Large power consumption

Sigma-Delta ADC



- Oversampled input signal goes in the integrator
- Output of integration is compared to GND
- Iterates to produce a serial bitstream
- Output is serial bit stream with # of 1's proportional to V_{in}

Sigma-Delta ADC

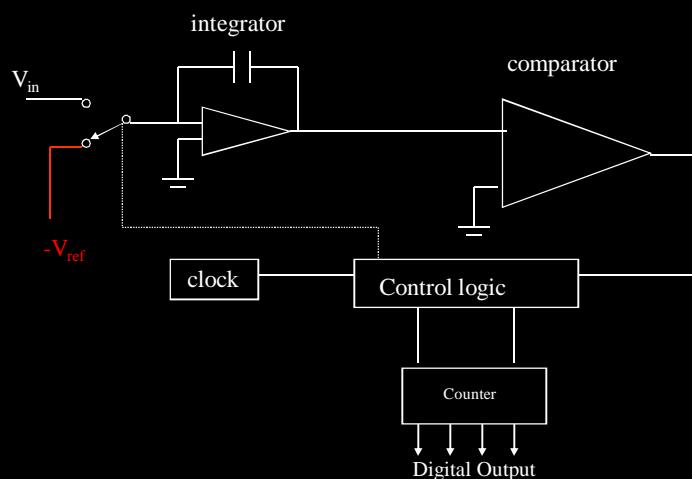
Advantages

- High resolution
- No precision external components needed

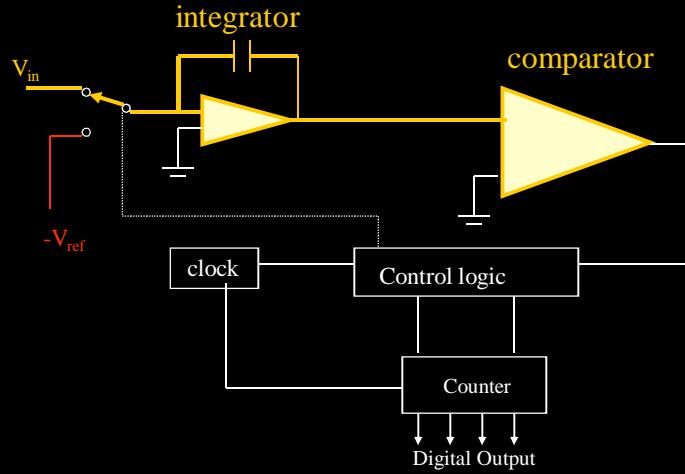
Disadvantages

- Slow due to oversampling

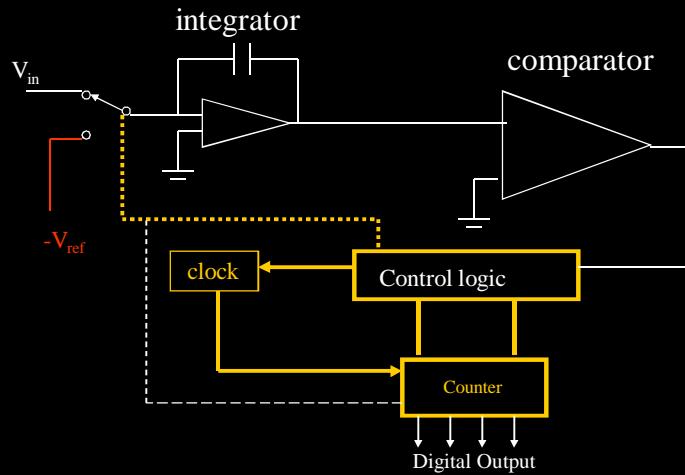
Integrating or Dual Slope A/D



When conversion is initialized, the switch is connected to V_{in} which is applied to the op amp integrator. The integrator output (>0) is applied to the comparator

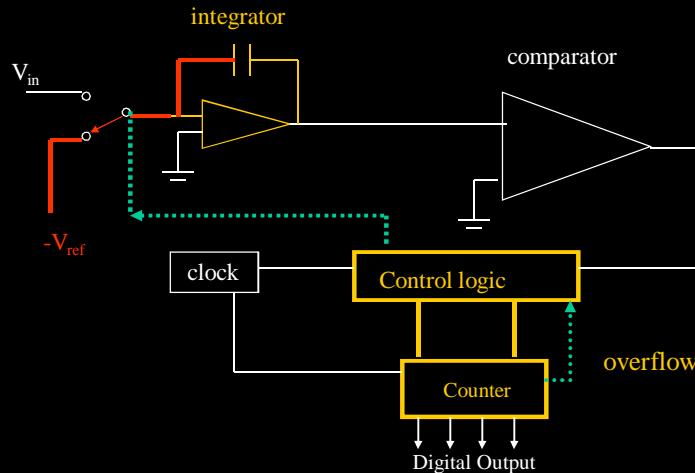


As conversion is initiated, the control logic enables the clock which then sends pulses to the counter until the counter fills (9999)



As the counter resets ($9999 \rightarrow 0000$), an overflow signal is sent to the control logic

this activates the input switch from V_{in} to $-V_{ref}$, applying a negative reference voltage to the integrator

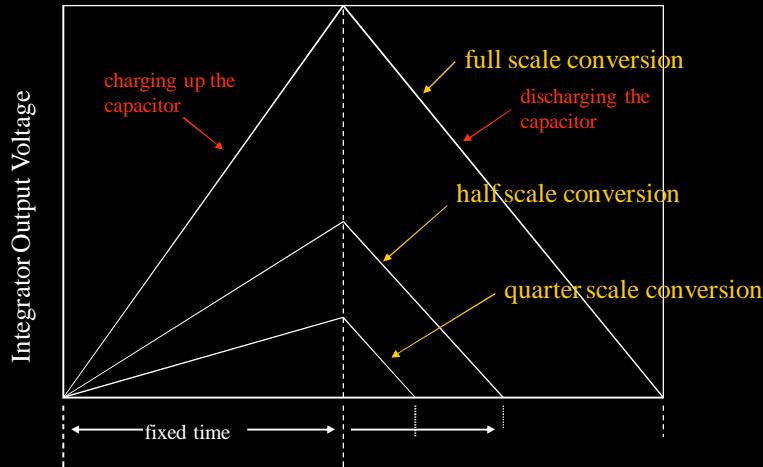


The negative reference voltage removes the charge stored in the integrator until the charge becomes zero.

At this point, the comparator switches states producing a signal that disables the clock and freezes the counter reading.

The total number of counts on the counter (determined by the time it took the fixed voltage V_{ref} to cancel V_{in}) is proportional to the input voltage, and thus is a measure of the unknown input voltage.

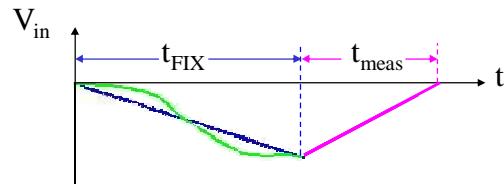
The operation of this A/D requires 2 voltage slopes, hence the common name DUAL-SLOPE.



Since this A/D integrates the input as part of the measuring process, any random noise present in the signal will tend to integrate to zero, resulting in a reduction in noise.

These type of A/D s are used in almost all digital meters. Such meters usually are not used to read rapidly changing values in the lab. Consequently the major disadvantage of such converters (very low speeds) is not a problem when the readout update rate is only a few times per second.

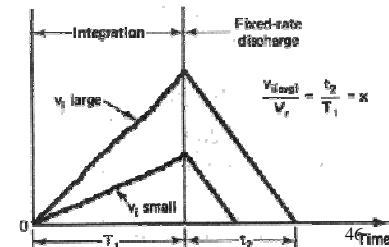
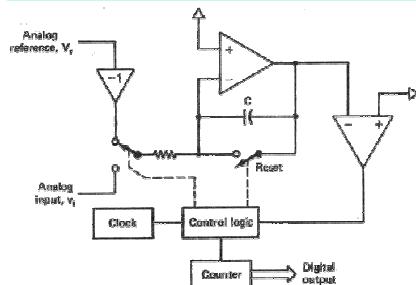
Dual Slope converter



- The sampled signal charges a capacitor for a fixed amount of time
- By integrating over time, noise integrates out of the conversion.
- Then the ADC discharges the capacitor at a fixed rate while a counter counts the ADC's output bits. A longer discharge time results in a higher count.

Dual Slope Integrating ADC

- Operation
 - Integrate $\int_0^{T_1} v_i dt$
 - Reset and integrate $\int_0^{T_2} V_r dt$
 - Thus $T_1 v_{i(AVG)} = T_2 V_r$
 - $\Rightarrow v_{i(AVG)} = V_r \frac{T_2}{T_1}$
- Applications
 - DPM(Digital Panel Meter), DMM(Digital Multimeter), ...
- Excellent Noise Rejection
 - High frequency noise cancelled out by integration
 - Proper T_1 eliminates line noise
 - Easy to obtain good resolution
- Low Speed
 - If $T_1 = 60\text{Hz}$, converter throughput rate < 30 samples/s



Dual Slope converter

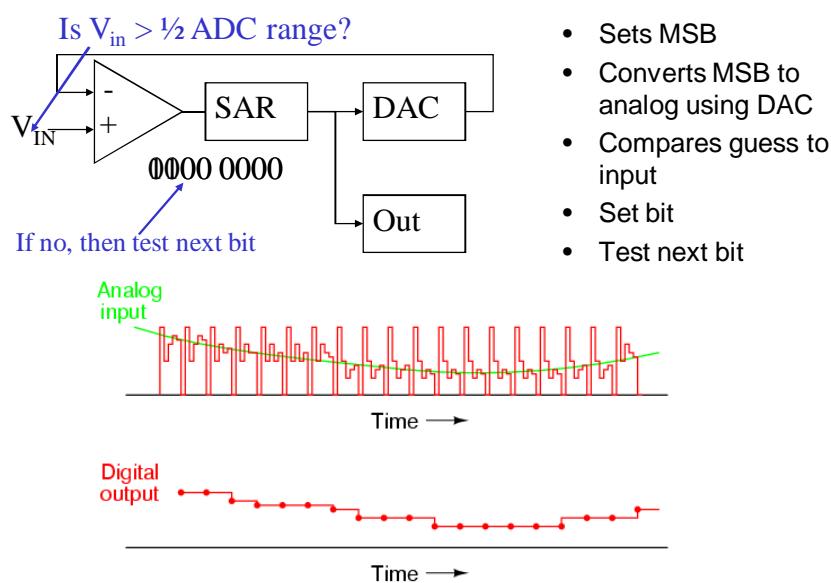
Advantages

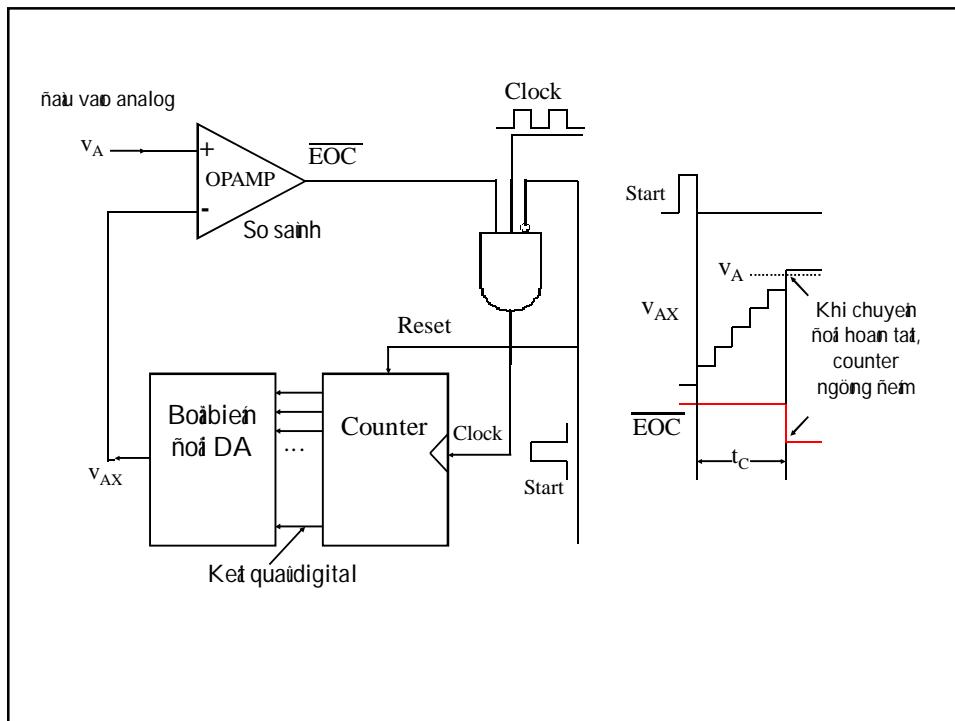
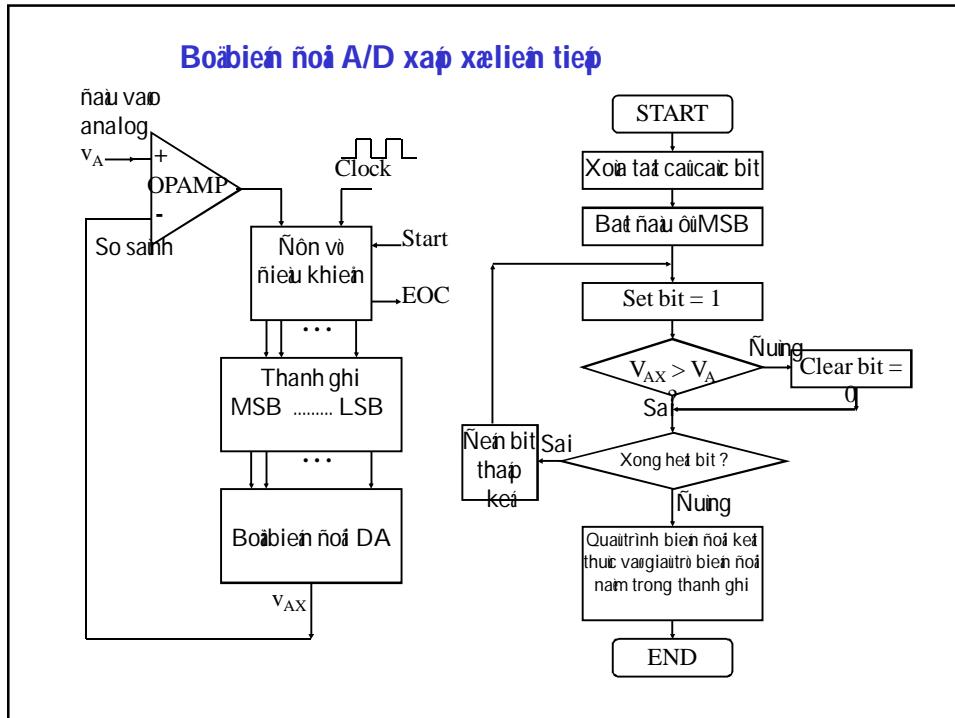
- Input signal is averaged
- Greater noise immunity than other ADC types
- High accuracy

Disadvantages

- Slow
- High precision external components required to achieve accuracy

Successive Approximation





• Boăbień nōi AD xap xælień tiep

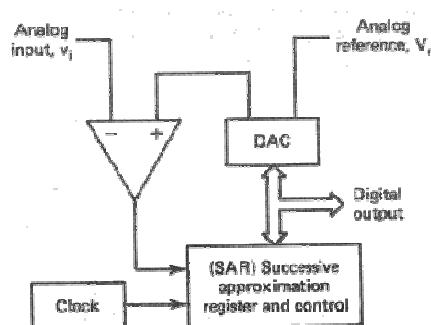
Nay la boăbień nōi dung rong rai nhât trong caic boăbień nōi AD. Nōi coi cau tao phoic tap hòn boăbień nōi AD theo ham doic nhöng tot nōi bień nōi nhanh hòn rat nhieu. Hòn nōi, thoi gian bień nōi la mot soacoi nönh khöng phui thuoc gian trö nien ap naiu va.

Sô nōi mach tööng töi nhö boăbień nōi AD theo ham doic nhöng khöng dung counter cung cap gian trö cho boăbień nōi DA ma dung mot thanh ghi. Nôn vò nleu khień söa nōi töng bit cuia thanh ghi nay cho nén khi coi gian trö analog xap xæ ap va theo mot nöaphan gian

Successive Approximation ADC

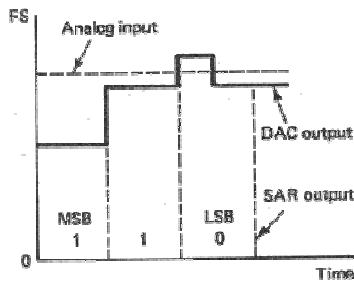
- Block Diagram

- Most Commonly used in medium to high speed Converters
- Based on approximating the input signal with binary code and then successively revising this approximation until best approximation is achieved
- SAR(Successive Approximation Register) holds the current binary value

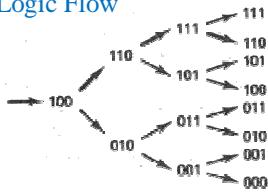


Successive Approximation ADC

- Circuit waveform



- Logic Flow



- Conversion Time
 - n clock for n-bit ADC
 - Fixed conversion time
- Serial Output is easily generated
 - Bit decision are made in serial order

53

Successive Approximation

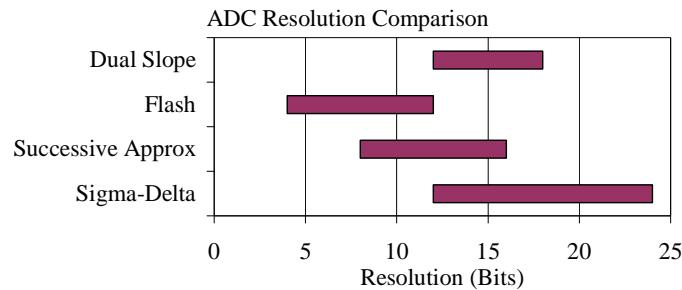
Advantages

- Capable of high speed
- Medium accuracy compared to other ADC types
- Good tradeoff between speed and cost

Disadvantages

- Higher resolution successive approximation ADCs will be slower
- Speed limited ~5Msps

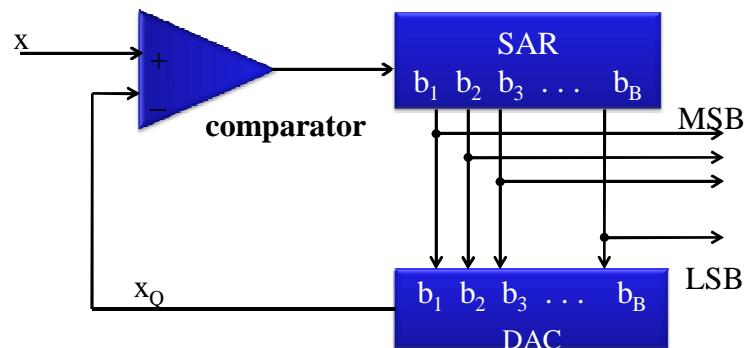
ADC Types Comparison



Type	Speed (relative)	Cost (relative)
Dual Slope	Slow	Med
Flash	Very Fast	High
Successive Appox	Medium – Fast	Low
Sigma-Delta	Slow	Low

4. Bộ chuyển đổi A/D

Bộ ADC sử dụng pp xấp xỉ liên tiếp:



4. Bộ chuyển đổi A/D

- Thuật toán áp dụng cho mã hóa nhị phân thông thường và offset (với bộ DAC tương ứng) và lượng tử theo kiểu rút ngắn.
- Để lượng tử hóa theo pp làm tròn: x được dịch lên $Q/2$ trước khi đưa vào bộ chuyển đổi.
- Đối với mã bù 2: bit MSB là bit dấu nên được xét riêng.
Nếu $x \geq 0$ thì MSB = 0.

4. Bộ chuyển đổi A/D

- Ví dụ: Lượng tử hóa $x = 3.5$ theo biểu diễn nhị phân offset, pp rút ngắn, $B = 4$ bit và $R = 10V$.

Test	$b_1 b_2 b_3 b_4$	x_Q	$C = u(x - x_Q)$
b_1	1000	0,000	1
b_2	1100	2,500	1
b_3	1110	3,750	0
b_4	1101	3,125	1
	1101	3,125	

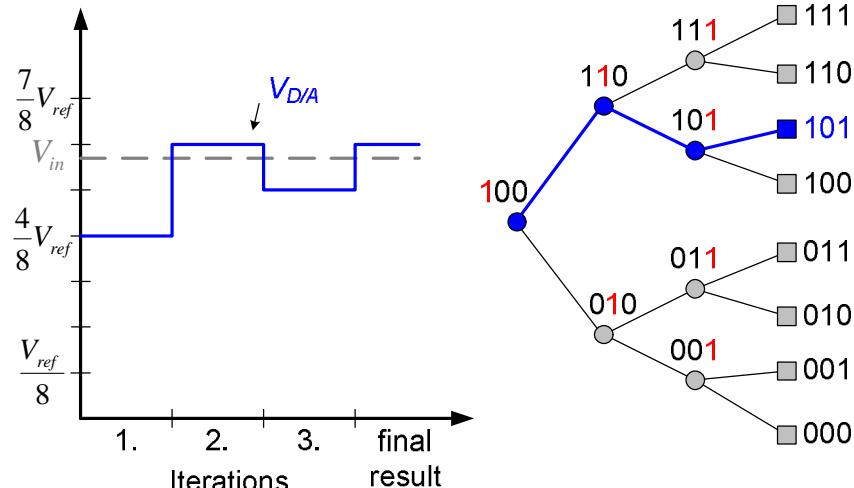
$\Rightarrow b = [1101]$

4. Bộ chuyển đổi A/D

- Ví dụ: Lượng tử hóa $x = 3.5$ theo biểu diễn nhị phân thông thường, pp rút ngắn, B = 4 bit và R = 10V.

Test	$b_1 b_2 b_3 b_4$	x_Q	$C = u(x - x_Q)$
b_1	1000	5,000	0
b_2	0100	2,500	1
b_3	0110	3,750	0
b_4	0101	3,125	1
	0101	3,125	

$\Rightarrow b = [0101]$



4. Bộ chuyên đổi A/D

- Ví dụ: Lượng tử hóa $x = 3.5$ theo biểu diễn nhị phân thông thường, pp làm tròn, $B = 4$ bit và $R = 10V$.

$$y = x + Q/2 = 3.5 + 0.3125 = 3.8125$$

Test	$b_1 b_2 b_3 b_4$	x_Q	$C = u(x - x_Q)$
b_1	1000	5,000	0
b_2	0100	2,500	1
b_3	0110	3,750	1
b_4	0111	4,375	0
	0110	3,750	

$$\Rightarrow b = [0110]$$

Ví dụ 1

- Bộ ADC 3 bits xấp xỉ liên tiếp, dạng lưỡng cực bù 2, tầm toàn thang $R = 16V$. Xác định giá trị lượng tử và biểu diễn 3 bits của $x = 2.9; 3.1; 3.7; 4; -2.9; -3.1; -3.7; -4$.

Giải với $x = -2.9$

- + $R = 16 V; B = 3$ bits/sample $\rightarrow Q = R/2^B = 2V$
- + Để lượng tử theo kiểu làm tròn về mức lượng tử gần nhất: $y = x + Q/2 = -2.9 + 1 = -1.9$
- + Biểu diễn dạng bù 2, $x < 0 \rightarrow b1 = 1$

$$x_Q = R(b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} - 0.5)$$

Ví dụ 1

Xáp xỉ liên tiếp:

Test	b1b2b3	xQ	C
b2	110	-4	1
b3	111	-2	1
	111	-2	

Kết quả: giá trị lượng tử $x_Q = -2$, biểu diễn bởi mã 111

Các câu còn lại giải tương tự.

Ví dụ 2

- Chọn bộ ADC thỏa yêu cầu:
 - Tầm toàn thang $R = 10V$
 - Sai số lượng tử hiệu dụng $e_{rms} < 1mV$
 Số bits/sample ? Sai số hiệu dụng thực sự ? Tầm động theo dB?

Giải

$$e_{rms} = \frac{Q}{\sqrt{12}} \leq e_{expected} \Rightarrow Q \leq e_{expected} \sqrt{12}$$

$$Q = \frac{R}{2^B} \Rightarrow B \geq \log_2 \left[\frac{R}{e_{expected} \sqrt{12}} \right] \Rightarrow B \geq 11.49$$

Chọn $B = 12$ bits/sample

Ví dụ 2

- Sai số hiệu dụng thực sự với B = 12 bits

$$e_{rms} = \frac{Q}{\sqrt{12}} = \frac{R/2^B}{\sqrt{12}} = 0.7 \text{ mV}$$

- Tầm động (dB)

$$\text{SNR(dB)} = 10\log_{10}(R/Q) = 10 \cdot B \cdot \log_{10}2 = 72 \text{ dB}$$

Ví dụ 3

Để ghi 1 phút stereo với chất lượng CD cần 10MB đĩa cứng. Giải thích?

Giải

Chất lượng CD: $f_s = 44 \text{ kHz} = 44000 \text{ mẫu/s}$, 16 bits/mẫu

Stereo = 2 channels

⇒ Dung lượng cần:

$$44000 \text{ mẫu/s} * 16 \text{ bits/mẫu} * 60 \text{ s/phút} * 2 \text{ channels}$$

Tính ra được dung lượng (theo bits) → đổi ra MB

Lưu ý: 1MB = 2^{10} KB = 2^{20} Bytes

1 Byte = 8 bits

Ví dụ 4

- Hệ thống hòa âm số có 16 kênh, $f_s = 48\text{kHz}$, 20 bits/mẫu. Tính dung lượng đĩa cứng để lưu 1 ca khúc dài 3 phút, ghi âm 16 kênh.

Giải

Tương tự bài 2.4

Dung lượng:

$$48000 \text{ mẫu/s} * 20 \text{ bits/mẫu} * 60 \text{ s/phút} * 3 \text{ phút} * 16 \text{ kênh}$$

Ví dụ 5

- Xác định tỉ lệ lấy mẫu dư L để có độ phân giải 16 bits dùng bộ lượng tử 1 bit, ứng với bộ lượng tử định dạng nhiều bậc 1, 2, 3. Tìm tốc độ lấy mẫu dư tương ứng.

Hướng dẫn

Xét trường hợp bộ lượng tử định dạng nhiều bậc 1

Sử dụng công thức (2.21):

$$\Delta B = 16 - 1 = 15 \text{ bits}$$

$$p = 1 \text{ (bậc 1)}$$

$$\text{Giải ra } L \text{ (nguyên)} \Rightarrow \text{Tốc độ lấy mẫu dư: } f_s' = L * f_s$$