

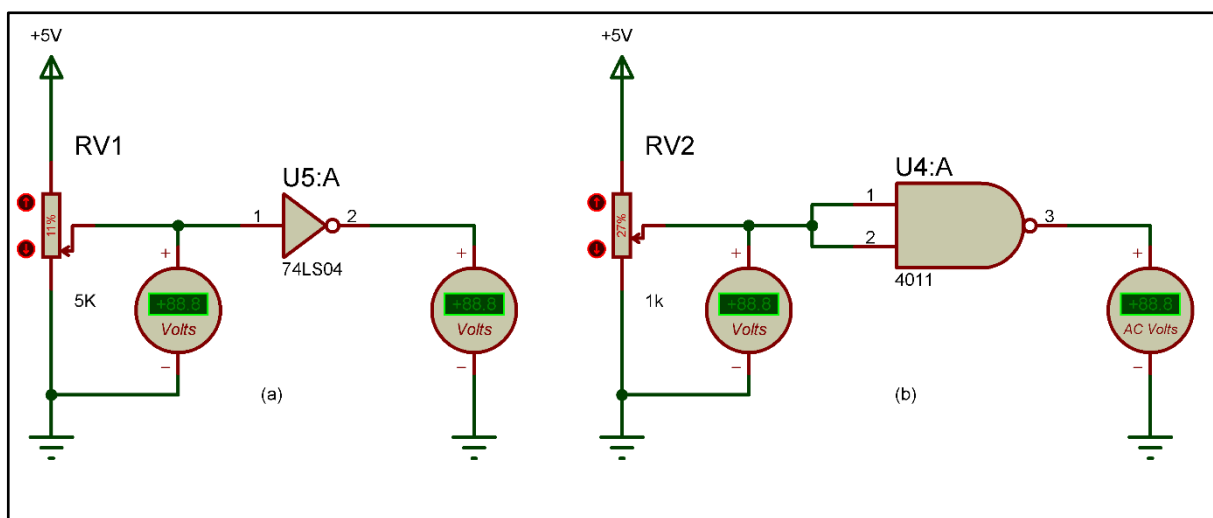
BÀI 3: KHẢO SÁT CÔNG LOGIC & FLIP-FLOP

- Đặc tính của các vi mạch TTL và CMOS.
- Hoạt động của Flip-Flop.

Bài làm

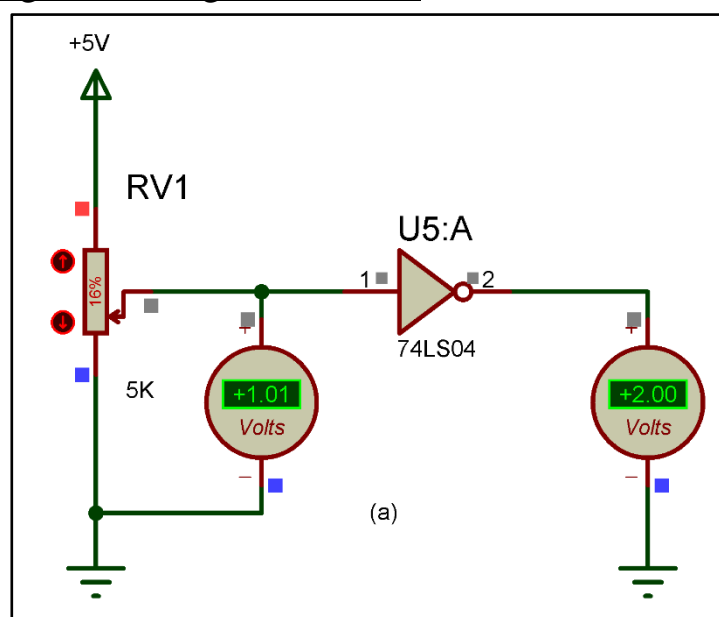
1. Đặc tính của các vi mạch TTL và CMOS.

A. Vẽ đặc tuyến truyền đạt $V_o = f(V_i)$:



Hình 4.3 Sơ đồ mạch điện khảo sát cổng NOT

(a) Khảo sát cổng NOT dùng IC 74LS04:



THỰC HÀNH MẠCH ĐIỆN TỬ & KỸ THUẬT SỐ

Báo cáo thực hành – Tuần số 4

Phan Thanh Tùng

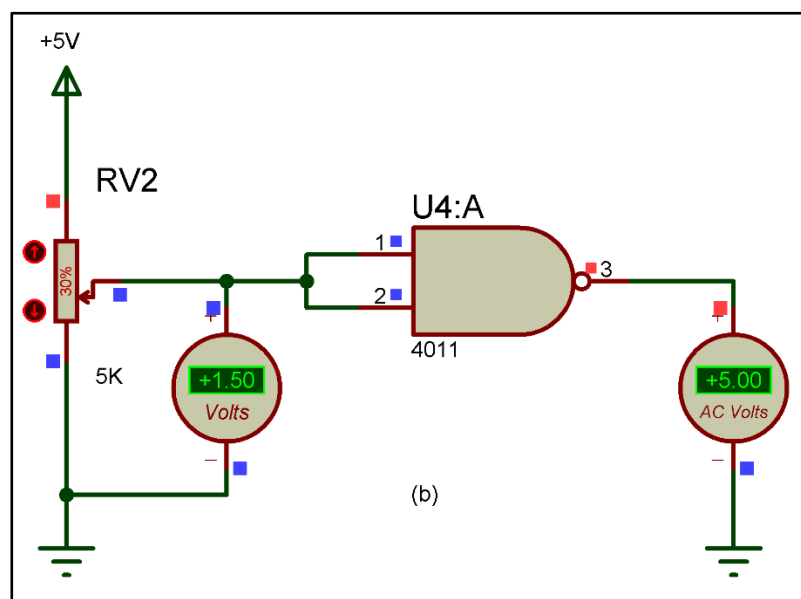
1613240 – 16VLTH

Ta được kết quả khảo sát khi thay đổi biến trở VR như bảng sau:

Bảng 4.1 Kết quả khảo sát đặc tuyến truyền cổng NOT dùng IC 74LS04

V_i (V)	0	0,25	0,5	0,75	1	1,25	1,5	1,75	2	2,25	2,5	2,75	3	3,25
V_o (V)	5	5	5	5	2	2	2	2	2	2	2	0	0	0
V_i (V)	3,5	3,75	4	4,25	4,5	4,75	5							
V_o (V)	0	0	0	0	0	0	0							

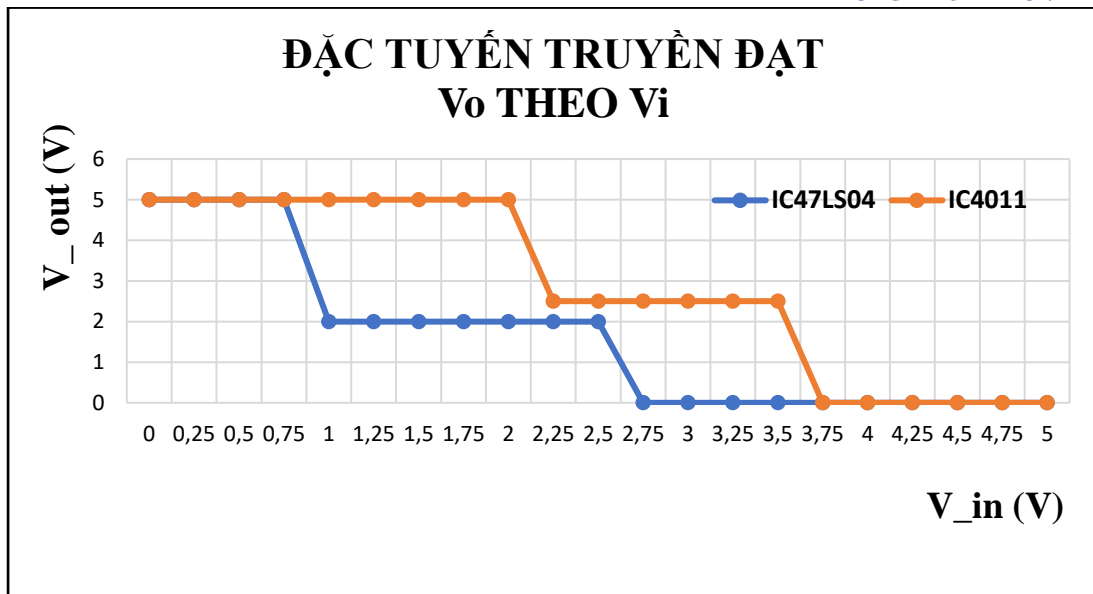
(b) Khảo sát cổng NOT dùng IC 4011:



Ta được kết quả khảo sát khi thay đổi biến trở VR như bảng sau:

Bảng 4.2 Kết quả khảo sát đặc tuyến truyền cổng NOT dùng IC 4011

V_i (V)	0	0,25	0,5	0,75	1	1,25	1,5	1,75	2	2,25	2,5	2,75	3	3,25
V_o (V)	5	5	5	5	5	5	5	5	5	2,5	2,5	2,5	2,5	2,5
V_i (V)	3,5	3,75	4	4,25	4,5	4,75	5							
V_o (V)	2,5	0	0	0	0	0	0							



Nhận xét về tầm điện áp mức logic 0, mức logic 1 và vùng cấm trên đặc tuyến của hai loại cổng TTL (74LS04), CMOS (4011):

Tầm điện áp mức logic 0 (0 – 0,8V) của IC47LS04 với V_{in} *từ 2,5V trở lên*, còn của IC4011 vào khoảng *từ 3,5V trở lên*.

Tầm điện áp mức logic 1 (2 – 5V trở lên) của IC47LS04 với V_{in} *từ 0 – 2,5V*, còn của IC4011 vào khoảng *từ 0 – 3,5V*.

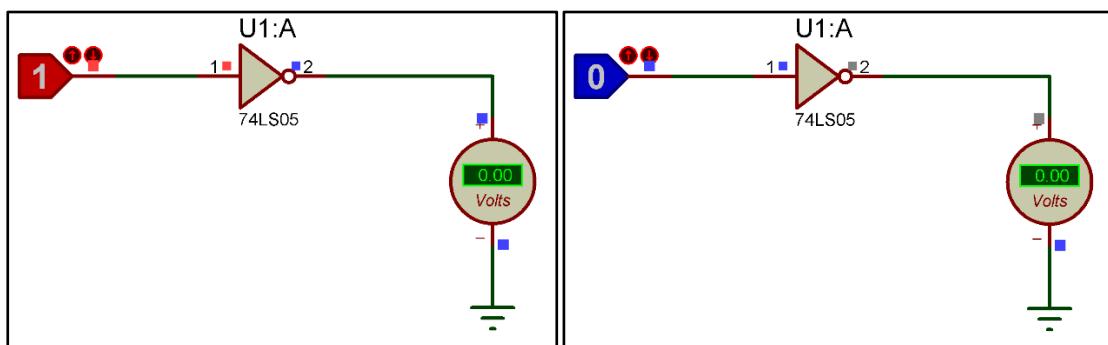
Vùng cấm của IC47LS04 với V_i khoảng *từ 2,5V – 2,75V*, còn của IC4011 vào khoảng *từ 3,5 – 3,75V*.

B. Ngõ ra cực thu hở, ngõ ra ba trạng thái:

(a) Ngõ ra cực thu hở:

Dùng 1/6 74LS05 khảo sát, thay đổi ngõ vào và quan sát khi:

a1/ Chưa mắc thêm R_P và nguồn ở ngõ ra:



THỰC HÀNH MẠCH ĐIỆN TỬ & KỸ THUẬT SỐ

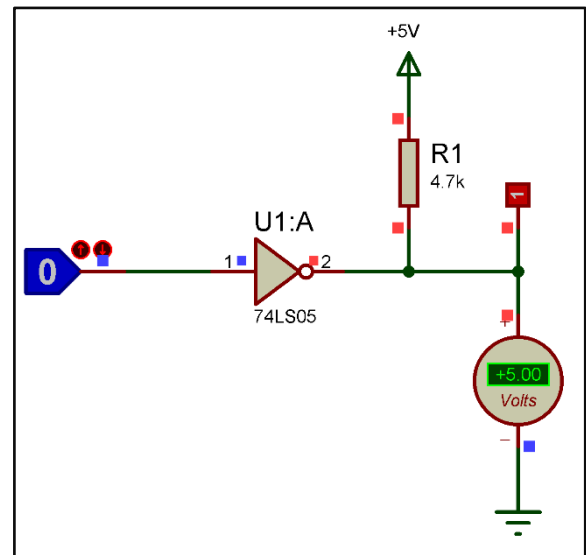
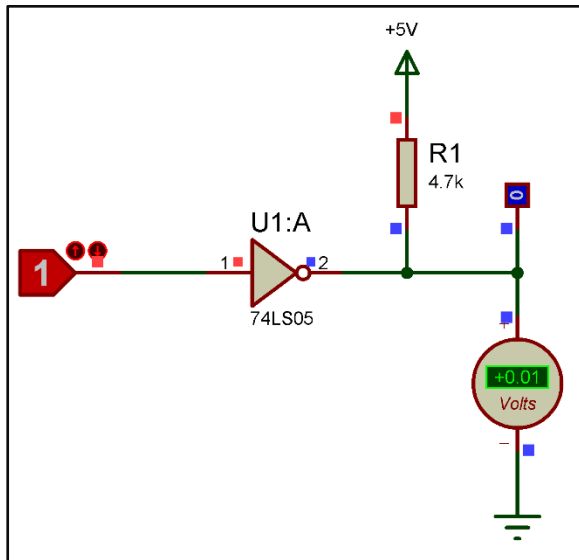
Báo cáo thực hành – Tuần số 4

Phan Thanh Tùng

1613240 – 16VLTH

- **Kết luận:** Ta quan sát kết quả thực hiện trên proteus, thấy được khi đầu vào cho mức logic 1, qua IC 74LS05, tín hiệu đầu ra đảo là 0 và chưa đo được điện thế. Còn khi đảo đầu vào với mức logic 0 thì đầu ra hiện tại không nhận dạng được mức logic khi đó và đồng hồ vẫn cho giá trị 0.

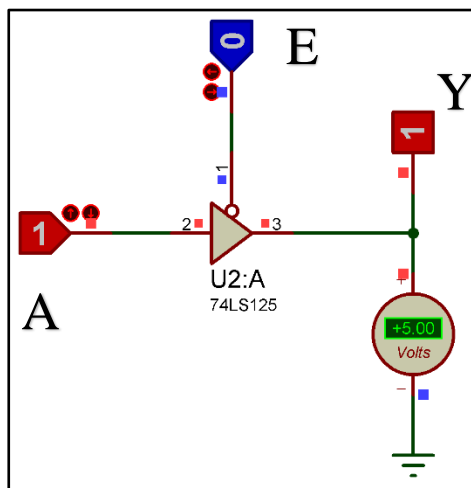
a2/ Mặc thêm $R_P = 4,7k\Omega$ và nguồn 5V ở ngõ ra:



- **Kết luận:** Ta quan sát kết quả thực hiện trên proteus, thấy được khi đầu vào cho mức logic 1, qua IC 74LS05, tín hiệu đầu ra đảo là 0 và lúc này, vì đã được mắc thêm R_P và nguồn 5V, nên đồng hồ đo chỉ 0.01V, ứng với mức logic 1. Tương tự, khi chuyển trạng thái đầu vào về mức logic 0, cổng IC đảo mức logic ở đầu ra thành 1, và giá chỉ trên đồng hồ đo lúc này là 5V, ứng với mức logic 1.

(b) Ngõ ra ba trạng thái:

Dùng 1/4 74LS125 kiểm tra trạng thái và nhận xét:



Bảng trạng thái ngõ ra Y

E	A	Y	V_o (V)
0	0	0	0
	1	1	5
1	0	1	2,5
	1	1	2,5

Hình 4.4 Ngõ ra ba trạng thái

THỰC HÀNH MẠCH ĐIỆN TỬ & KỸ THUẬT SỐ

Báo cáo thực hành – Tuần số 4

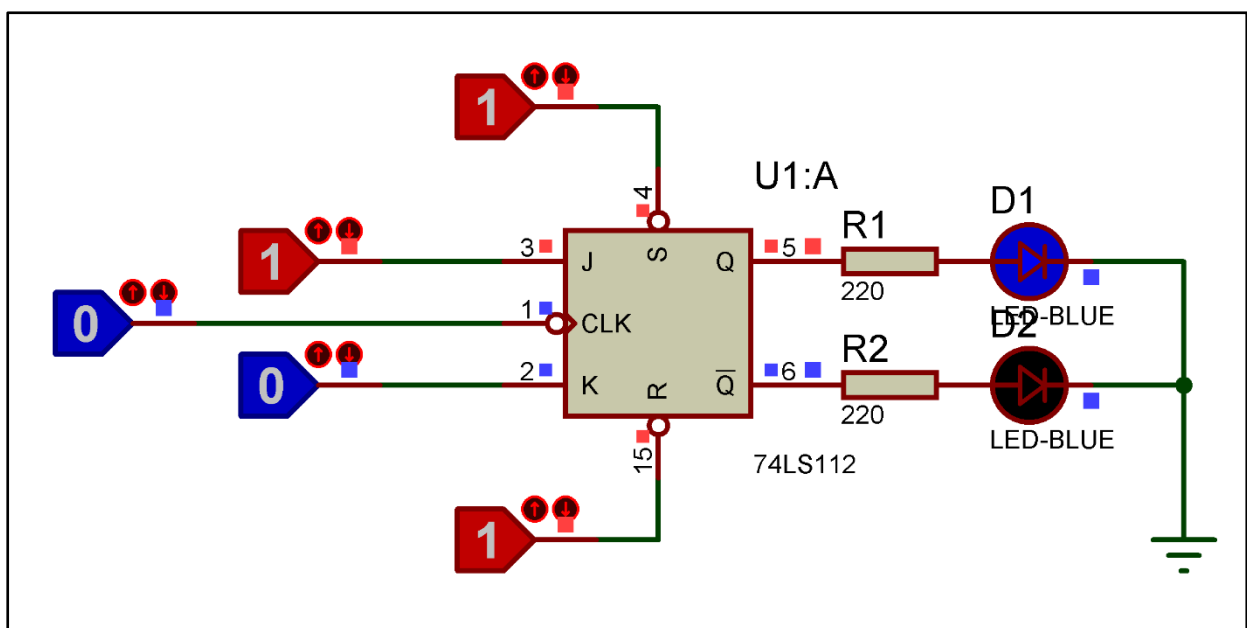
Phan Thanh Tùng
1613240 – 16VLTH

Kết luận: Với IC 74LS125, ta thấy nếu ngõ E đặt ở mức logic 0 thì ngõ ra Y thay đổi theo ngõ vào A (cùng trạng thái ngõ vào). Nếu đặt E ở mức logic 1 thì ngõ ra Y luôn là 1 (bất chấp ngõ vào) với mức điện thế ra bằng 2,5V.

2. Hoạt động Flip-Flop:

A. JK-FF (IC 74LS112):

a1/ Kiểm tra lại bảng hoạt động JK-FF và hai chức năng ngõ PRE, CLR.



Bảng hoạt động JK-FF

Trạng thái	PRE	CLR	J	K	CLK	Q	\bar{Q}
1	0	0	X	X	X	Cắm	
2	0	1	X	X	X	1	0
3	1	0	X	X	X	0	1
4	1	1	0	0	↓	0	1
5	1	1	0	1	↓	0	1
6	1	1	1	0	↓	1	0
7	1	1	1	1	↓	\bar{Q} (đảo trạng thái)	

Kết luận: Flip-Flop JK hoạt động ở xung cạnh dưới, khi khảo sát, thay đổi các trạng thái ở J và K, ta phải thay đổi xung CLK bằng cách tạo một xung cạnh xuống để

THỰC HÀNH MẠCH ĐIỆN TỬ & KỸ THUẬT SỐ

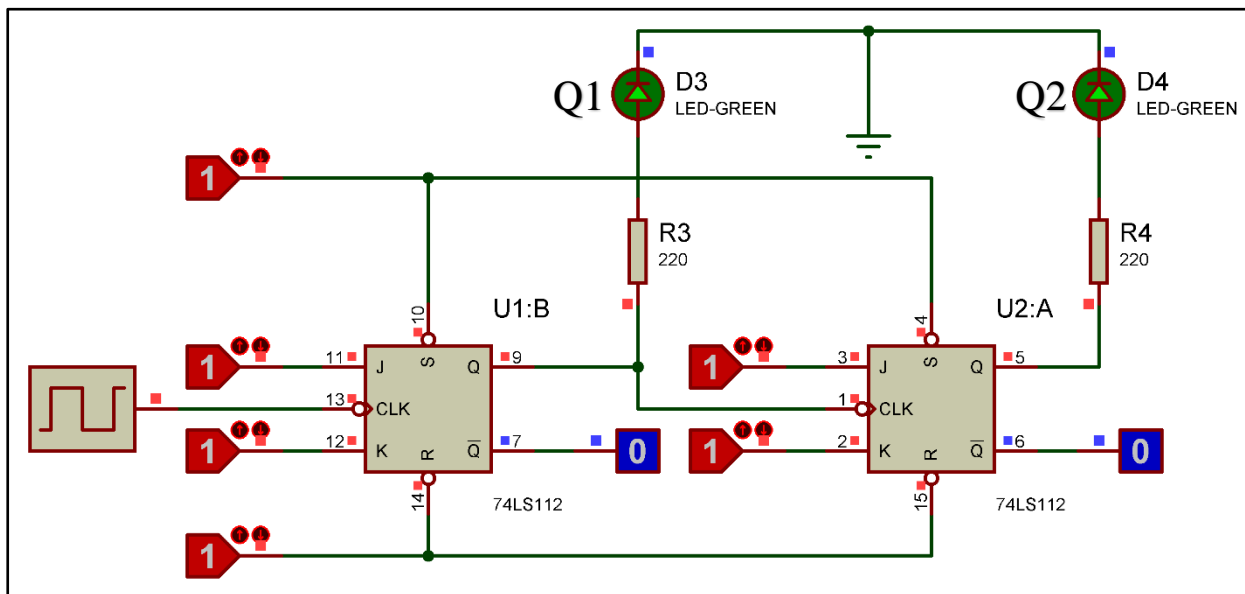
Báo cáo thực hành – Tuần số 4

Phan Thanh Tùng

1613240 – 16VLTH

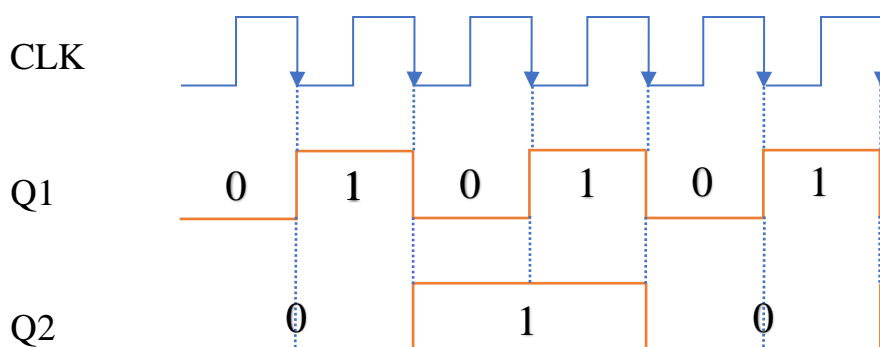
quan sát được sự thay đổi của đầu ra. Kết quả khảo sát thu được như bảng hoạt động trên.

a2/ Mắc mạch thanh ghi JK-FF, quan sát Q_1 Q_2 bằng LED và vẽ giản đồ dạng sóng theo CK.



Hình 4.6 Sơ đồ mạch thanh ghi dùng JK-FF

Quan sát hoạt động mạch thanh ghi dùng Flip-Flop JK trên proteus, ta vẽ được giản đồ xung của mạch như sau:



Nhận xét: Mạch thanh ghi dùng 2 Flip-Flop JK thay đổi tín hiệu tuần tự khiến 2 đèn led gắn vào đầu Q_1 và Q_2 tắt sáng tuần tự (00 – 10 – 01 – 11) với chu kỳ sáng tắt đúng bằng chu kỳ xung CLK.

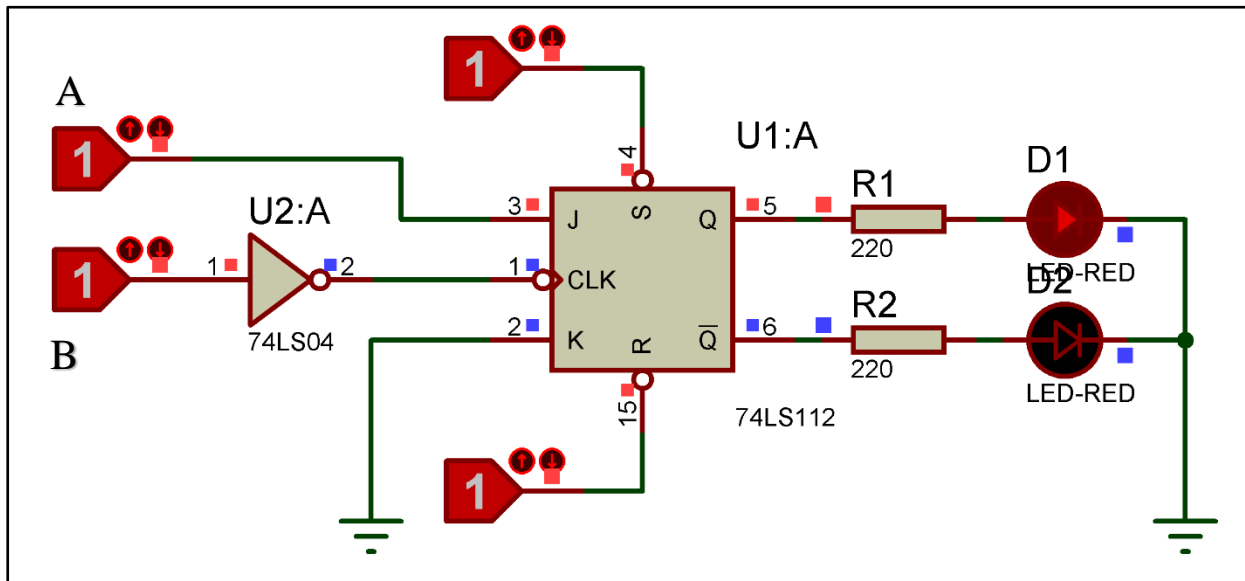
THỰC HÀNH MẠCH ĐIỆN TỬ & KỸ THUẬT SỐ

Báo cáo thực hành – Tuần số 4

Phan Thanh Tùng

1613240 – 16VLTH

a3/ Mắc mạch phát hiện dữ liệu tuần tự:



Hình 4.7 Mạch phát hiện dữ liệu tuần tự

Bảng hoạt động mạch phát hiện dữ liệu tuần tự

PRE	CLR	A	B	Q	\bar{Q}
0	1	X	X	1	0
1	0	X	X	0	1
1	1	1 (bật trước)	↑	1	0
1	1	1 (bật sau)	↑	0	1

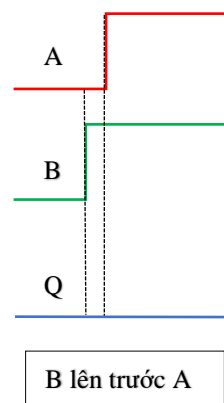
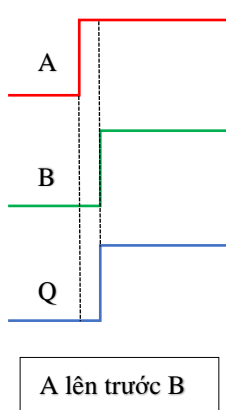
Nhận xét: Đầu tiên, ta đặt mức logic ở 2 đầu vào là 0.

+ Khi bật ở A một tín hiệu logic 1 trước, rồi mới bật ở B: Tín hiệu đầu ra Q xuất hiện là 1.

+ Khi bật ở B một tín hiệu logic 1 trước, rồi mới bật ở A: Tín hiệu đầu ra Q xuất hiện là 0.

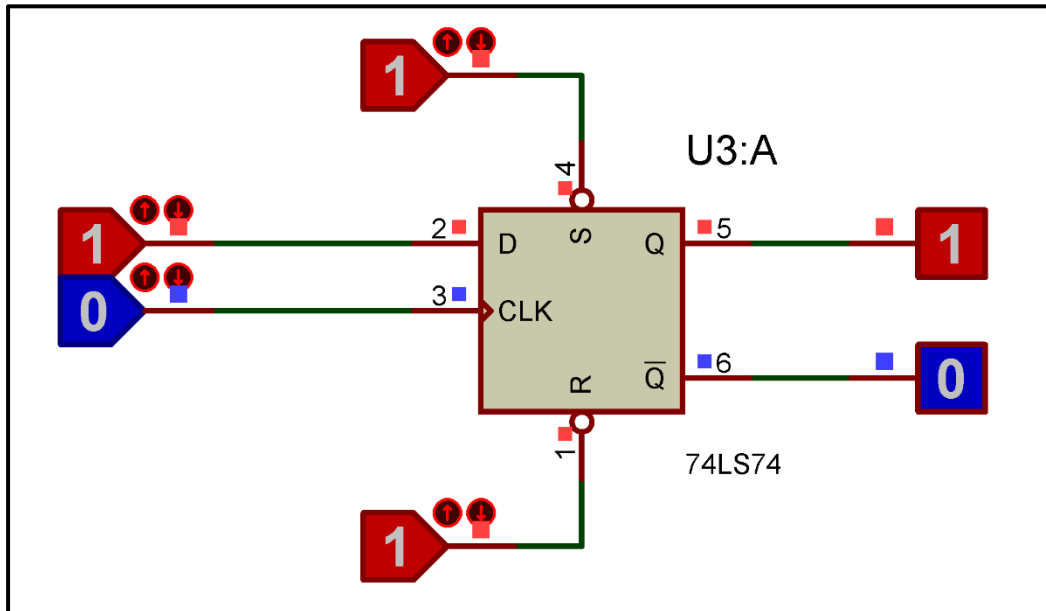
Ứng dụng mạch: Phát hiện được tín hiệu nào xảy ra trước, tín hiệu nào xảy ra sau.

Giải đồ xung của mạch:



B. D-FF (IC 74LS74):

b1/ Kiểm chứng lại hoạt động của D-FF:



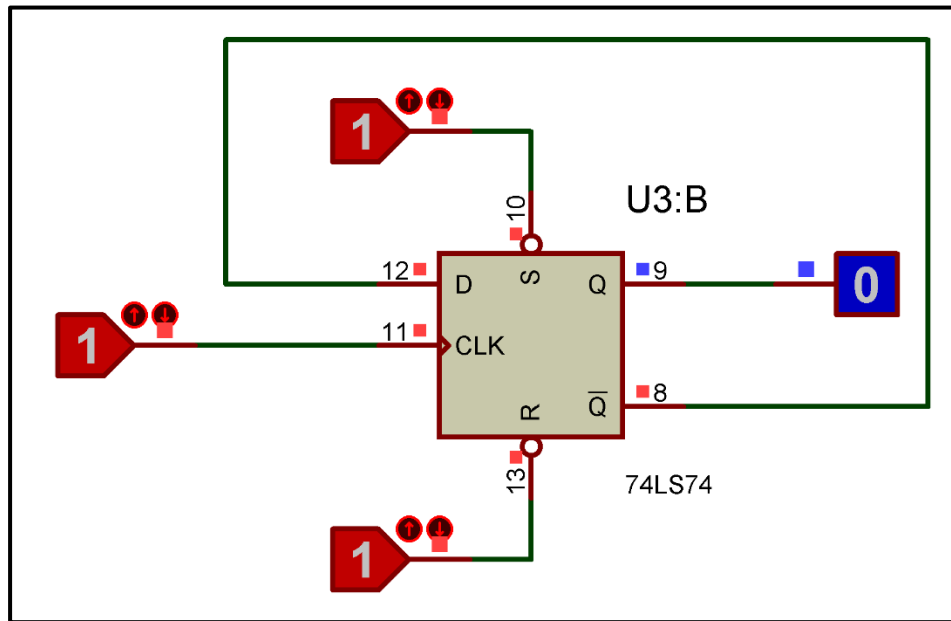
Hình 4.8a Khảo sát D-FF dùng IC 74LS74

Bảng hoạt động D-FF

PRE	CLR	D	CLK	Q
0	1	X	X	1
1	0	X	X	0
1	1	1	↑	1
1	1	0	↑	0

Kết luận: Flip-Flop D dùng IC 74LS74 hoạt động ở xung cạnh lên của CLK, khi có xung cạnh lên của CLK thì đầu ra thay đổi theo đúng đầu vào D. Khi ngõ PRE đặt ở mức logic 1, CLR đặt ở mức 0 thì đầu ra luôn ở mức 1 bất chấp xung CLK và ngõ vào D. Ngược lại, khi ngõ CLR đặt ở mức logic 1, PRE đặt ở mức logic 0 thì Q luôn là 0 bất chấp xung CLK và đầu vào D.

b2/ Mắc mạch Flip-Flop D có sử dụng hồi tiếp:



Hình 4.8b Khảo sát D-FF dùng IC 74LS74 có hồi tiếp

Bảng hoạt động D-FF có hồi tiếp

PRE	CLR	D	CLK	Q
0	1	X	X	1
1	0	X	X	0
1	1	$\overline{Q_0}$	\uparrow	$\overline{Q_0}$ (đảo trạng thái)

Kết luận: Flip-Flop D dùng IC 74LS74 dùng hồi tiếp từ ngõ ra \overline{Q} về D khi ngõ PRE và CLK đặt ở 1 thì khi thay đổi xung CLK ở xung cạnh lên, ngõ ra đảo trạng thái. Khi PRE ở mức logic 1 và CLR ở mức logic 0 thì ngõ ra là 0, ngược lại nếu PRE ở mức logic 0 và CLR ở mức logic 1 thì ngõ ra là 1.

Giản đồ xung Flip-Flop D sử dụng IC 74LS74 có hồi tiếp:

