



國立臺北科技大學

數位多媒體晶片設計課程

LAB 3



課堂教授：范育成 博士

一. 實驗名稱

DFT 實驗

二. 實驗目的

DFT 全名為 Design For Test，為了使大量生產出來之電路能被進行測試以確保良率而在設計階段加入硬體測試電路，於正反器前面加上多工器使輸入可以切換正常運作模式或掃描模式，並透過 ATPG 工具自動產生測試訊號並加以驗證。

三. 實驗過程

使用 Synopsys 公司之 Design Compiler 工具，於合成後的階段加入硬體測試電路，並測試合成後功能是否正常，及使用同樣為 Synopsys 公司之 Tetramax 工具之 ATPG 功能自動掃描並產生測試用 pattern 以利後續測試。

四. 模擬結果相關 Report(附圖)

```
ATPG performed for stuck fault model using internal pattern source.
-----
#patterns      #faults      #ATPG faults  test      process
stored      detect/active  red/au/abort  coverage  CPU time
-----
Begin deterministic ATPG: #uncollapsed_faults=3119, abort_limit=10...
0              1761    1354          2/0/0      62.94%      0.01
0              518     833          4/0/1      77.18%      0.01
0              269     550          11/4/2     84.78%      0.01
0              131     395          26/10/4    88.77%      0.02
0              111     259          40/17/7    92.29%      0.02
0              81      157          52/24/11   94.91%      0.02
0              47      62           89/32/19   97.30%      0.02
0              26      32           90/35/19   98.06%      0.03

Pattern Summary Report
-----
#internal patterns      0
-----

Uncollapsed Stuck Fault Summary Report
-----
fault class      code      #faults
-----
Detected          DT          3483
Possibly detected PT           0
Undetectable      UD          106
ATPG untestable   AU           37
Not detected       ND           32
-----
total faults      3658
test coverage      98.06%
-----
Information: The test coverage above may be inferior
              than the real test coverage with customized
              protocol and test simulation library.
```

圖 4-1、Test Coverage Report

```
=====
TEST MODE: Internal_scan
VIEW      : Existing DFT
=====

=====
AS SPECIFIED BY USER
=====

=====
AS BUILT BY insert_dft
=====

Scan_path  Len  ScanDataIn  ScanDataOut  ScanEnable  MasterClock  SlaveClock
-----
I chain1   76   SCAN_IN    SCAN_OUT     SCAN_EN      clk          -
```

圖 4-2、Scan Chain Report

```
60      oem_addr_reg[1]
61      oem_addr_reg[2]
62      oem_addr_reg[3]
63      oem_addr_reg[4]
64      oem_dataout_reg[0]
65      oem_dataout_reg[1]
66      oem_dataout_reg[2]
67      oem_dataout_reg[3]
68      oem_dataout_reg[4]
69      oem_dataout_reg[5]
70      oem_dataout_reg[6]
71      oem_dataout_reg[7]
72      oem_finish_reg
73      row_reg[0]
74      so_data_reg
75      so_valid_reg
```

1

圖 4-3 、 Scan cell Report

```
TEST-T> report_summaries
          Uncollapsed Stuck Fault Summary Report
-----
fault class          code    #faults
-----
Detected              DT      3483
  detected_by_simulation DS    (2944)
  detected_by_implication DI    (539)
Possibly detected     PT        0
Undetectable          UD      106
  undetectable-redundant UR    (106)
ATPG untestable      AU       37
  atpg_untestable-not_detected AN  (37)
Not detected          ND       32
  not-observed        NO    (32)
-----
total faults                      3658
test coverage                  98.06%
fault coverage                  95.22%
-----

          Pattern Summary Report
-----
#internal patterns                      125
  #basic_scan patterns                  125
-----

TEST-T>
```

圖 4-5 、 Tetramax Summaries Report

1. What was the test coverage reported

A: 98.06%.

2. How many scan chains did you get?

A: 1 scan chain.

3. How many flip-flops are in each chain?

A: 75 flip-flops.

4. How many patterns needed?

A: 125 patterns.

5. What is the total fault count?

A: 3658 faults.

6. What is the test coverage?

A: 98.06%

7. What is the fault coverage?

A: 95.22%

五. 心得

本次實驗內容為 DFT，DFT 在一般學術或個人簡易電路中較為少用，主要用於生產時為了確保良率以及大量測試積體電路而犧牲部份的硬體電路面積，加上測試電路區塊，且使用 Tetramax 工具生產測試用的 pattern 以減少人為產生造成的誤差，或是自己測試自己永遠沒辦法測試出問題的情況。先前有去 TSRI 上過課，但是這塊部分都非常少去講，可能是因為課程主題或是內容過多的關係，但是實際上去找工作或是搜尋相關的內容就能發現，其實這一塊在公司生產流程內是十分重要的一塊，但是在學術界卻很少被提起或是專有課程講解，十分的可惜。經過這次的實驗，了解了 DFT 一般在實作上具體的部分，以及其在積體電路生產流程中之重要性，本次實驗過程中並沒有發生什麼問題，照著教授提供之教學簡報順著做即完成。