



國立臺北科技大學

數位多媒體晶片設計課程

LAB 4



課堂教授：范育成 博士

一. 實驗名稱

APR 實驗

二. 實驗目的

Cell-base 的 Layout 與 Full-custom 不同，使用 APR(Automatic Placement and Routing)工具進行自動擺放及自動繞線，可以大幅度的降低研發時間及提升電路的電晶體數量，且製程更新時不需要更改原始的 RTL 程式碼，重新進行一次合成及 APR 即可使用更新的製程，在產品研發及更迭可以更有效率。

三. 實驗過程

使用教授提供之 CONV 電路，以 Cadence 公司之 Innovus 軟體進行 APR 作業。先將電路檔及製程參數設定好以後，依序進行 Floorplan、Powerplan、Placement、CTS(Clock Tree Synthesis)、Routing 作業，最終將布局完成的檔案輸出並以 Calibre 工具進行 DRC(Design Rule Checking)及 LVS(Layout Versus Schematic)驗證，以確保電路布局並沒有設計問題或是連線問題。

四. 結果相關 Report(附圖)

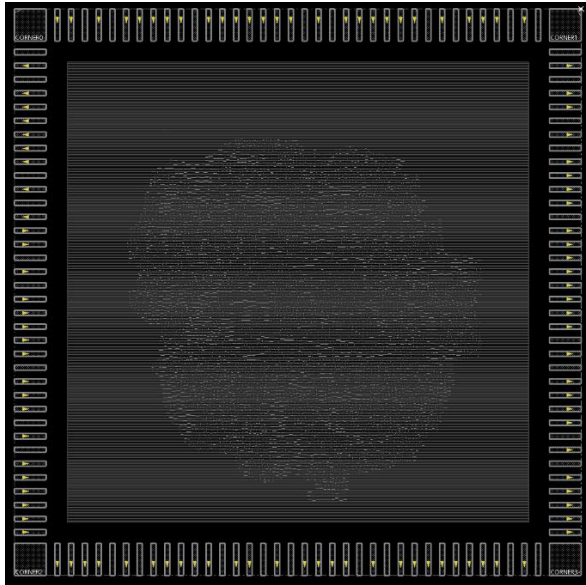


圖 1、Floorplan 截圖

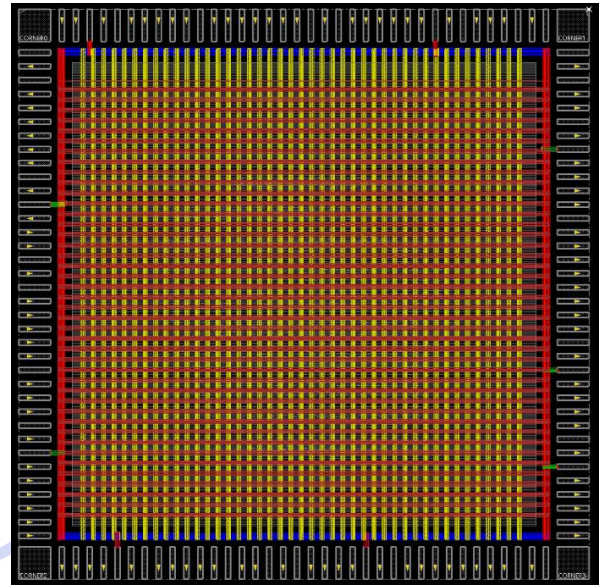


圖 2、Powerplan 截圖

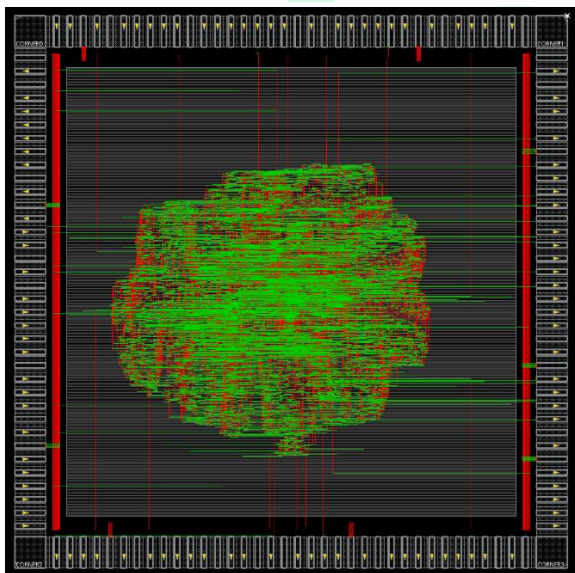


圖 3、CTS 截圖

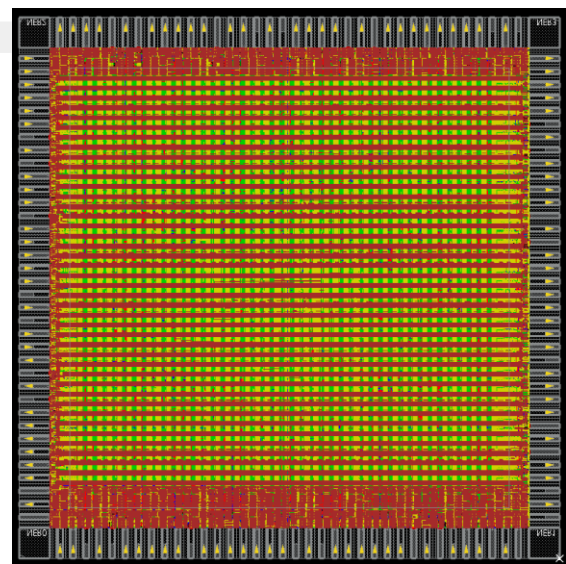


圖 4、Bonding Pad 截圖

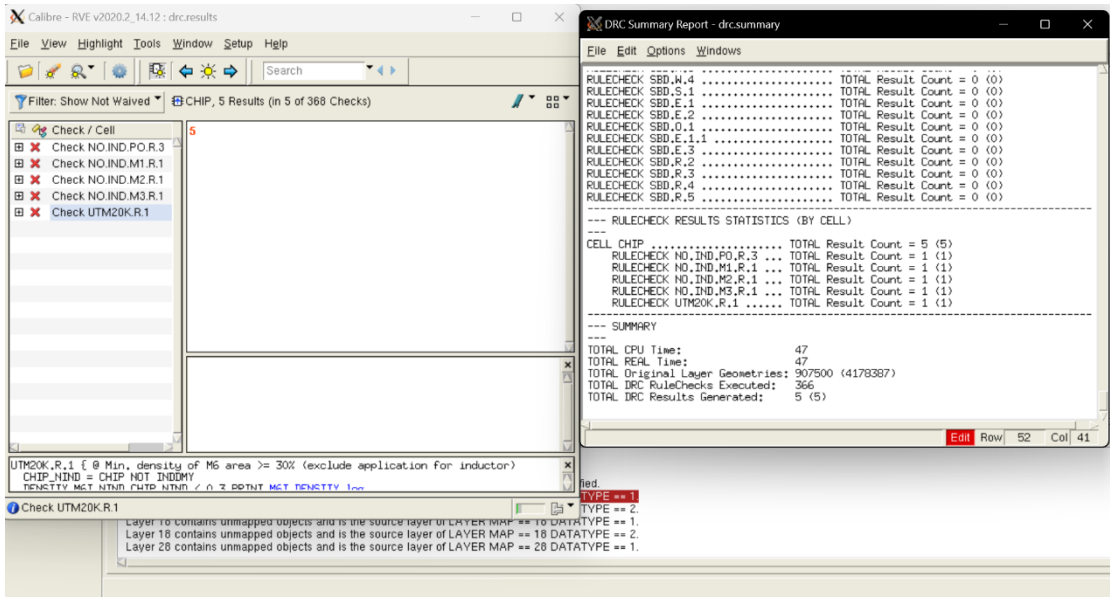


圖 5、DRC 輸出結果

```
#####
##                                ##
##          C A L I B R E      S Y S T E M          ##
##                                ##
##          L V S   R E P O R T          ##
##                                ##
#####

REPORT FILE NAME:      lvs.rep
LAYOUT NAME:          layout.spi ('CHIP')
SOURCE NAME:          source.spi ('CHIP')
RULE FILE:            Calibre.lvs
HCELL FILE:           (-automatch)
CREATION TIME:        Wed May  8 22:24:30 2024
CURRENT DIRECTORY:    /home/mmm53/APR_HW/LVS
USER NAME:            mmm53
CALIBRE VERSION:      v2020.2_14.12   Thu Apr 2 15:39:27 PDT 2020

                                OVERALL COMPARISON RESULTS

                                #####
                                #                                #
                                #                                #
                                #          CORRECT          #
                                #                                #
                                #                                #
                                #####

*****
| CELL SUMMARY
*****

Result      Layout      Source
-----
CORRECT     CHIP        CHIP
```

圖 6、LVS 驗證輸出結果

Q1: How many scan chain on your design?

A1: 1 Scan Chain.

```
innovus 2> scantrace
*** Scan Trace Summary (runtime: cpu: 0:00:00.0 , real: 0:00:00.0):
Successfully traced 1 scan chain (total 348 scan bits).
*** Scan Sanity Check Summary:
*** 1 scan chain passed sanity check.
```

Q2: How many pad pins on your CHIP?

A2: 144 pad pins.

Operation

☐ Find the object base on whole design ☒ Find the object base on selected objects

☒ Select Also

☒ Clear Result Window ☒ All ☐ Selected

Criteria

Object Type: Mode: ☒ Single ☐ And List ☐ OR List ☐ Multiple

Property	Operator	Value
Type	=	I/O

Results

Instance ☒ Enable Instance Flightline Page: 1 2 3 4 5

Type	Name	Cell	Status	Group	Location	Box
Instance	ipad_CoreVDD1	PVDD1DGZ	fixed	undefined	{245.0 1265.0}	{245.0,1265.0,...
Instance	ipad_CoreVDD2	PVDD1DGZ	fixed	undefined	{995.0 1265.0}	{995.0,1265.0,...
Instance	ipad_CoreVDD3	PVDD1DGZ	fixed	undefined	{0.0 365.0}	{0.0,365.0,18...
Instance	ipad_CoreVDD4	PVDD1DGZ	fixed	undefined	{0.0 905.0}	{0.0,905.0,18...
Instance	ipad_CoreVDD5	PVDD1DGZ	fixed	undefined	{305.0 0.0}	{305.0,0.0,33...
Instance	ipad_CoreVDD6	PVDD1DGZ	fixed	undefined	{845.0 0.0}	{845.0,0.0,87...
Instance	ipad_CoreVDD7	PVDD1DGZ	fixed	undefined	{1265.0 335.0}	{1265.0,335.0,...
Instance	ipad_CoreVDD8	PVDD1DGZ	fixed	undefined	{1265.0 545.0}	{1265.0,545.0,...
Instance	ipad_CoreVDD9	PVDD1DGZ	fixed	undefined	{1265.0 1025.0}	{1265.0,1025....
Instance	ipad_CoreVSS1	PVSS1DGZ	fixed	undefined	{305.0 1265.0}	{305.0,1265.0,...
Instance	ipad_CoreVSS10	PVSS1DGZ	fixed	undefined	{485.0 1265.0}	{485.0,1265.0,...
Instance	ipad_CoreVSS11	PVSS1DGZ	fixed	undefined	{0.0 545.0}	{0.0,545.0,18...
Instance	ipad_CoreVSS12	PVSS1DGZ	fixed	undefined	{545.0 0.0}	{545.0,0.0,57...
Instance	ipad_CoreVSS2	PVSS1DGZ	fixed	undefined	{1055.0 1265.0}	{1055.0,1265....
Instance	ipad_CoreVSS3	PVSS1DGZ	fixed	undefined	{0.0 425.0}	{0.0,425.0,18...
Instance	ipad_CoreVSS4	PVSS1DGZ	fixed	undefined	{0.0 965.0}	{0.0,965.0,18...

五. 心得

本次實驗的內容是 APR 實作，旨在讓學生使用範例的電路進行 layout 作業，並依照教授提供之簡報檔進行參數設定，然而在進行步驟時發現諸多不合之處，教授提供的教學簡報檔的電路與我們在實作時的內容不同，導致實際上若是完全照抄教學簡報之設定參數會很容易發生繞出來卻有無法解決的 Timing 問題或 DRC Violation，經測試我自己繞了十二個版本，其中完全照抄參數的版本最終都有解決不了的問題，且簡報檔內部並沒有教學如果遇到 Geometry 的 DRC Violation 該如何處理，以及 Process Antenna 的 Violation 該如何解決，若是沒有先前去 TSRI 上課的一些經驗我覺得我應該也無法做出本次的實驗，透過 Incremental 及 ECO 功能才成功的將幾個版本繞出來，並驗證過 Timing 分析及 Geometry、Connectivity、Process Antenna 都沒有 Violation，最終我是透過調整電路的 Placement Density 才成功將 DRC Violation 解決，然而最後的 LVS 驗證是我覺得最不該有問題的部分，由於數位

的電路進行 APR 時會自動佈線及驗證

Connectivity，理論上 LVS 是不該出問題的，但是我最後兩個版本都在 LVS 的部分卡住，且報出相同的 ANTENNA 問題，詢問助教也沒有辦法解決，但是我心有不甘，我覺得這樣的實驗不該做不出來，因此我開始研究這個問題，但是網路上也沒有什麼相關聯的資料或是解決方案，最後我發現在助教提供的 tsmc18_lvs 檔案中內容有缺失，ANTENNA 二極體只有被呼叫而沒有定義其腳位，因此不管怎麼跑只要最後有使用到 ANTENNA 二極體都會報出同一個 LVS 錯誤，最終我透過 TSRI 提供之 EDA Cloud 上直接對照裡面的 tsmc18_lvs 檔案及助教提供之檔案一一對比並修正缺失的部分，才成功將本次實驗完成。最後我想建議這個實驗應該要修正一下簡報的內容及步驟，並檢查一下檔案是否有缺失或部分內容不正確，助教可能也需要以與學生相同的環境進行一次完整的步驟才可以避免學生在實作時遇到很多的問題但是不知道怎麼解決。