



國立臺北科技大學

數位多媒體晶片設計課程

LAB 2



課堂教授：范育成 博士

一. 實驗名稱

Synthesis 實驗

二. 實驗目的

以範例之 Verilog 檔進行電路合成，並使學生理解各項合成指令及參數設定之方法及原理，最後使用 report 及 ncverilog 工具進行驗證以確保電路合成結果正確性。

三. 實驗過程

使用 Synopsys 公司之 Design Vision 工具進行電路合成實驗，將 RTL 之時脈、輸入及輸出設定實際物理電性條件，並將部分的元件加上驅動力條件設定，最後將這些條件及 RTL 轉換為實際的邏輯閘電路，以 Cadence 公司之 ncverilog 工具進行邏輯閘層級模擬，進行電路佈局前的實際電路模擬，以及確定各項 report 皆滿足電路之 SPEC。

四. Gate level simulation 模擬結果相關 Report(附圖)

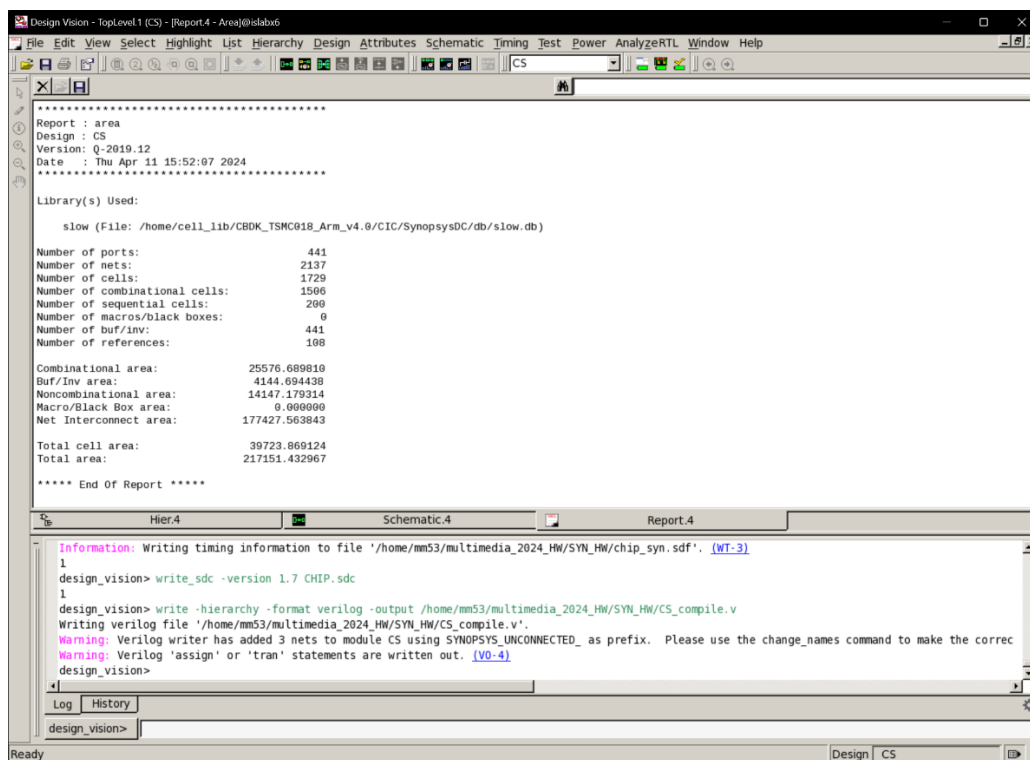


圖 4-1、Report Area

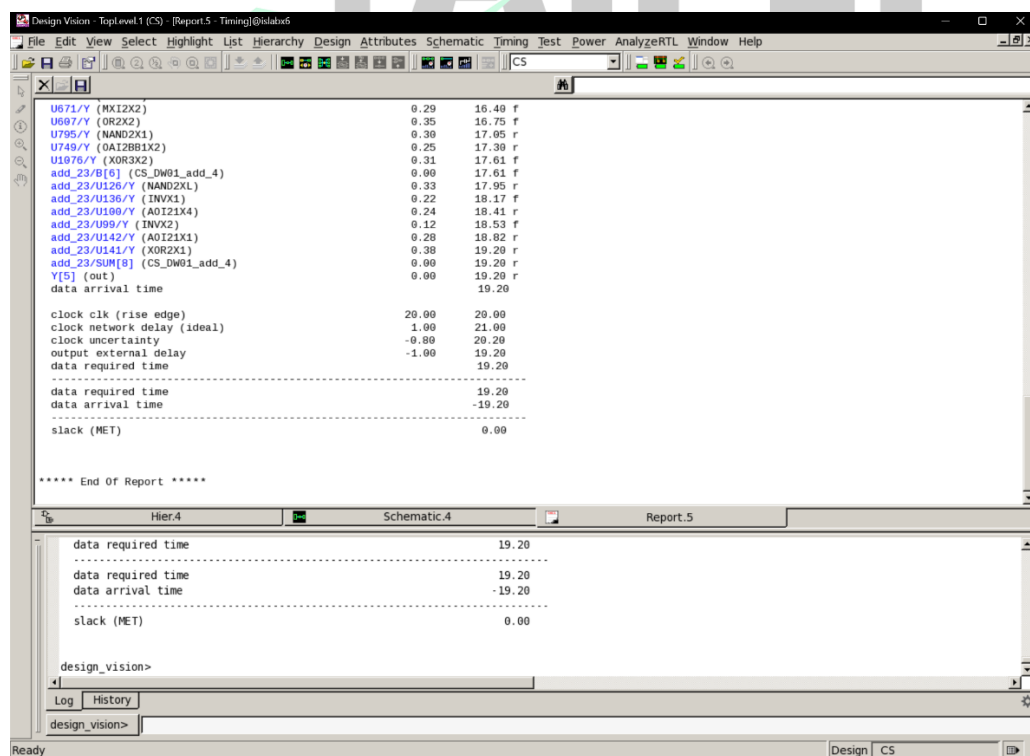


圖 4-2、Report Timing

```

Scalar wires:          1944      -
Expanded wires:         8        1
Always blocks:         4        4
Initial blocks:        7        7
Cont. assignments:     0        4
Pseudo assignments:    1        1
Timing checks:        1800      231
Interconnect:          3792      -
Delayed tcheck signals: 600      24
Simulation timescale:   1ps

Writing initial simulation snapshot: worklib.test:v
Loading snapshot worklib.test:v ..... Done
*Verdi* Loading libsscore_ius152.so
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
-----
-----

All data have been generated successfully!

-----PASS-----
-----

Simulation complete via $finish(1) at time 1055 NS + 0
./testfixture.v:114      $finish;
ncsim> exit
TOOL:  ncverilog      15.20-s039: Exiting on Apr 11, 2024 at 15:56:46 CST (total: 00:01:03)
[mm53@islabs6 SYN_HW]$

```

圖 4-3、Pre-Sim 通過測試

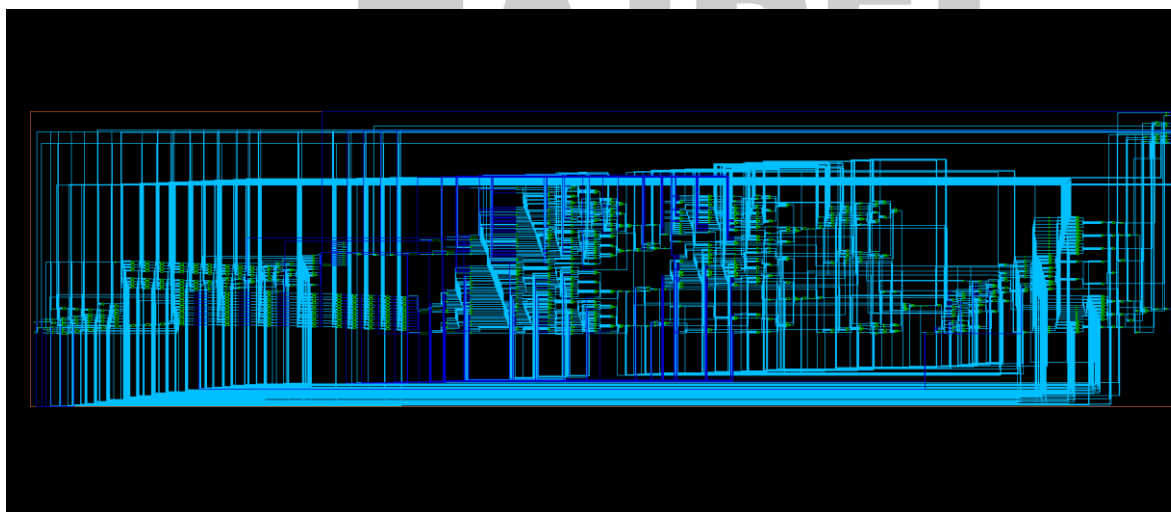


圖 4-4、合成後 Schematic 圖

五. 心得

本次實驗做的是電路合成，將寫好的 RTL 程式碼透過 Synopsys 公司的 Design Compiler 工具轉換為邏輯閘層級電路，並將轉換後的電路與轉換前的做功能上對比，可確保電路經轉換後還是能正常運作，以及進行 Gate-Level 模擬實際電路運作時的時脈及訊號是否會有 Timing 的錯誤，最後盡可能地透過演算法去壓縮電路的可能繞線面積。合成在數位 IC 設計流程中的前端流程是最為重要的一環，若是合成時設定的限制有錯誤都會導致電路可能的不正常運作或收斂時間過長，也可能會導致合成出來的電路面積過大。若有合成電路時的錯誤也可能會需要回到 RTL 程式去修正問題，因此 RTL 與合成是前端流程最主要的部份。本次實驗過程相當順利，除了一開始在開啟 Design Compiler 時沒辦法順利的載入到 design setup 檔案導致合成時一直跳錯誤，後面重新又再從助教指定的路徑複製一次檔案就正常了，可能是先前複製檔案時有遺漏或是沒有輸入正確，之後應該要先檢查再開始操作。