

การทดลองที่ 8 วงจรบวกเลขขนาด 8 บิต

วัตถุประสงค์

1. เพื่อให้นักศึกษาสามารถเข้าใจการทำงานของเลขฐานสองได้ดีขึ้น
2. เพื่อให้นักศึกษาฝึกการออกแบบและพัฒนางจรอย่างเป็นระบบ
3. เพื่อให้เข้าใจการออกแบบวงจรดิจิทัลด้วยวิธี Schematic
4. เพื่อให้สามารถออกแบบวงจรดิจิทัล โดยกระบวนการ Top-Down Design

บทนำ

การทดลองนี้แตกต่างจากการทดลองที่ผ่านมา นักศึกษาจะได้รู้จักการออกแบบวงจรด้วยการวาดรูป (Schematic Circuit) และบันทึกโปรแกรมลงในชิป Field Programmable Gate Array (FPGA)

โปรแกรม ISE Xilinx WebPACK

นักศึกษาที่มีหนังสือ “ออกแบบไอซีดิจิทัลด้วย FPGA และ CPLD ภาคปฏิบัติ โดยใช้วิธี Schematic ซอฟต์แวร์ ISE WebPACK” ให้อ่านหนังสือก่อนการทดลองในบทที่ 1 และ 2 ก่อน

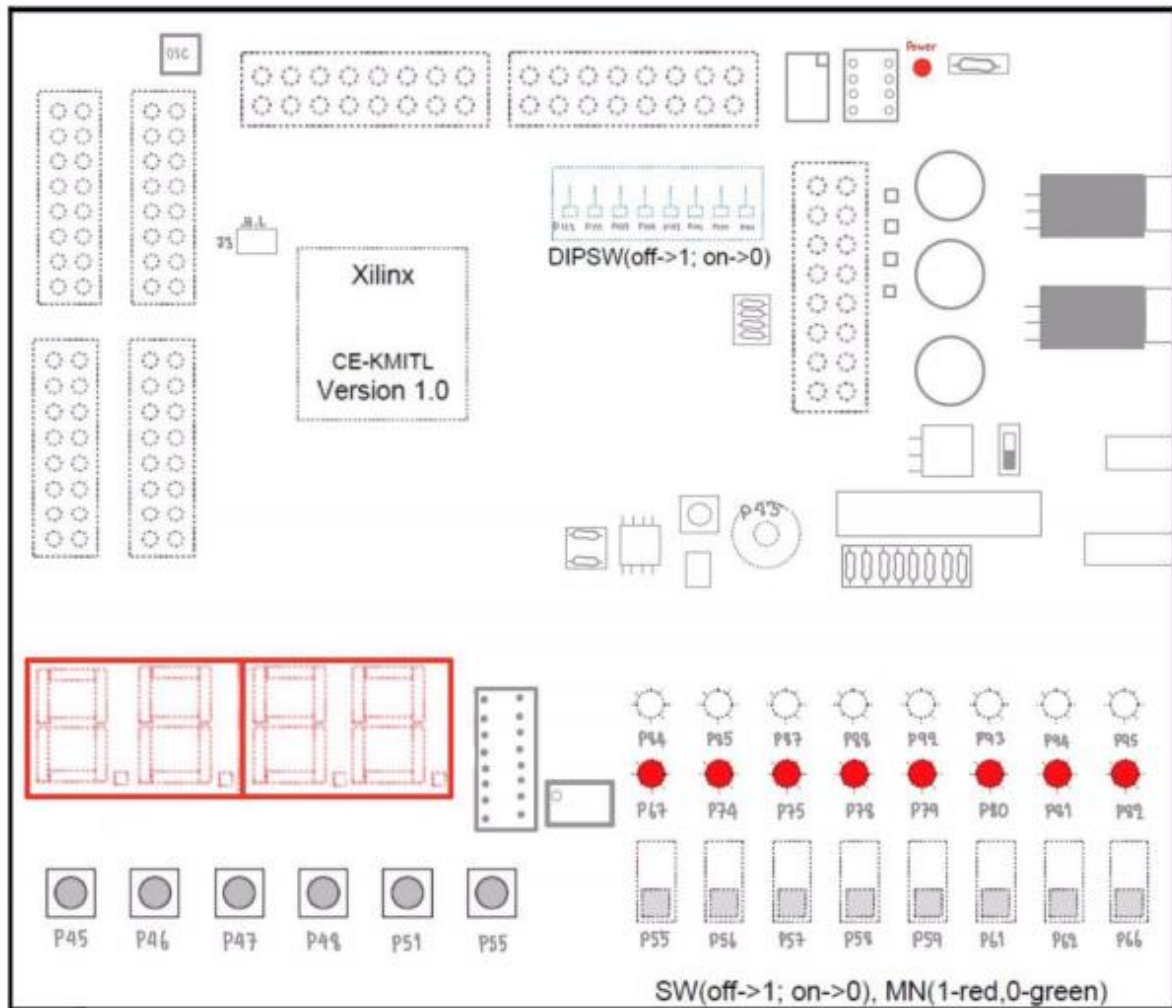
บอร์ดทดลอง

วงจรดิจิทัลในปัจจุบันมีความซับซ้อนสูงทำให้การปรับแก้ไขวงจรทำไม่สะดวก การลากสายไฟการติดตั้งไอซีเพิ่มเติมเพื่อปรับเปลี่ยนการทำงานของวงจรทำได้ยาก จึงมีการใช้ไอซีที่สามารถโปรแกรมวงจรได้ ซึ่งมีหลายแบบไม่ว่าจะเป็น Generic Logic Array (GAL), Programmable Array Logic (PAL), Programmable Logic Device (PLD), Complex Programmable Logic Device (CPLD) และ Field Programmable Gate Array (FPGA) ซึ่งล้วนแต่มีลักษณะที่ต่างกัน ทั้งขนาดจำนวนเกต ภาวการณ์คงอยู่ของโปรแกรม/ข้อมูล การโปรแกรม โดยการทดลองนี้ใช้งาน FPGA

FPGA มีหลายบริษัทเป็นผู้ผลิต แต่มีสองบริษัทใหญ่คือ Xilinx กับ Altera โดยตระกูลผลิตภัณฑ์ของ Xilinx ที่นิยมกันคือตระกูล Spartan รุ่นเทคโนโลยีขนาด 45nm และตระกูล Virtex รุ่นเทคโนโลยีขนาด 28nm ทางด้าน Altera ตระกูลผลิตภัณฑ์ที่นิยมคือตระกูล Stratix รุ่นเทคโนโลยีขนาด 40nm และ 28nm การทดลองในวิชานี้ใช้ Xilinx Spartan-6 รุ่นเทคโนโลยีขนาด 45nm

ทั้งนี้ Spartan-3 ที่ใช้ในการทดลองคือรุ่น XC6SLX9 มีความจุขนาด 400,000 เกต จำนวนเกตยิ่งมากยิ่งสามารถสร้างวงจรที่มีขนาดใหญ่และซับซ้อนได้ จุดอ่อนที่ต้องระมัดระวังของ FPGA คือมีอายุการใช้งานจำกัด กล่าวคือสามารถเขียนโปรแกรมลงได้ไม่เกิน 20,000 ครั้ง จากนั้นต้องเปลี่ยนไอซี FPGA ใหม่ การเขียน

โปรแกรมลง FPGA ทำได้โดยใช้สายซึ่งใช้มาตรฐานการเชื่อมต่อแบบ Joint Test Action Group (JTAG) และส่งผ่านโปรแกรมด้วย Parallel Port to JTAG (ปัจจุบันนิยมใช้ USB to JTAG มากกว่า)



รูปที่ 1 เลย์เอาต์ของบอร์ด FPGA รุ่น XC6SLX9

บอร์ด FPGA ที่ใช้ในการทดลองดังรูปที่ 1 นั้นหมายเลข Pxx ต่างๆ ระบุถึงขาที่เชื่อมกับตัวชิป FPGA ฉะนั้นจึง**ไม่ควรสัมผัสตัวไอซี ขา และส่วนประกอบในบอร์ด** เนื่องจากไฟฟ้าสถิตจากร่างกายอาจก่อให้เกิดความเสียหายแก่ไอซี อีกทั้งยังทำให้เกิดอ็อกไซด์ที่ขาและส่วนประกอบโลหะในวงจร

การทดลอง

1. ให้นักศึกษานำเอกสารใบตรวจการทดลองให้อาจารย์ผู้ควบคุมการทดลองเซ็นรับรองเอกสารก่อนเริ่มทำการทดลองภายใน 1 ชม. แรกของตารางชั่วโมงปฏิบัติของอาทิตย์ที่ทำการทดลองนี้
2. ให้นักศึกษาสร้างวงจรบวกเลขขนาดแปดบิตโดยมีรายละเอียดดังนี้
 - 2.1 รับอินพุตตัวตั้งเป็นเลขฐานสองขนาดแปดบิตจากสวิตช์เลื่อน (SW7 – SW0)
 - 2.2 รับอินพุตตัวกระทำเป็นเลขฐานสองขนาดแปดบิตจากดิพสวิตช์ (DIP SW)
 - 2.3 แสดงผลการบวกบนตัวแสดงผลเจ็ดส่วนเป็นเลขฐาน 16 (7 Segments)
 - 2.4 หากผลลัพธ์เป็น 0 ให้ Buzzer ดัง
3. ให้นักศึกษาออกแบบวงจรแบบ Top-Down Design โดยละเอียดและถูกต้องสมบูรณ์แล้วส่งให้อาจารย์ผู้ควบคุมการทดลองตรวจ
4. เมื่อผ่านขั้นตอนที่ 3 แล้ว ให้ Download ลง FPGA ในส่วนที่เป็น PROM (ปิดเครื่อง เปิดใหม่ วงจรยังอยู่และทำงานได้) แล้วนำมาส่งให้อาจารย์ผู้ควบคุมการทดลองตรวจ
5. ให้นักศึกษาทดสอบการทำงานของวงจรให้ถูกต้องสมบูรณ์ก่อนการจึงทำการส่งตรวจ

หมายเหตุ กรุณาอ่านหมายเหตุท้ายใบตรวจการทดลองให้ละเอียด

ใบตรวจการทดลองที่ 8

วัน/เดือน/ปี _____ ☐ กลุ่ม 101 ☐ กลุ่ม 102 ☐ กลุ่ม 103 ☐ กลุ่ม 153

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

☐ บันทึกคะแนนแล้ว

การทดลองข้อ 1 ลายเซ็นผู้คุมการทดลอง _____

☐ ไม่หักส่งซ้ำ ☐ หักส่งซ้ำ 50%

การทดลองข้อ 4 ลายเซ็นผู้คุมการทดลอง _____ (Perfect circuit)

☐ หักเพิ่มเป็น 10% ☐ หักเพิ่มเป็น 20% ☐ หักเพิ่มเป็น 30% ☐ หักเพิ่มเป็น 40%

☐ หักเพิ่มเป็น 50% ☐ หักเพิ่มเป็น 60% ☐ หักเพิ่มเป็น 70% ☐ หักเพิ่มเป็น 80%

☐ หักเพิ่มเป็น 90%

หมายเหตุ

1. ไม่รับใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ชีด ขำ เปลี่ยนแปลงทุกชนิด
2. หากไม่ทำตามข้อกำหนดในการทดลองข้อที่ 1 หัก 50%
3. หากส่งวงจรตามข้อ 4 ให้ตรวจแล้วผิดพลาด หักเพิ่มครั้งละ 10%
4. การทดลองนี้จำกัดการหักคะแนนไม่เกิน 90%