



01076006 Digital System Fundamentals 2564/1

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การทดลองที่ 7 วงจรจับเวลาโดยใช้วิธี Schematic บนบอร์ด FPGA

วัตถุประสงค์

1. เพื่อให้นักศึกษาฝึกใช้งานโปรแกรมช่วยการออกแบบวงจรดิจิทัลให้เก่งขึ้น
2. เพื่อให้นักศึกษาฝึกการใช้งาน FPGA ให้คล่องตัว
3. เพื่อให้นักศึกษาฝึกการออกแบบวงจรดิจิทัลอย่างเป็นระบบ

seven seg 4 bit

การทดลอง

1. ให้นักศึกษานำเอกสารใบตรวจการทดลองให้ผู้ควบคุมการทดลองเซ็นรับรองเอกสารก่อนเริ่มทำการทดลองภายใน 15 นาทีแรกของตารางชั่วโมงปฏิบัติของอาทิตย์ที่ทำการทดลองนี้
2. ให้นักศึกษาสร้างนาฬิกาจับเวลาโดยมีข้อกำหนดดังนี้
 - 1.1 ให้มีปุ่มกดเพื่อให้เวลาเริ่มเดินเมื่อเริ่มจับเวลา และกดอีกครั้ง(ปุ่มเดิม) เพื่อหยุดเวลาชั่วคราว (กดอีกครั้งเพื่อนับต่อ สลับกันไปเรื่อย ๆ)
 - 1.2 ให้มีปุ่มกดเพื่อลบเวลาให้เป็น 00:00 ขณะที่เวลาหยุดเดิน(ขณะกำลังจับเวลาไม่สามารถกดลบเวลาได้)
 - 1.3 แสดงผลเวลาการนับเป็นหน่วยนาที่และวินาทีบนตัวเลขแสดงผลเจ็ดส่วนจำนวนอย่างละ 2 หลัก (นาที่ 00 - 99, วินาที 00 - 59)
 - 1.4 ให้มีจุดสองจุดตรงกลางระหว่างนาที่และวินาทีกระพริบทุกวินาที(ติดครึ่งวินาที ดับครึ่งวินาที) เหมือนนาฬิกาโดยทั่วไป
3. ให้ออกแบบวงจรโดยกระบวนการ Top-down design โดยละเอียดและถูกต้องสมบูรณ์แล้วส่งให้อาจารย์ผู้ควบคุมการทดลองตรวจ
4. เมื่อผ่านขั้นตอนที่ 3 แล้ว
 - 1.1 (กรณีที่ได้รับ FPGA แล้ว) ให้ Download วงจร ลง FPGA ในส่วนที่เป็น PROM (ปิดเครื่อง เปิดใหม่ วงจรยังอยู่และทำงานได้) แล้วนำมาส่งอาจารย์
 - 1.2 (กรณีที่ยังไม่ได้รับ FPGA) สามารถทำวงจรใส่ Logic-Sim มาให้ TA ตรวจสอบความถูกต้องก่อนได้

seven-segment

หมายเหตุ กรุณาอ่านหมายเหตุท้ายใบตรวจการทดลองให้ละเอียด

ใบตรวจการทดลองที่ 7

วัน/เดือน/ปี _____ ☐ กลุ่ม 101 ☐ กลุ่ม 102 ☐ กลุ่ม 103 ☐ กลุ่ม 153

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

☐ บันทึกคะแนนแล้ว

การทดลองข้อ 1 ลายเซ็นผู้ควบคุมการทดลอง _____ วัน/เดือน/ปี _____ เวลา _____

☐ ไม่หักส่งซ้ำ

☐ หักส่งซ้ำ 50%

การทดลองข้อ 3 ลายเซ็นอาจารย์ _____ (Top-down)

การทดลองข้อ 4 ลายเซ็นผู้ควบคุมการทดลอง _____ (Perfect circuit)

☐ หักเพิ่มเป็น 10% ☐ หักเพิ่มเป็น 20% ☐ หักเพิ่มเป็น 30% ☐ หักเพิ่มเป็น 40%

☐ หักเพิ่มเป็น 50% ☐ หักเพิ่มเป็น 60% ☐ หักเพิ่มเป็น 70% ☐ หักเพิ่มเป็น 80%

☐ หักเพิ่มเป็น 90%

หมายเหตุ

- ตั้งแต่การทดลองที่ 6 เป็นต้นไป ไม่รับใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ชีด ข่วน เปลี่ยนแปลงทุกชนิด
- หากไม่ทำตามข้อกำหนดในการทดลองข้อที่ 1 หัก 50%
- หากส่งวงจรตามข้อ 3 ให้ตรวจแล้วผิดพลาด หักเพิ่มครั้งละ 10%
- การทดลองนี้จำกัดการหักคะแนนไม่เกิน 90%

Top Layer



2nd Layer



