

01076006 Digital System Fundamentals 2564/1

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การทดลองที่ 5 BCD to 7Segment และวงจรนับวัตถุประสงค์

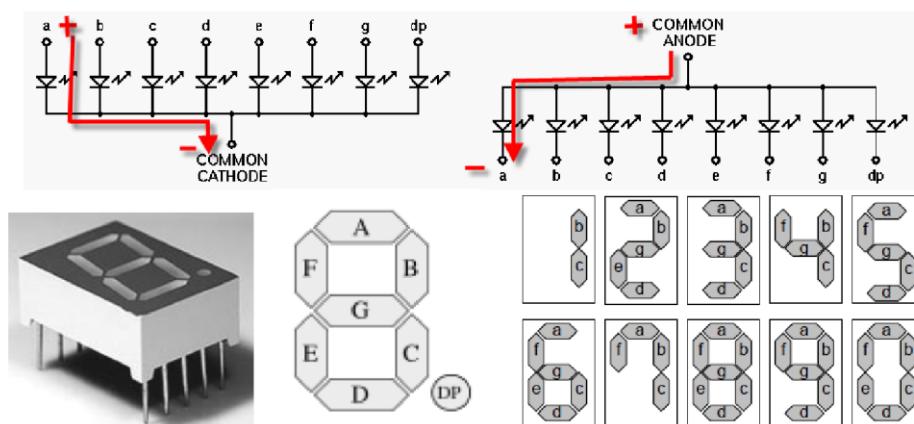
1. เพื่อให้เข้าใจการทำงานของ BCD to 7 Segment
2. เพื่อให้สามารถออกแบบวงจรนับแบบ Synchronous ได้
3. เพื่อให้สามารถสร้างวงจรนับที่ออกแบบโดยใช้ JK Flip Flop ได้
4. เพื่อให้สามารถสร้างวงจรนับที่ออกแบบโดยใช้ โมดูล Counter ได้
5. เพื่อให้สามารถใช้งานโปรแกรมช่วยออกแบบ ISE WebPack ได้

บทนำ

7 Segment Display




คือ ไดโอดเปล่งแสงแบบเลขเจ็ดส่วนเป็น LED (Light Emitting Diode) ที่นำมาจัดวางรูปแบบแสดงผลตัวเลข และตัวอักษรภาษาอังกฤษบางตัว 7-Segment ประกอบด้วย LED จำนวนแปดตัว ดังรูปที่ 1 (ล่าง) คือ A, B, C, D, E, F, G, และ DP โดยเชื่อมต่อวงจรในสองแบบคือ Common Anode กับ Common Cathode ดังรูปที่ 1 (บน)

Common Anode คือจุดเชื่อมต่อของ LED ทั้งแปดดวงเชื่อมต่อกันหมดที่ขา Anode ส่วน Common Cathode คือจุดเชื่อมต่อของ LED ทั้งแปดดวงเชื่อมต่อกันหมดที่ขา Cathode หรือจำง่ายๆ ว่า Common Anode รวมจุดไฟบวกไว้ด้วยกัน Common Cathode รวมจุดไฟลบไว้ด้วยกัน



รูปที่ 1 แสดง 7 Segment Display

JK Flip Flop Characteristic Table

\overline{PRESET}	\overline{CLEAR}	J	K	Clk	Q	\overline{Q}	State
0	1	X	X	X	1	0	Set
1	0	X	X	X	0	1	Reset
0	0	X	X	X	1	1	Unused
1	1	0	1		0	1	Reset
1	1	1	0		1	0	Set
1	1	0	0	X	Q	\overline{Q}	Unchanged
1	1	1	1		\overline{Q}	Q	Toggle

JK Flip Flop Excitation Table

Present State	Next State	Input	
Q	Q	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

7447/48

7447/48 เป็นไอซีที่ใช้ในการแปลงสัญญาณดิจิตอลขนาด 4 บิตไปเป็นสัญญาณที่ใช้ในการควบคุม 7 segment โดยให้ศึกษาการทำงานโดยละเอียดของไอซีเบอร์ 7447(48) ได้จาก Datasheet

7493 Synchronous 4-Bit Binary Counter

7493 คือ ไอซีที่ใช้เป็นวงจรนับแบบไบนารีขนาดสูงสุด 4 บิตแบบนับขึ้น โดยภายในบรรจุ JK Flip Flop เชื่อมต่อแบบ master/slave จำนวน 4 ตัว นอกจากนี้ไอซี 7493 มีสัญญาณรีเซ็ต 2 สัญญาณ ได้แก่ และ เมื่อสัญญาณทั้งสองเป็นลอจิก 0 ทั้งคู่ JK Flip Flop ทุกตัวจะอยู่ในสถานะรีเซ็ต ศึกษารายละเอียดการทำงานเพิ่มเติมได้จาก datasheet

การทดลอง

1. ให้นักศึกษาออกแบบวงจรถอดรหัสเลขฐานสองขนาด 4 บิต ไปเป็นข้อมูลที่ใช้ขับสัญญาณให้ตัว 7 segment คล้ายกับไอซี 7447/48 แต่กำหนดให้แก้ไขการแสดงผลเลข 9 จาก 9 ให้เป็น 9 ส่วนเลข 6 ยังคงเป็นเลขเดิม ไม่ใช่ 6 แล้วทำการแสดงผลเป็นเลขฐาน 2 ออกทางหน้าต่าง console
2. ให้นักศึกษาออกแบบวงจรนับขึ้นจาก 1 ไป 6 (1 2 3 4 5 6 1 . . .) แบบ Synchronous (1-to-6 Synchronous Counter) โดยทำทั้งแบบที่ใช้ JK Flip Flop แล้วทดสอบการทำงานบนการ Simulation
 - 1.1 สร้างตารางค่าการนับ (Output, State transition)
 - 1.2 สร้างตารางความจริง (Truth Table) ของทุกๆ อินพุตของฟลิปฟล็อปทุกตัว
 - 1.3 หาสมการอินพุตของฟลิปฟล็อปด้วยวิธีพีชคณิตบูลีนหรือ K-Map
 - 1.4 วาดไดอะแกรมของวงจรบน ISE WebPack โดยใช้ JK Flip Flop มาต่อกัน
 - 1.5 ทดสอบการทำงานโดยการเขียนไฟล์ Verilog Test Fixture และ แสดงผลการนับเป็นเลขฐาน 2 และแสดงผลออกทางหน้าต่าง console

ตัวอย่างไฟล์ Verilog Test Fixture ของการทดสอบการทำงานของ T Flip Flop

```
// Verilog test fixture created from schematic D:\Xilinx\projectWorkSpa

`timescale 1ns / 1ps

module main_main_sch_tb();

    // Inputs
    reg CLK;

    // Output
    wire D0;

    // Bidirs

    // Instantiate the UUT
    main UUT (
        .D0(D0),
        .CLK(CLK)
    );

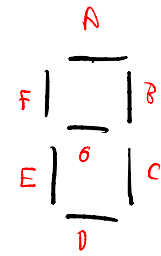
    initial begin
        CLK = 0; // กำหนดค่าเริ่มต้นของ port CLK เป็น 0
        #200;    // หน่วงเวลา 100 ns
        $finish; // สิ้นสุดการทดสอบ
    end

    always #10 CLK = !CLK; //สั่งให้เปลี่ยนค่าของ port CLK เป็นค่าตรงข้ามทุก 10 ns

    initial begin
        $monitor("%d", D0); //แสดงค่า Output
    end
endmodule
```

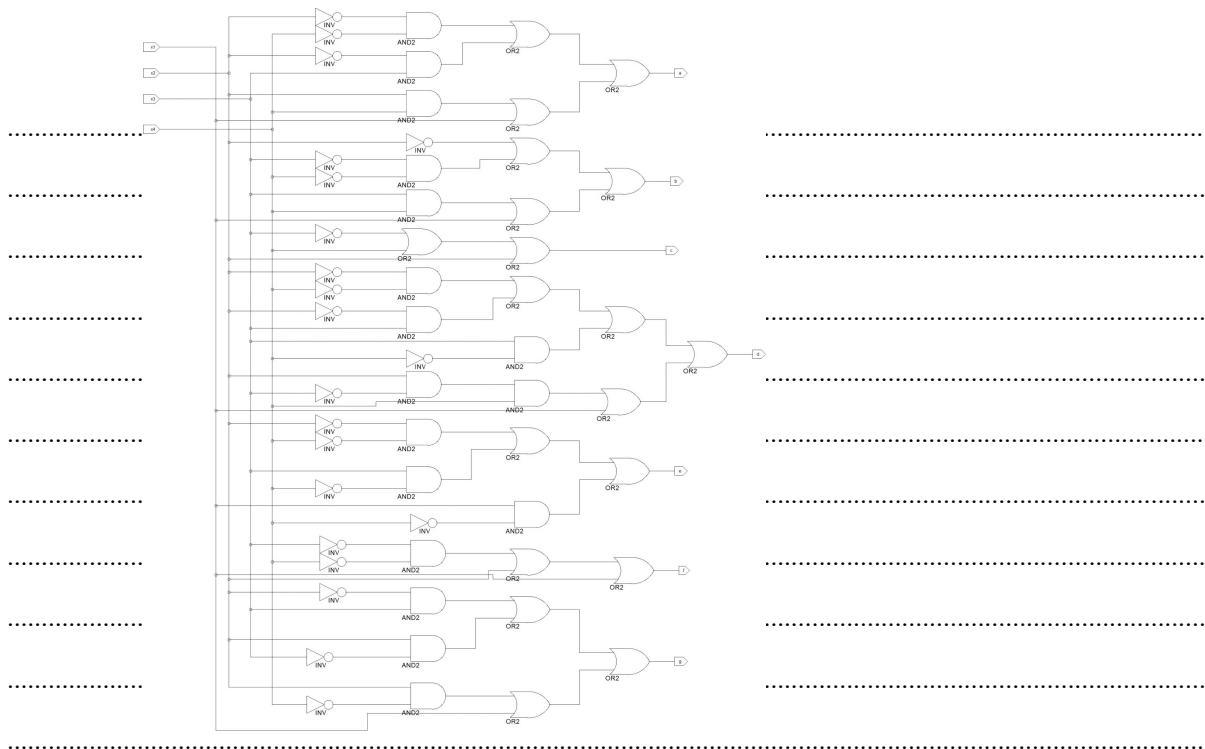
ลิงค์วิดีโอทดสอบการทำงานของ T Flip Flop

<https://youtu.be/6ObNGbG2IYw>



①

	x_1	x_2	x_3	x_4	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	1	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
10	1	0	1	0	x	x	x	x	x	x	x
11	1	0	1	1	x	x	x	x	x	x	x
12	1	1	0	0	x	x	x	x	x	x	x
13	1	1	0	1	x	x	x	x	x	x	x
14	1	1	1	0	x	x	x	x	x	x	x
15	1	1	1	1	x	x	x	x	x	x	x



②

Maximum count = $2^n - 1$

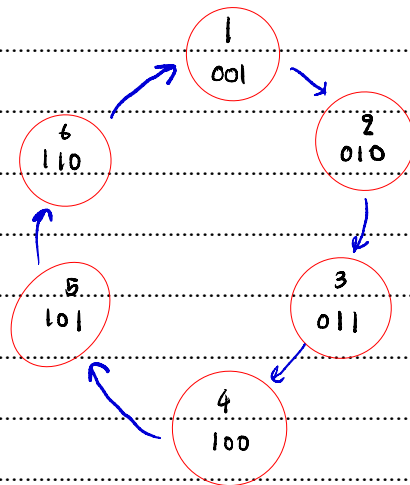
Normally we can use $2^n = 8$

MOD-8 counter ✓

Finally, max count = $6 - 1 = 5$ } MOD-6 counter

MOD 6

C	B	A	Number of clock
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6



Truth Table

	Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	0	X	X	X	X	X	X	X	X	X
1	0	0	1	0	1	0	X	1	1	X	0	X
2	0	1	0	0	1	1	1	X	X	0	0	X
3	0	1	1	1	0	0	X	1	X	1	1	X
4	1	0	0	1	0	1	1	X	0	X	X	0
5	1	0	1	1	1	0	X	1	1	X	X	0
6	1	1	0	0	0	1	1	X	X	1	X	1
7	1	1	1	X	X	X	X	X	X	X	X	X

in K-map

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	x	x	x	1
1	1	x	x	1

$$J_0 = 1$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	x	1	x	x
1	0	1	x	x

$$J_1 = Q_0$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	x	0	1	0
1	x	x	x	x

$$J_2 = Q_1 Q_0$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	x	1	1	x
1	x	1	x	x

$$K_0 = 1$$

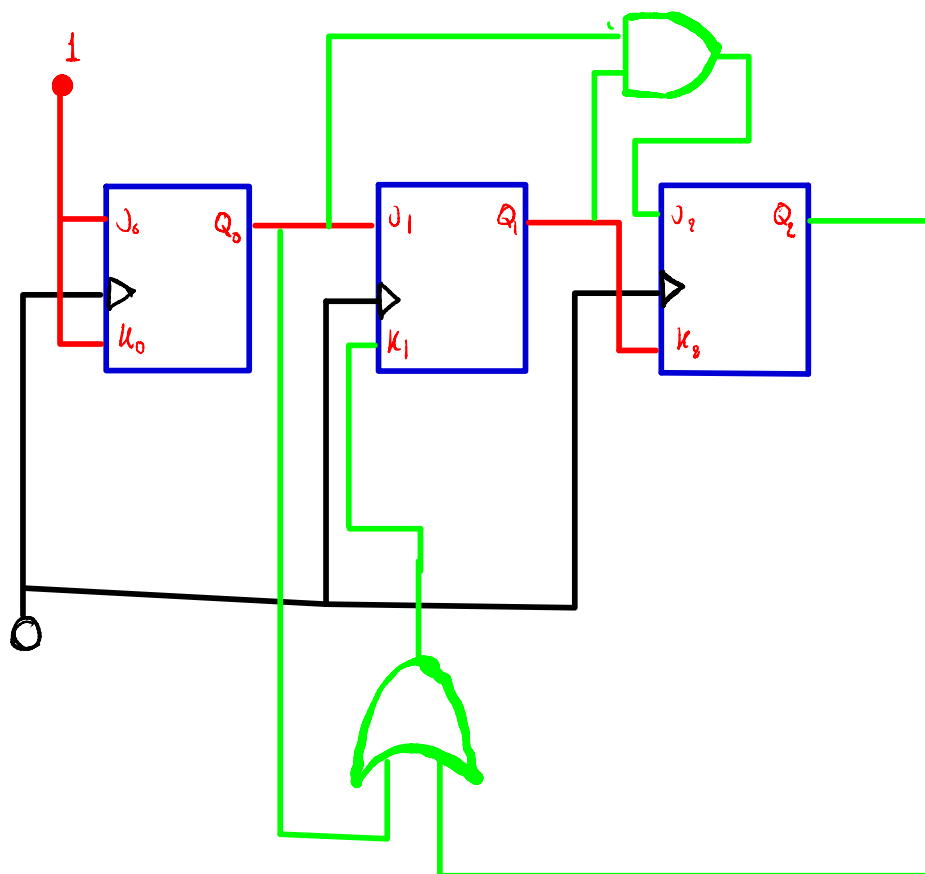
$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	x	x	1	0
1	x	x	x	1

$$K_1 = Q_0 + Q_2$$

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0	x	x	x	x
1	0	0	x	1

$$K_2 = Q_1$$

Logic Diagram (JK Flip Flop)



ใบตรวจการทดลองที่ 5

วัน/เดือน/ปี _____ ☐ กลุ่ม 101 ☐ กลุ่ม 102 ☐ กลุ่ม 103 ☐ กลุ่ม 153

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

การตรวจการทดลอง

☐ บันทึกคะแนนแล้ว

การทดลองข้อ 1-2 ลายเซ็นผู้คุมการทดลอง _____