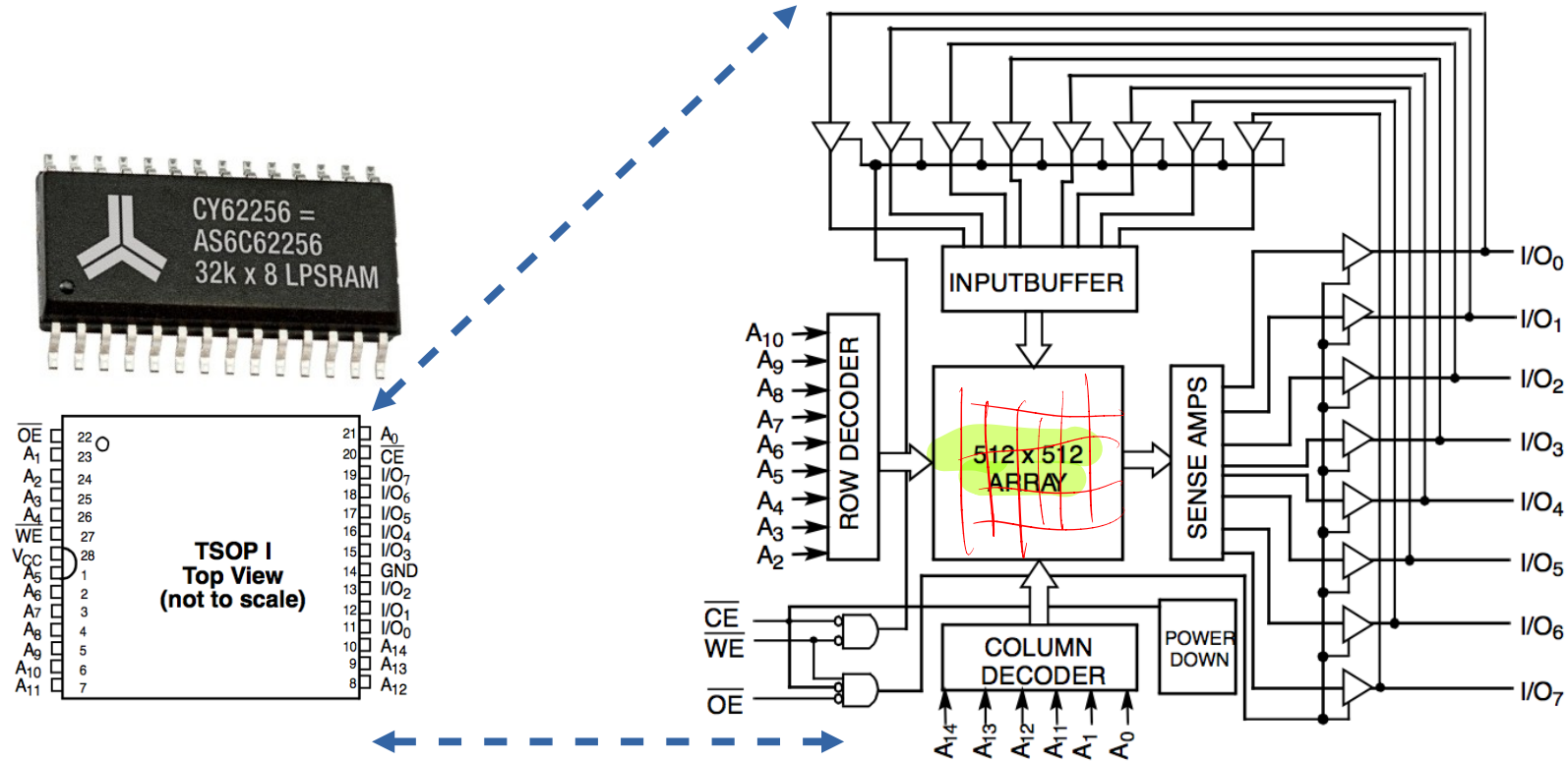


5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM)

Hardware ตัวอย่าง

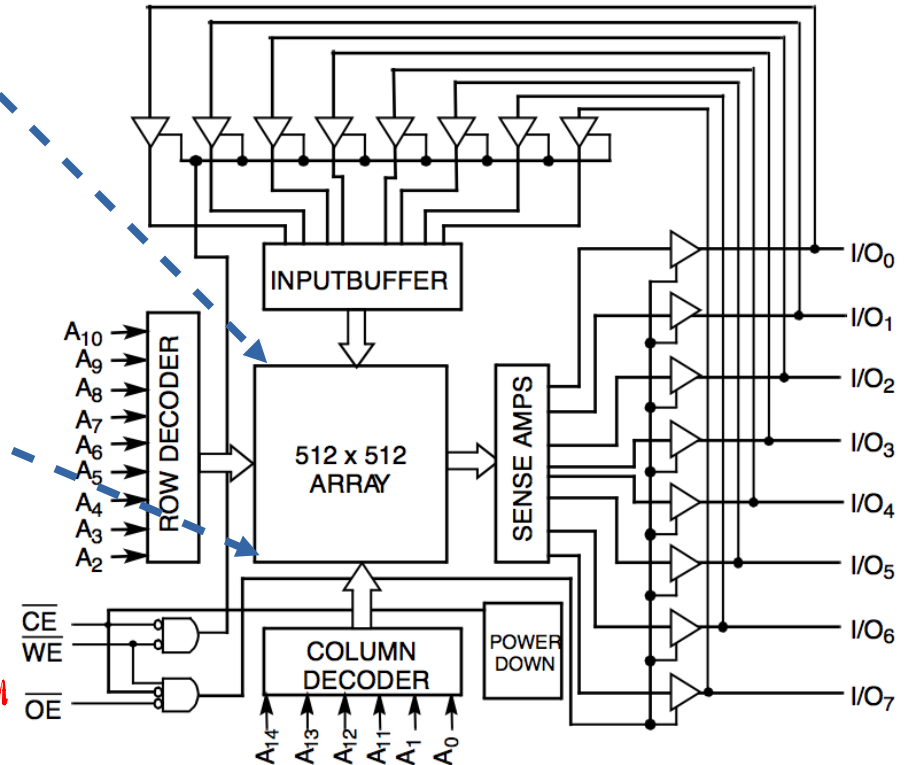
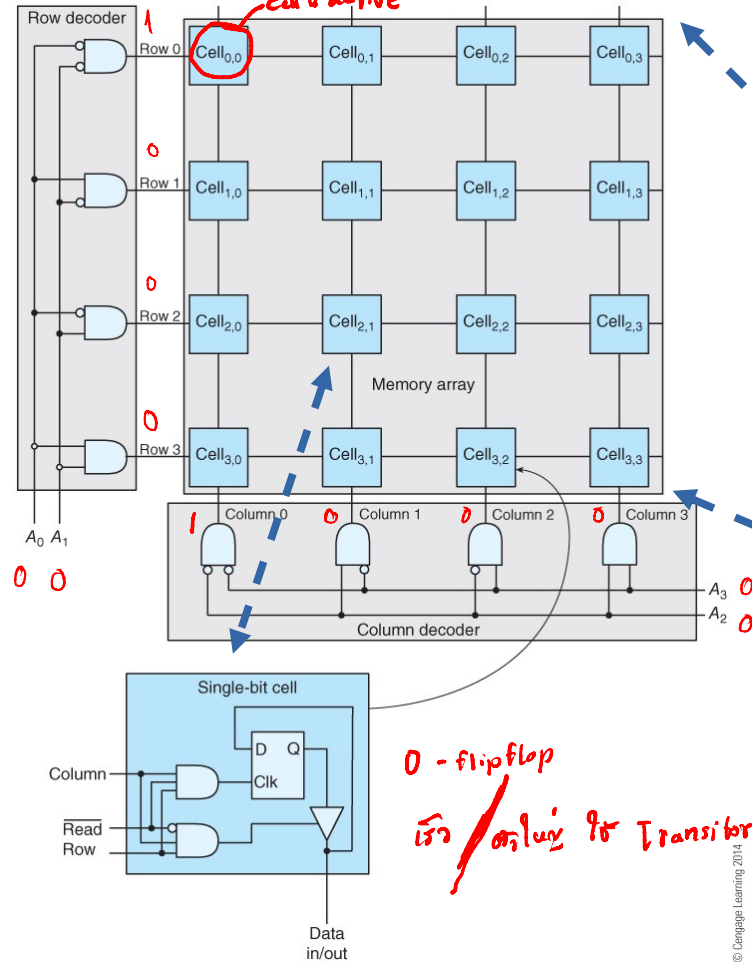
- รีจิสเตอร์ R0-R15 แคชลำดับที่ 1 และ 2 ในชิพ BCM2837 สร้างจากหน่วยความจำสแตติกแรมซึ่งมีโครงสร้างที่ไม่ซับซ้อนและสามารถออกแบบให้ผลิตพร้อมกับวงจรทรานซิสเตอร์ในชิพได้ นอกจากนี้ หน่วยความจำสแตติกแรมนี้ยังนิยมใช้งานเป็นหน่วยความจำหลักภายในชิพไมโครคอนโทรลเลอร์ ที่ต้องการสมรรถนะต่ำถึงปานกลางโดยมีความจุหลายขนาด ตั้งแต่ 16 คิบิไบต์ ถึงหลายเมกไบต์
- หน่วยความจำสแตติกแรม (Static RAM: SRAM) หมายเลข CY62256 เป็นกรณีศึกษาชิพ CY62256 ใช้เทคโนโลยีการผลิตชนิด CMOS ในปี ค.ศ. 2002
 - } ใช้กับแหล่งจ่ายไฟตั้งแต่ 4.5 - 5.5 โวลต์
 - } รองรับการทํางานความเร็วสูง เนื่องจากใช้เวลาเข้าถึงน้อยกว่า 55 นาโนวินาที
 - } ชิปบริโภคกำลังไฟน้อยโดยมีค่าสูงสุดเพียง 275 มิลลิวัตต์ระหว่างปฏิบัติงาน
 - } ชิปบริโภคกำลังไฟน้อยโดยมีค่าสูงสุดเพียง 28 มิลลิวัตต์ระหว่างไม่ทำงาน (Stand by)

5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM)



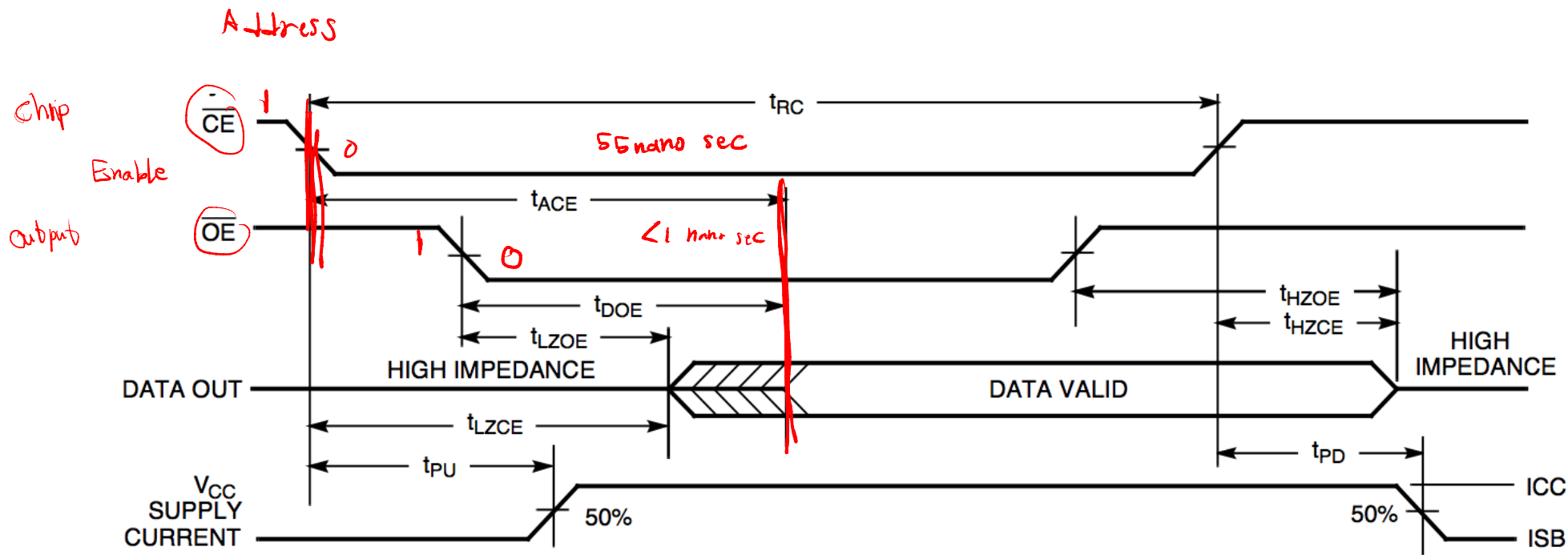
5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM)

FIGURE 10.7 The arrangement of a static RAM array



© Cengage Learning 2014

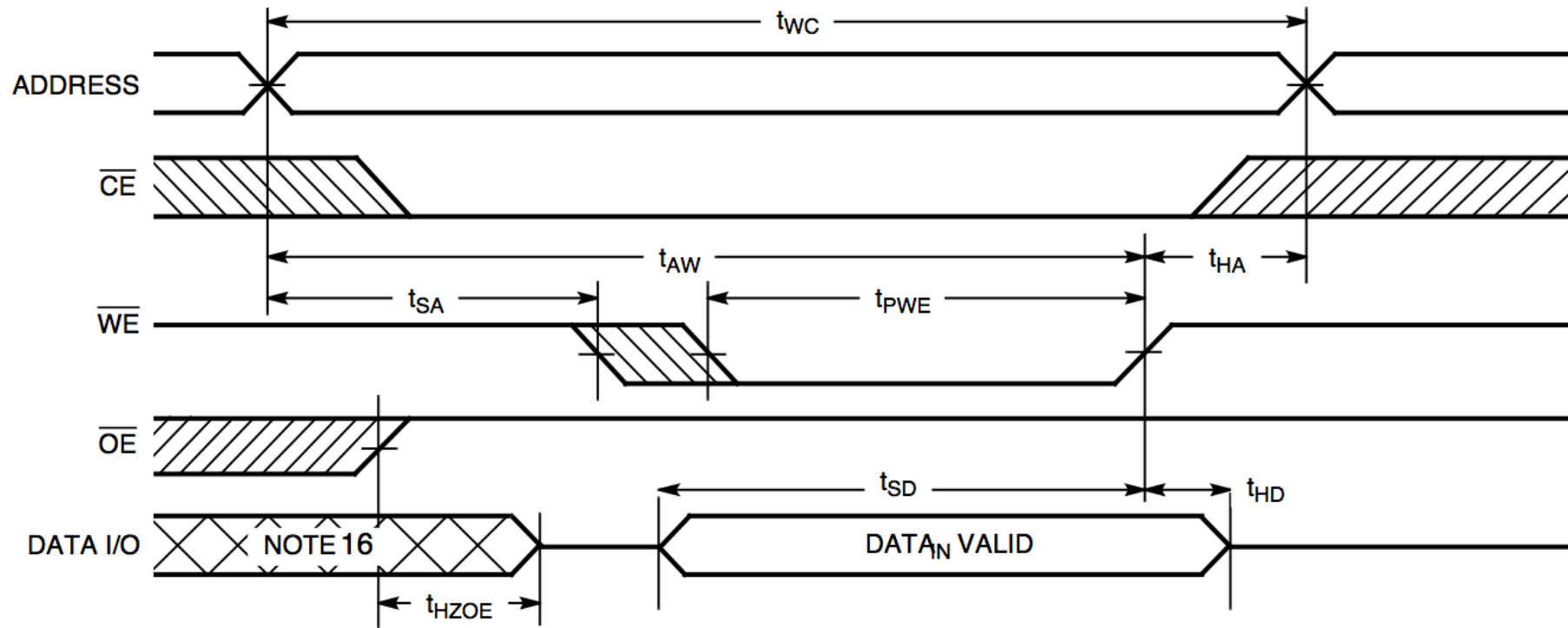
5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM): Read Cycle



5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM): Read Cycle

- t_{ACE} เรียกว่า เวลาเข้าถึงข้อมูล หรือ Access Time โดยเริ่มนับจากเมื่อสัญญาณ \overline{CE} เปลี่ยนเป็น 0 จนข้อมูลที่ถูกต้องปรากฏ
- t_{RC} เรียกว่า คาบเวลาที่สั้นที่สุดในการอ่านข้อมูลจากสแตติกแรม (Read Cycle Time) อย่างต่อเนื่อง โดย $t_{RC} > t_{ACE}$
- t_{HZOE} เรียกว่า เวลาที่ข้อมูลบนบัสข้อมูลยังถูกต้อง (Valid) เมื่อขาสัญญาณ \overline{OE} เปลี่ยนเป็น 1 แล้ว
- t_{HZCE} เรียกว่า เวลาที่ข้อมูลบนบัสข้อมูลยังถูกต้อง (Valid) เมื่อขาสัญญาณ \overline{CE} เปลี่ยนเป็น 1 แล้ว

5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM): Write Cycle



5.4 หน่วยความจำชนิดสแตติกแรม (Static RAM: SRAM): Write Cycle

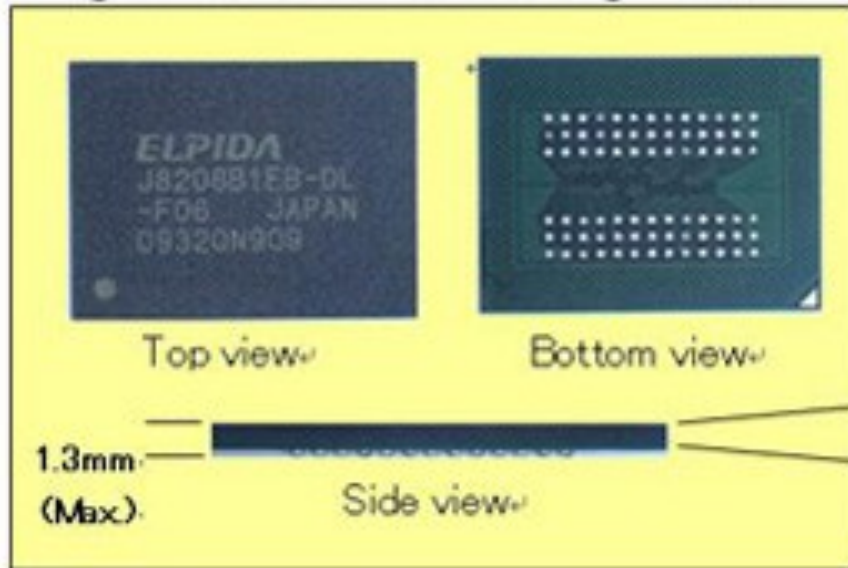
- t_{SD} เรียกว่า เวลาที่จะตรึงข้อมูลไว้ (Data Stable Time) ก่อน Write Enable (\overline{WE}) เปลี่ยนเป็น 1
- t_{HD} เรียกว่า เวลาที่จะตรึงข้อมูลไว้ (Data Hold Time) เมื่อ Write Enable (\overline{WE}) = 1 แล้ว
- t_{WC} เรียกว่า คาบเวลาที่สั้นที่สุดในการเขียนข้อมูลในสแตติกแรม (Write Cycle Time) อย่างต่อเนื่อง
- t_{AW} เรียกว่า เวลาเข้าถึงสำหรับการเขียน (Access Write Time)

5.5 หน่วยความจำหลักชนิดไดนามิคแรม (Synchronous Dynamic RAM: DRAM): DDR4 SDRAM 16GiB for PC & 4GiB & 8GiB for Notebook

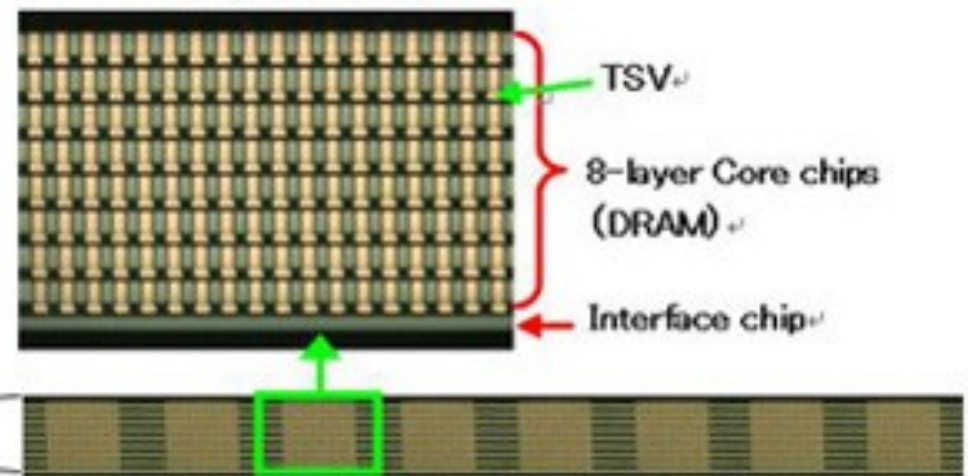


5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: SDRAM)

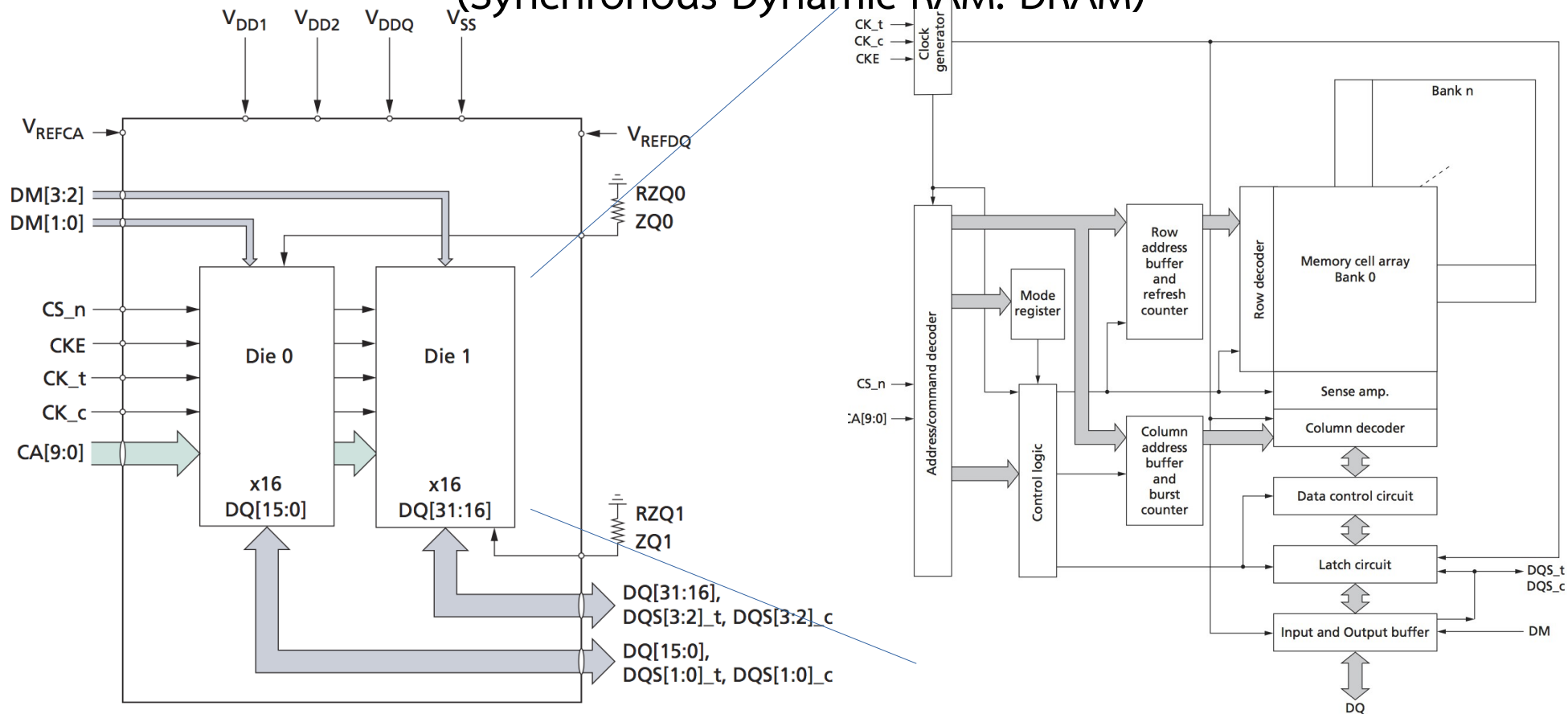
8-Gigabit TSV DRAM Package Outline



Cross-section



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม (Synchronous Dynamic RAM: DRAM)

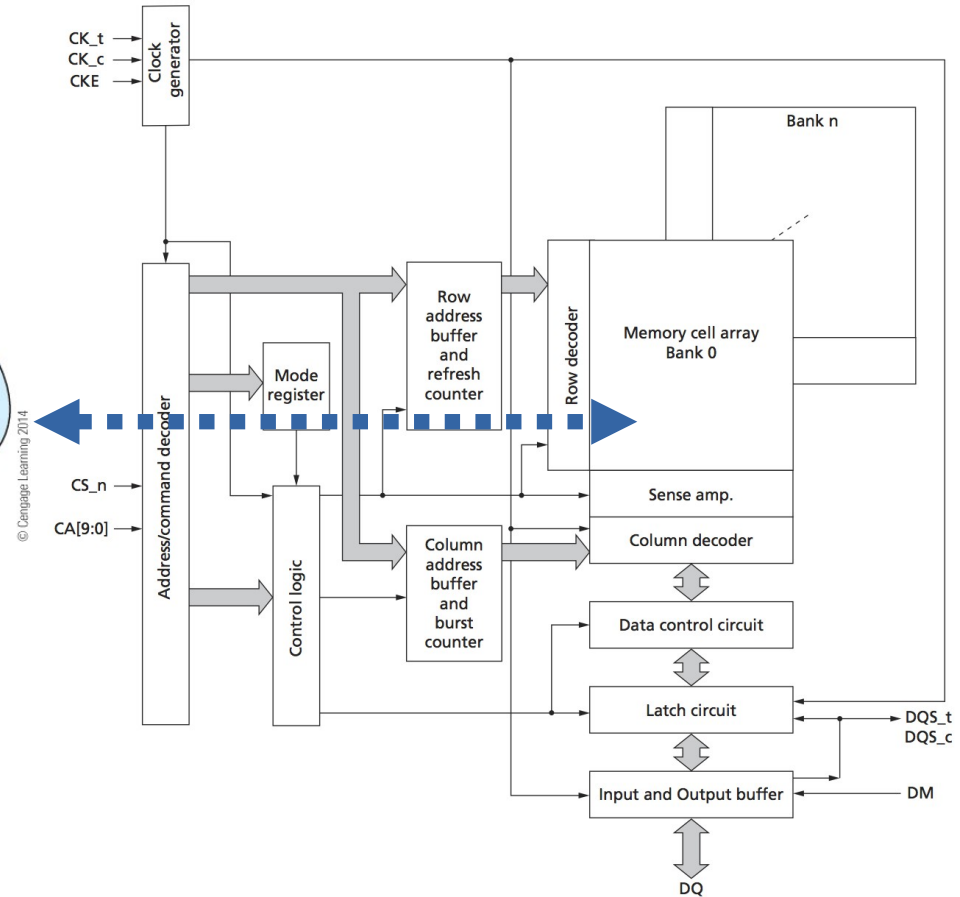
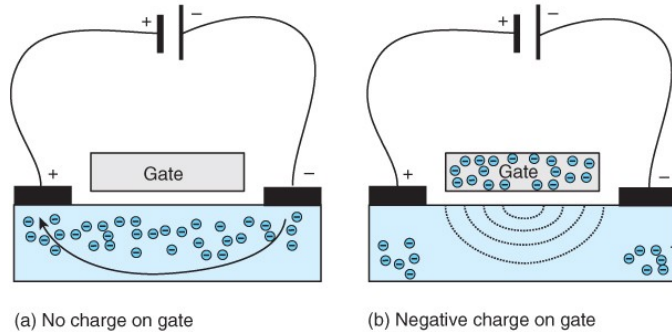


5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: DRAM)

- โครงสร้างของหน่วยความจำชนิด DDR2 จำนวน
2 ดาย (die) แต่ละดายประกอบด้วย แผงอะเรย์ DRAM จำนวน 8 ชั้น หรือ 8 แบงก์ (Bank)
ชั้นละ 32 เมกกะเซลล์ x 16 บิต คิดเป็น
 $2 \times 8 \times 32 \text{ เมกกะเซลล์} \times 16 \text{ บิต} \times \text{ต่อ 1 ชิป หรือ}$
 $2^1 \times 2^3 \times 2^5 \times 2^{20} \times 2^4 = 2^{33} = 2^3 \times 2^{30} = 8 \text{ Gbits} = 1 \text{ GByte}$
- แบงก์ที่ 0 ถึง 7 แต่ละแบงก์ประกอบด้วยวงจรถอดรหัสแอดเดรส (Address Decoder)
ในแนวนอน (Row Decoder) และแนวตั้ง (Column Decoder)

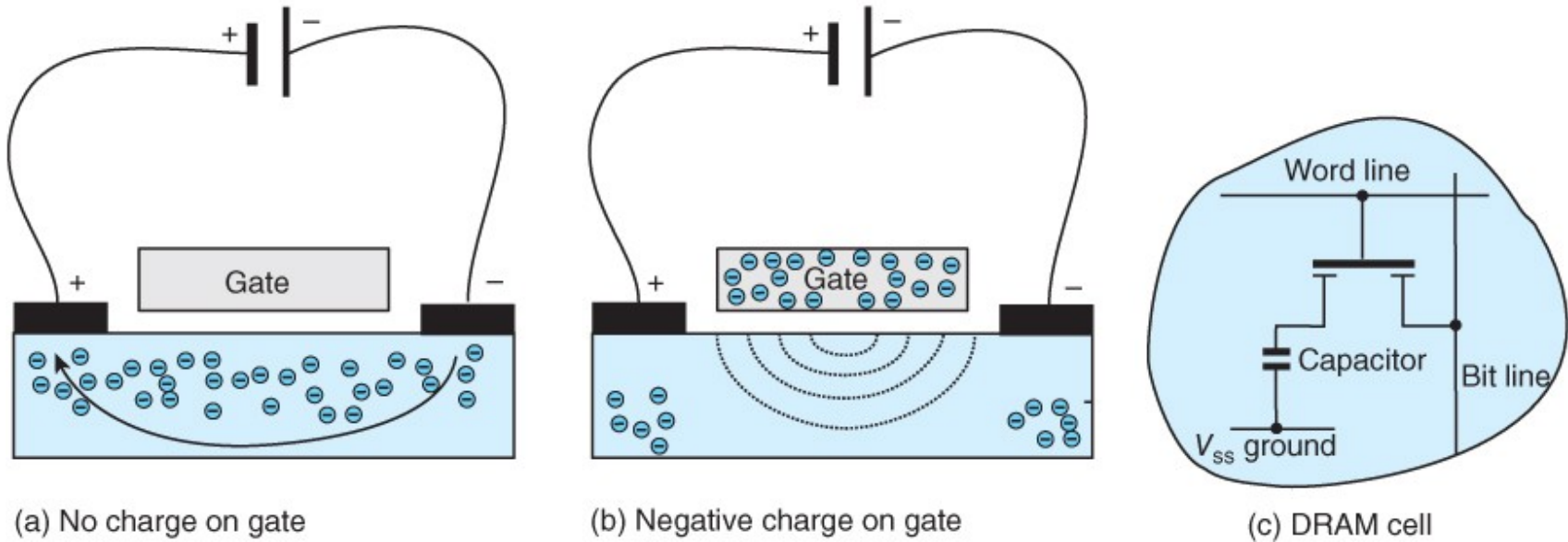
5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: DRAM): Memory Cell

FIGURE 10.16 The effect of a charged gate on electron flow



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม (Synchronous Dynamic RAM: DRAM): Memory Cell

FIGURE 10.16 The effect of a charged gate on electron flow



© Cengage Learning 2014

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: SDRAM)

แบงก์ที่ 0 ถึง 7 แต่ละแบงก์ประกอบด้วยวงจรถอดรหัสแอดเดรส (Address Decoder) ในแนวนอน (Row Decoder) และแนวตั้ง (Column Decoder) ภายในชิพประกอบด้วยขาสัญญาณต่างๆ เรียงตามลำดับความสำคัญ ดังนี้

- CS_n หรือ (Chip Select Not) หรือ \overline{CS} ใช้เปิด/ปิดการทำงานของชิพ เพื่อช่วยประหยัดพลังงาน
- CKE (Clock Enable) เมื่อสัญญาณ $\overline{CS}=0$ เพื่อให้ชิพทำงาน หลังจากนั้น สัญญาณ CKE ใช้สำหรับเปิด/ปิดการทำงานของบล็อกที่จ่ายให้กับชิพ DRAM นี้ ซีพียูสามารถควบคุมสัญญาณ CKE=0 เพื่อพักการใช้งาน DRAM ชั่วคราวเพื่อช่วยประหยัดพลังงาน
- CK (Clock) และ CK# (Clock Not) คือ สัญญาณคล็อกสองสัญญาณที่มีเฟส (Phase) หรือขั้วตรงข้ามกัน เรียกว่า คู่ดิฟเฟอเรนเชียล (Differential Pair) หน่วยเป็นเมกะเฮิรตซ์ สัญญาณคล็อกความถี่สูงสุด 400 เมกะเฮิรตซ์

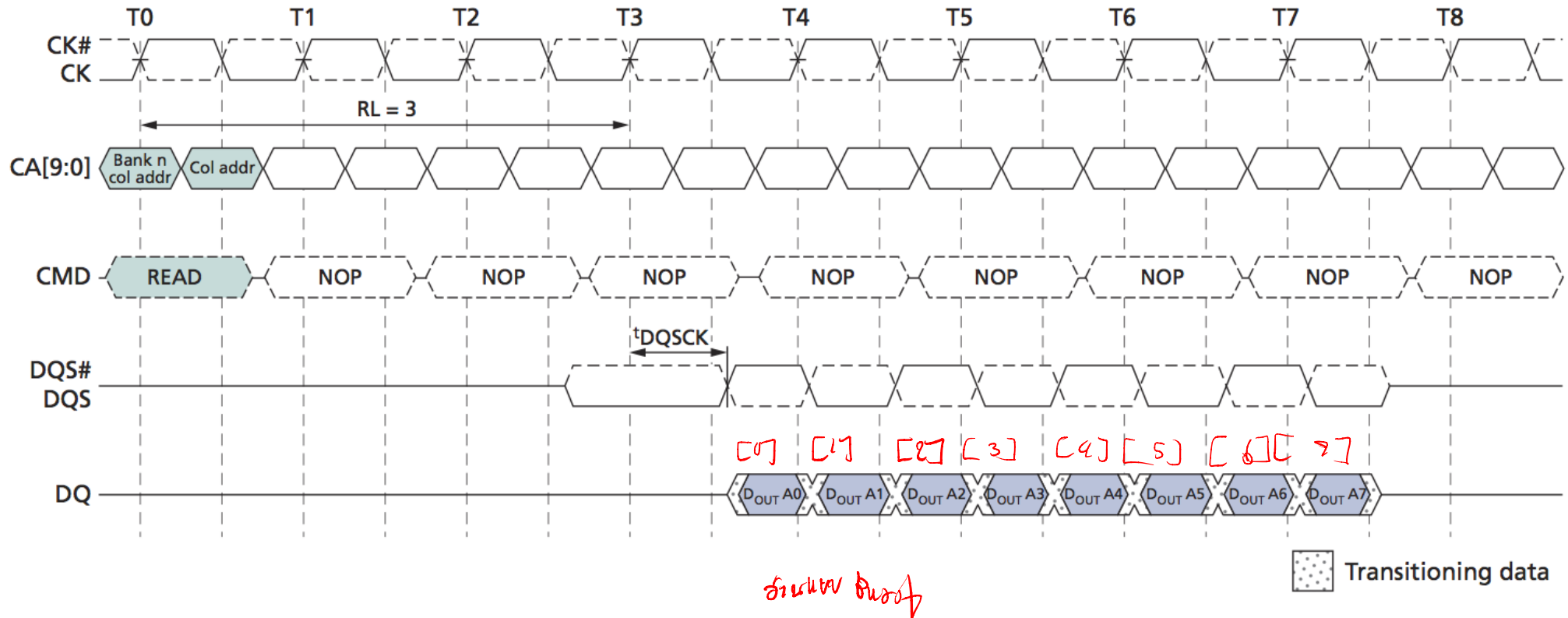
ชิพ DDR4 ล่าสุดสำหรับคอมพิวเตอร์ตั้งโต๊ะความถี่สูงสุด มากกว่า 3,000 เมกะเฮิรตซ์ และมีแนวโน้มเพิ่มขึ้นตามเทคโนโลยีการผลิตที่พัฒนาอย่างต่อเนื่อง ผู้อ่านสามารถค้นคว้าเพิ่มเติมได้ที่ [wikipedia](https://en.wikipedia.org/wiki/DDR4_SDRAM)

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม

(Synchronous Dynamic RAM: SDRAM)

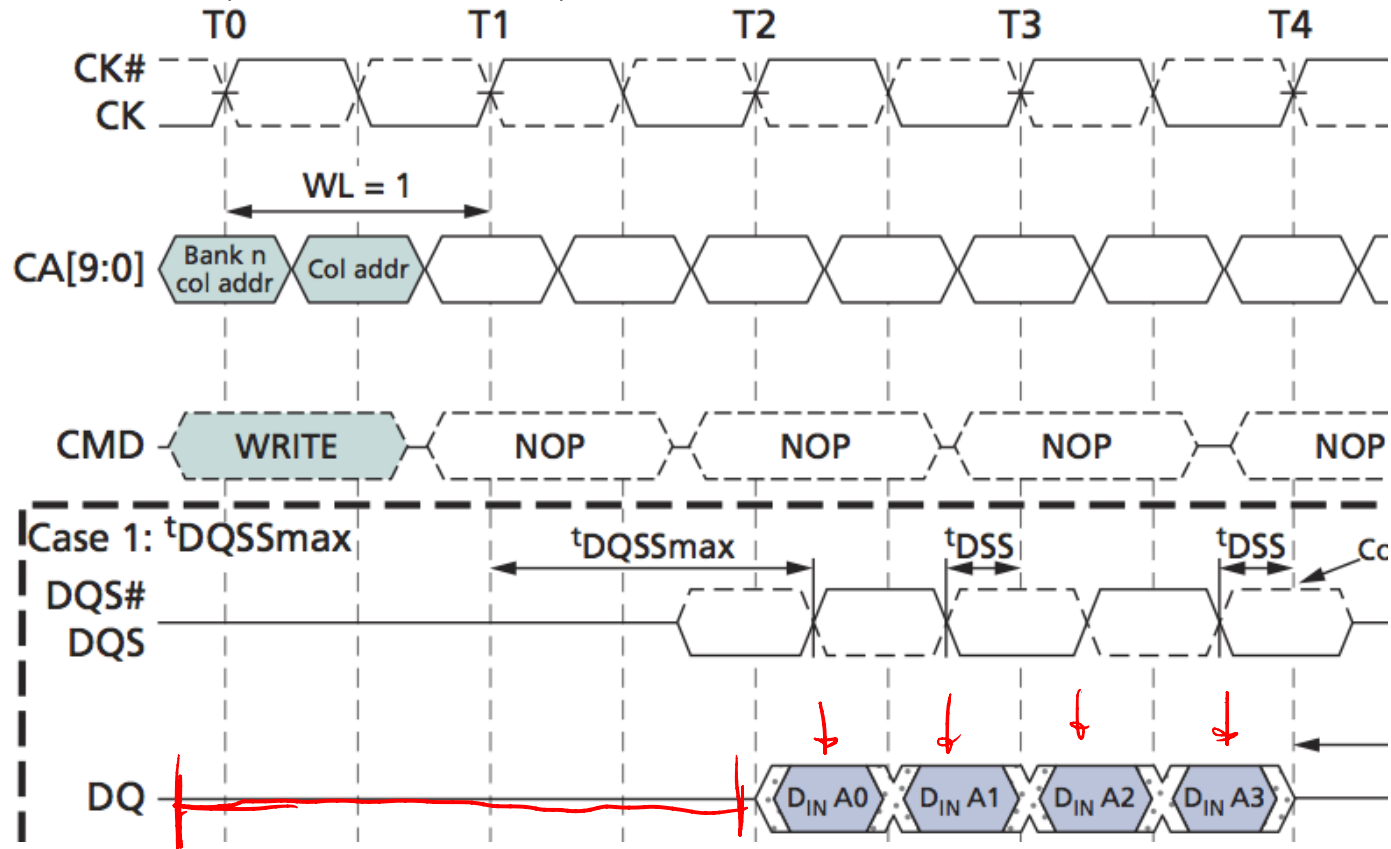
- **Command/Address** CA[0:9] ขนาด 10 บิต ใช้มัลติเพล็กซ์ (Multiplex) สัญญาณคำสั่ง (Command) และแอดเดรส (Address) เพื่อรับคำสั่ง (Command) และสัญญาณแอดเดรส (Address) ต่างห้วงเวลา
 - ซีพียูจะส่งคำสั่ง (Command) ต่างๆ ดังนี้ **Activate**, **Burst Read**, **Burst Write**, **Refresh**, **Power Down**, **Precharge** และ **Burst Terminate** เป็นต้น เพื่อกำหนดโหมดการทำงานของหน่วยความจำ DRAM ได้แก่ **Power Up**, **Deep Power Down**, **Active**, **Idle**, **Reading**, **Writing**, **Precharging**, **Refreshing** เป็นต้น
 - **สัญญาณแอดเดรสแถว (Row Address)** จำนวน 14 บิต และ **แอดเดรสคอลัมน์ (Column Address)** จำนวน 11 บิต จะพักเก็บในวงจรบัฟเฟอร์ เพื่อป้อนให้กับวงจรถอดรหัส (Decoder) คล้ายกับการทำงานของหน่วยความจำ SRAM ในหัวข้อที่ 5.13 การรับสัญญาณแอดเดรสเกิดขึ้น ณ ขอบขาขึ้นและขอบขาลงของแต่ละสัญญาณคล็อก

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: SDRAM): Read



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม

(Synchronous Dynamic RAM: SDRAM): Write



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: SDRAM)

- ผู้ผลิตเครื่องคอมพิวเตอร์โน้ตบุ๊ค โทรศัพท์เคลื่อนที่สมาร์ทโฟน และอุปกรณ์พกพาต่างนิยมออกแบบติดตั้งชิพหน่วยความจำ DRAM บนเมนบอร์ด (Main Board) เช่นเดียวกับบอร์ด Pi3 เพื่อลดขนาดและปริมาตรของเครื่องให้มีขนาดเท่ากับบัตรเครดิต
- ขบวนการผลิต DRAM ยังไม่สามารถรวมกับขบวนการผลิตไมโครโปรเซสเซอร์ได้ ผู้ผลิตจึงจำเป็นต้องผลิตชิพ DRAM แยกต่างหาก
- ความถี่ของคล็อก ความจุ (กิบิไบต์) ต่อชิพเพิ่มสูงขึ้นเรื่อยๆ การระบายความร้อนออกจากชิพ DRAM จึงมีความยากและท้าทายเพิ่มขึ้น

พอ

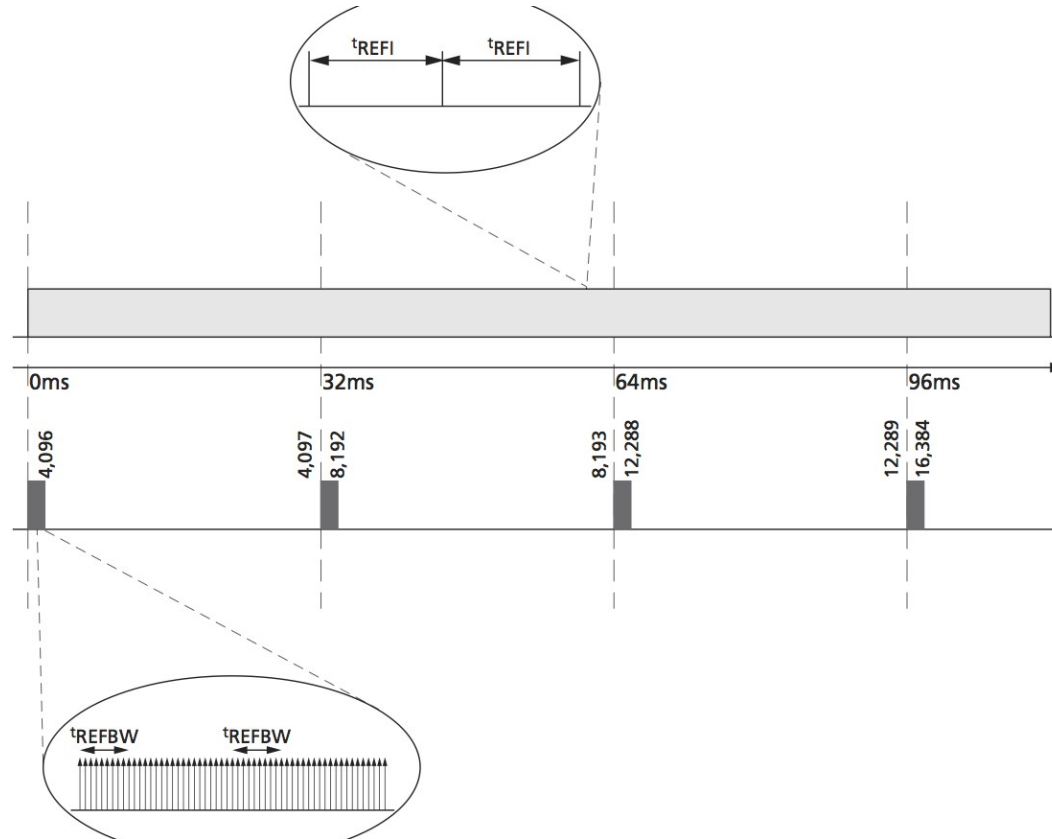
5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: SDRAM): Refresh

การรีเฟรช (Refresh) คือ การอ่านข้อมูลที่อยู่ในบิตเซลล์ต่างๆ แล้วเขียนซ้ำที่บิตเซลล์เดิม เพื่อป้องกันไม่ให้ประจุที่เก็บอยู่ในบิตเซลล์ต่างๆ รั่วไหลหายไป เนื่องจากเซลล์ต่างๆ ที่ใช้เก็บข้อมูล ทำหน้าที่มี ('1') หรือไม่มี ('0') ประจุไฟฟ้า สำหรับบิตเซลล์ที่มีประจุๆ เหล่านี้อาจรั่วไหลหายไปเมื่อเวลาผ่านไปไม่กี่มิลลิวินาที เมื่อจำนวนประจุลดลง ทำให้การแยกแยะระหว่างบิตเซลล์ที่มีและไม่มีประจุยากขึ้น และอาจทำให้ตีความไม่ถูกต้องและเกิดข้อผิดพลาดในการอ่านข้อมูล

วงจรควบคุมจะส่งคำสั่งรีเฟรชทุกๆ 32 มิลลิวินาที หากมีการรีเฟรชดำเนินการอยู่ การอ่านหรือเขียนหน่วยความจำจะต้องหยุดรอ เพื่อให้ขบวนการรีเฟรชนั้นเสร็จสิ้น ในทำนองเดียวกัน หากมีการอ่านหรือเขียนข้อมูลจริงอยู่ การรีเฟรชจะต้องหยุดรอก่อน เพื่อให้ขบวนการอ่านหรือเขียนนั้นเสร็จสิ้น

หน่วยความจำสแตติกแรมไม่ต้องการรีเฟรชข้อมูล เนื่องจากการจัดเก็บข้อมูลใช้วิธีการเก็บข้อมูลที่แตกต่างกับหน่วยความจำ DRAM ทำให้ SRAM มีสมรรถนะและประสิทธิภาพสูงกว่า แต่ต้องใช้จำนวนทรานซิสเตอร์ต่อบิตเซลล์มากกว่า จึงทำให้ใช้พื้นที่บนแผ่นซิลิกอนต่อความจุข้อมูล 1 บิตใหญ่กว่าเช่นกัน ผู้อ่านสามารถค้นคว้าเพิ่มเติมได้ที่ [wikipedia](https://en.wikipedia.org/wiki/Static_random_access_memory)

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิคแรม (Synchronous Dynamic RAM: SDRAM): Refresh



สรุปท้ายบท

หน่วยความจำลำดับชั้นอาศัยเทคโนโลยีหน่วยความจำหลายชนิด หลายขนาดความจุเข้าด้วยกัน ยกตัวอย่าง เช่น

- เทคโนโลยี SRAM เป็นหน่วยความจำขนาดเล็กแต่เวลาเข้าถึงสั้น นำมาใช้งานเป็นรีจิสเตอร์ และ แคช ลำดับต่างๆ
- เทคโนโลยี SDRAM เป็นหน่วยความจำความจุมากกว่าแต่เวลาเข้าถึงนานกว่า SRAM นำมาใช้งานเป็น หน่วยความจำหลัก
- เทคโนโลยีหน่วยความจำแฟลช เป็นหน่วยความจำความจุมากกว่าแต่เวลาเข้าถึงนานกว่า SDRAM นำมา ใช้งานเป็นอุปกรณ์เก็บรักษาข้อมูล รายละเอียดเพิ่มเติมในบทที่ 7

เพื่อให้คอมพิวเตอร์มีความจุเพียงพอและตอบสนองต่อความต้องการใช้งานระบบโดยเฉลี่ยได้รวดเร็วขึ้น โดยการผสมผสานจุดเด่นของหน่วยความจำแต่ละชนิดเข้าด้วยกัน และช่วยประหยัดต้นทุนของระบบ

References

- https://www.researchgate.net/figure/Block-Diagram-of-Micro-SD-card_fig6_306236972
- <https://gabrieletolomei.wordpress.com/miscellanea/operating-systems/in-memory-layout/>
- <https://freedompenguin.com/articles/how-to/learning-the-linux-file-system>
- <https://www.techpowerup.com/174709/arm-launches-cortex-a50-series-the-worlds-most-energy-efficient-64-bit-processors>
- https://www.researchgate.net/figure/NVIDIA-Tegra-2-mobile-processor-11_fig1_221634532
- Harris, D. and S. Harris (2013). Digital Design and Computer Architecture (1st ed.). USA: Morgan Kauffman Publishing.
- <https://learn.adafruit.com/resizing-raspberry-pi-boot-partition/edit-partitions>