

# Laboratorio 3

7 de junio de 2025

Jose Ignacio Valenzuela - Jose.valenzuelavo@usm.cl - 202273635-6  
Sergio Cárcamo Naranjo - sergio.carcamon@usm.cl - 202273512-0

---

## 1. Resumen

En este laboratorio se diseñó un circuito secuencial utilizando Logisim, cuyo objetivo es representar en un display de 7 segmentos el recorrido de la red de sectores de Bitópolis. Este problema fue planteado como parte del desafío del excéntrico Don Bit, y busca integrar conocimientos de lógica digital secuencial, mapas de Karnaugh y diseño de circuitos. Cada sector está identificado por una dirección de 4 bits, y se considera como punto de partida hasta el sector final F. El circuito luego muestra el recorrido por cada sector hasta llegar al sector final. El desarrollo de este laboratorio permite profundizar en la implementación de lógica secuencial de manera optimizada.

## 2. Entradas, salidas y supuestos

**Entradas:** la entrada al sistema de lógica secuencial es un bus de 4 bits que identifica el sector o nodo inicial de donde iniciar el recorrido.

**Salidas:** la salida del sistema de lógica secuencial es un bus de 7 bits que corresponde a secuencias que se despliegan en un display de 7 segmentos para identificar cada nodo o sector recorrido en la red.

**Supuestos:**

1. **Validez de entrada:** no se consideraron entradas inválidas, es decir, el sistema siempre espera una entrada de exactamente 4 bits bien definidos (0-1).

## 3. Diccionario de correspondencia

### 3.1. Tabla de Nodos - Segmentos

Como se explicó anteriormente, cada sector, representado por un nodo, además tiene una representación en el display de 7 segmentos acorde a la siguiente tabla:

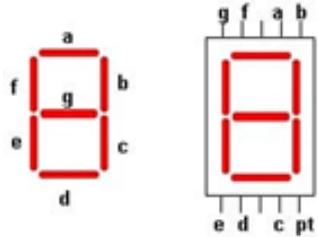
Número	Nodo	Display (7 segmentos)
0	A	
1	B	
2	C	
3	D	
4	E	
5	F	
6	G	
7	H	
8	I	
9	J	
10	K	
11	L	
12	M	
13	N	
14	O	
15	P	

### 3.1.1. Tabla Sectores - salida 7 Bits

Para hacer la tabla de sector versus salida de 7 bits es necesario hacer una asignación de bits a leds en el display de 7 segmentos.

Típicamente un display de 7 segmentos enumera los LED según la configuración que se

muestra a continuación, acompañado del diagrama de conexiones que también se utiliza en *Logisim*.



Al hacer pruebas en *Logisim* es posible notar que cuando en uno de los pines del display hay un 1 lógico, el led asociado a este pin se enciende. Esto se puede observar en la imagen a continuación, donde se hace una prueba encendiendo el led *e* del display conectandolo a una fuente de poder.



Con esto, y observando el diccionario de asignaciones es posible hacer una tabla de salidas de 7 bits asociadas a las posibles entradas.

## 4. Tabla de verdad general

Combinando la información antes expuesta se llega a la siguiente tabla, donde *ABCD* son los bits de la entrada del más significativo al menos significativo.

A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	0	1	1	1
0	0	0	1	0	0	1	1	1	1	1
0	0	1	0	1	0	0	1	1	1	0
0	0	1	1	0	1	1	1	1	0	1
0	1	0	0	1	0	0	1	1	1	1
0	1	0	1	1	0	0	0	1	1	1
0	1	1	0	1	0	1	1	1	1	0
0	1	1	1	0	1	1	0	1	1	1
1	0	0	0	0	1	1	0	0	0	0
1	0	0	1	0	1	1	1	1	0	0
1	0	1	0	1	0	1	0	1	1	1
1	0	1	1	0	0	0	1	1	1	0
1	1	0	0	1	0	1	0	1	0	1
1	1	0	1	1	0	1	0	1	0	0
1	1	1	0	1	1	1	1	1	1	0
1	1	1	1	1	1	0	0	1	1	1

## 5. Mapas de Karnaugh y Ecuaciones Booleanas

A continuación se crean los mapas de Karnaugh por bit de salida para calcular cada ecuación booleana asociada. Para todos los Mapas de Karnaugh se usó el orden de Grey y se usaron grupos de unos.

- Mapa de Karnaugh y ecuación segmento a:

		CD	00	01	11	10
		AB	00	01	11	10
00			1	0	0	1
01			1	1	0	1
11			1	1	1	1
10			0	0	0	1

La ecuación asociada es:

$$a = A\bar{B} + AB + \bar{C}\bar{A}B + \bar{C}\bar{D}\bar{A}$$

- Mapa de Karnaugh y ecuación segmento b:

		CD	00	01	11	10
		AB	00	01	11	10
00			1	0	1	0
01			0	0	1	0
11			0	0	1	1
10			1	1	0	0

La ecuación asociada es:

$$b = \bar{B}\bar{C}\bar{D} + A\bar{B}C + \bar{A}CD + ABC$$

3. Mapa de Karnaugh y ecuación segmento c:

		CD AB	00	01	11	10
		00	1	1	1	0
		01	0	0	1	1
		11	1	1	0	1
		10	1	1	0	1

La ecuación asociada es:

$$c = \bar{A}\bar{B}\bar{C} + \bar{A}CD + \bar{A}BC + A\bar{C} + AC\bar{D}$$

4. Mapa de Karnaugh y ecuación segmento d:

		CD AB	00	01	11	10
		00	0	1	1	1
		01	1	0	0	1
		11	0	0	0	1
		10	0	1	1	0

La ecuación asociada es:

$$d = \bar{A}C\bar{D} + BC\bar{D} + \bar{A}B\bar{D} + \bar{B}D$$

5. Mapa de Karnaugh y ecuación segmento e:

		CD AB	00	01	11	10
		00	1	1	1	1
		01	1	1	1	1
		11	1	1	1	1
		10	0	1	1	1

La ecuación asociada es:

$$e = AD + AC + AB + \bar{A}$$

6. Mapa de Karnaugh y ecuación segmento f:

		CD	00	01	11	10
		AB	00	01	11	10
00			1	1	0	1
01			1	1	1	1
11			0	0	1	1
10			0	0	1	1

La ecuación asociada es:

$$f = \bar{A}\bar{C} + \bar{A}B + C\bar{D} + AC$$

7. Mapa de Karnaugh y ecuación segmento g:

		CD	00	01	11	10
		AB	00	01	11	10
00			1	1	1	0
01			1	1	1	0
11			1	0	1	0
10			0	0	0	1

La ecuación asociada es:

$$g = \bar{A}\bar{C} + \bar{A}D + B\bar{C}\bar{D} + BCD + A\bar{B}C\bar{D}$$

Y ahora, las tablas correspondientes a la lógica secuencial:

1. Mapa de Karnaugh y ecuación para bit A:

		CD	00	01	11	10
		AB	00	01	11	10
00			0	0	1	0
01			0	0	1	0
11			1	1	0	0
10			1	1	1	1

La ecuación asociada es:

$$A = A\bar{B} + AB\bar{C} + \bar{A}CD$$

2. Mapa de Karnaugh y ecuación para bit B:

		CD	00	01	11	10
		AB	00	01	11	10
00			0	0	0	0
01			0	1	1	1
11			1	1	1	1
10			0	1	1	1

La ecuación asociada es:

$$B = AB + BD + BC + AD + AC$$

3. Mapa de Karnaugh y ecuación para bit C:

		CD	00	01	11	10
		AB	00	01	11	10
AB	00	0	1	0	0	
	01	1	0	0	1	
	11	1	1	0	0	
	10	0	0	0	0	

La ecuación asociada es:

$$C = ABC\bar{C} + \bar{A}\bar{B}\bar{C}D + \bar{A}BC\bar{D} + B\bar{C}\bar{D}$$

4. Mapa de Karnaugh y ecuación para bit D:

		CD	00	01	11	10
		AB	00	01	11	10
AB	00	1	1	0	1	
	01	1	1	0	1	
	11	0	1	1	1	
	10	1	0	1	1	

La ecuación asociada es:

$$D = \bar{A}\bar{C} + B\bar{C}D + C\bar{D} + AC + A\bar{B}\bar{D}$$

## 6. Simulaciones en *Logisim*

A continuación, una simulación del recorrido desde el sector A hasta el F, mostrando cada nodo.

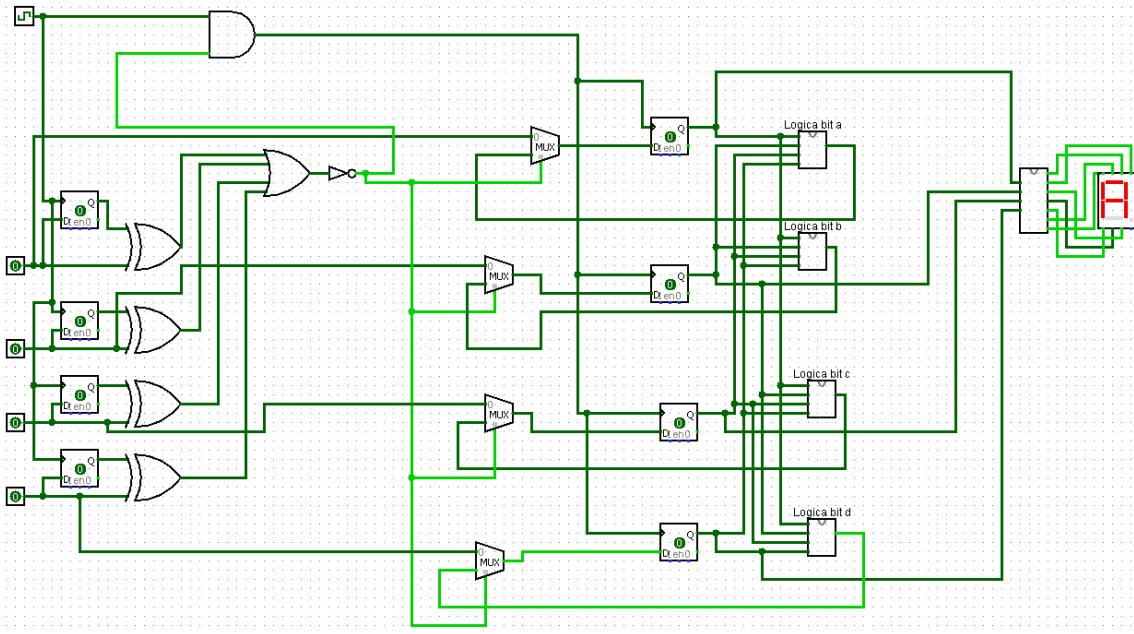


Figura 1: Sector A

5.

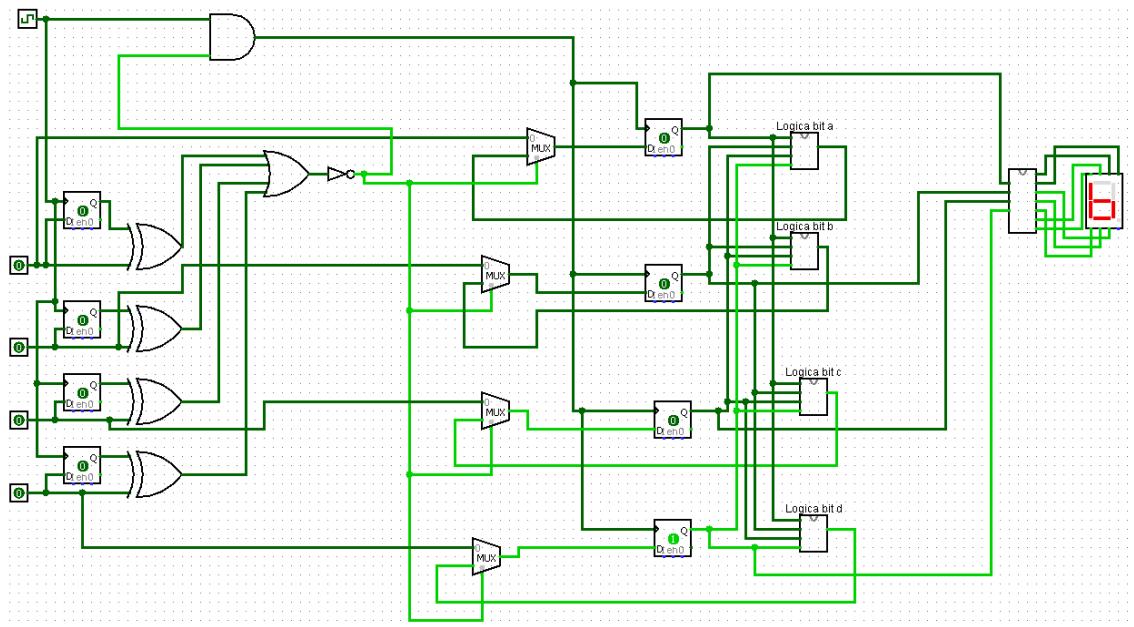


Figura 2: Sector B

6.

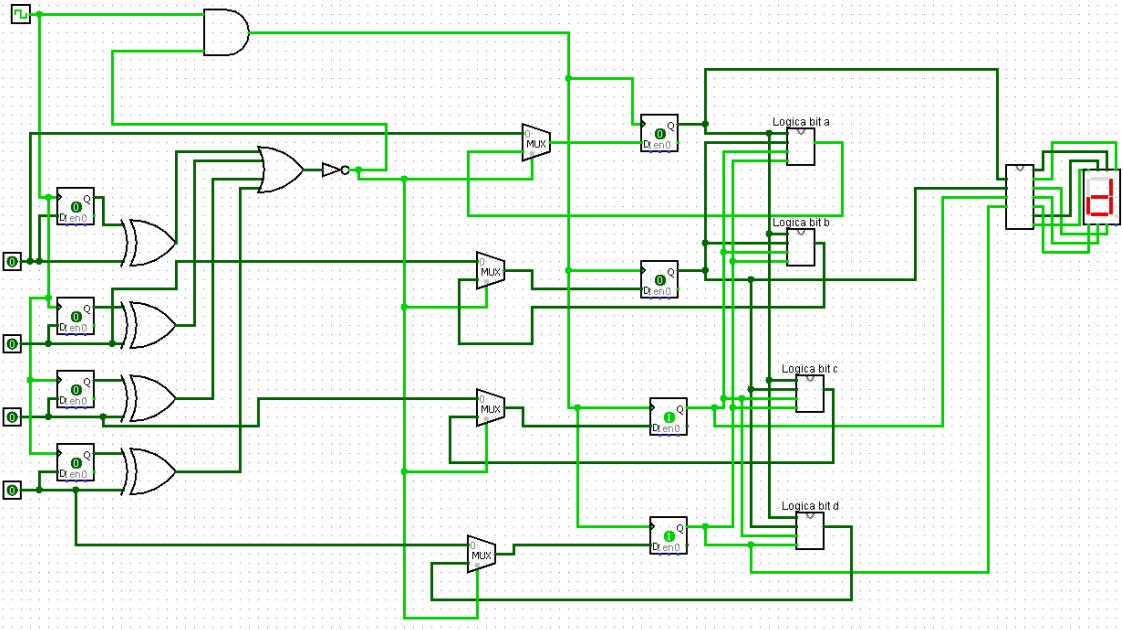


Figura 3: Sector D

7.

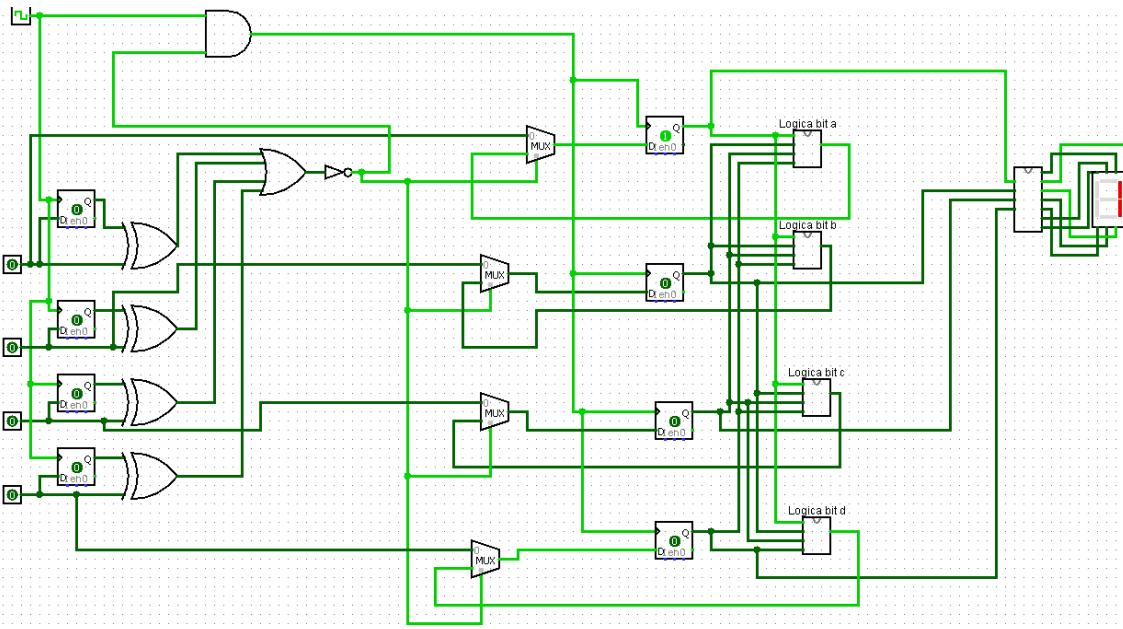


Figura 4: Sector I

8.

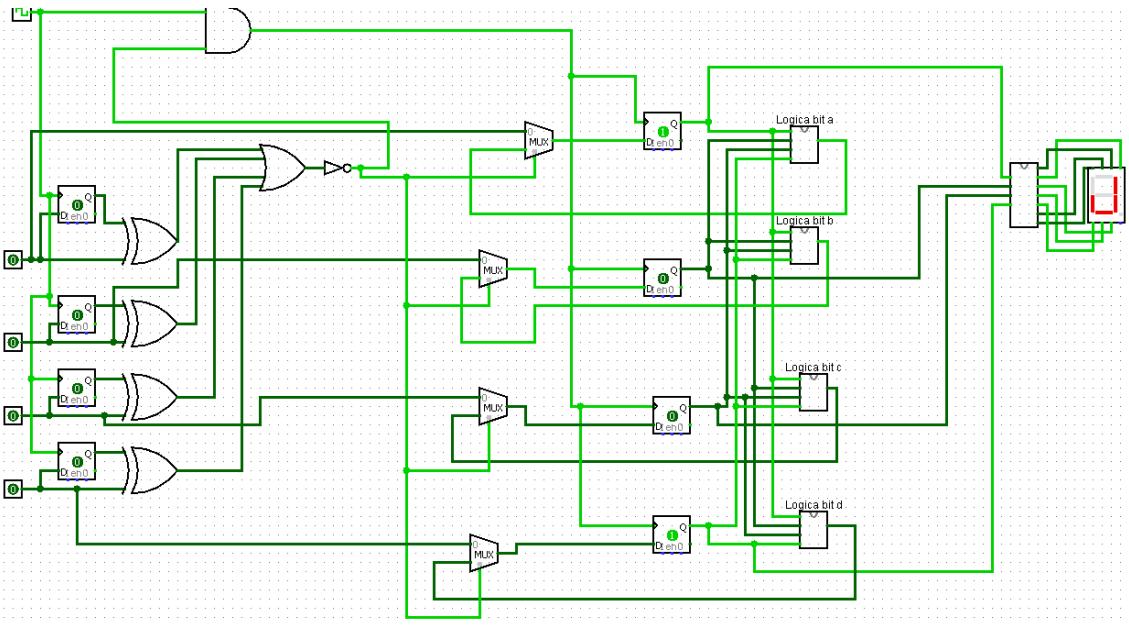


Figura 5: Sector J

9.

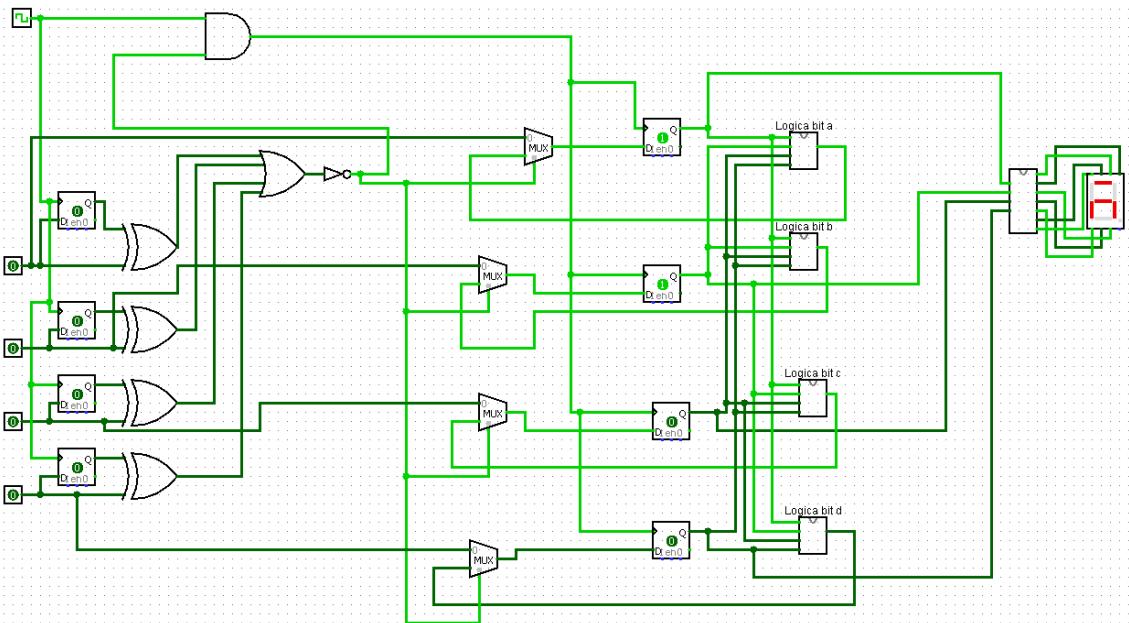


Figura 6: Sector M

10.

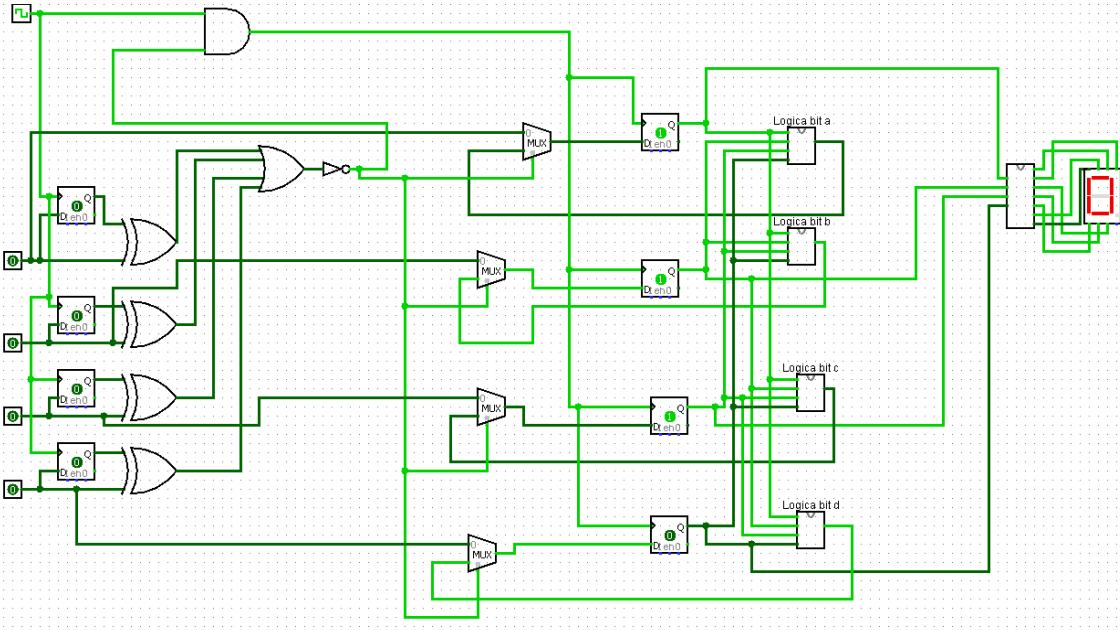


Figura 7: Sector O

11.

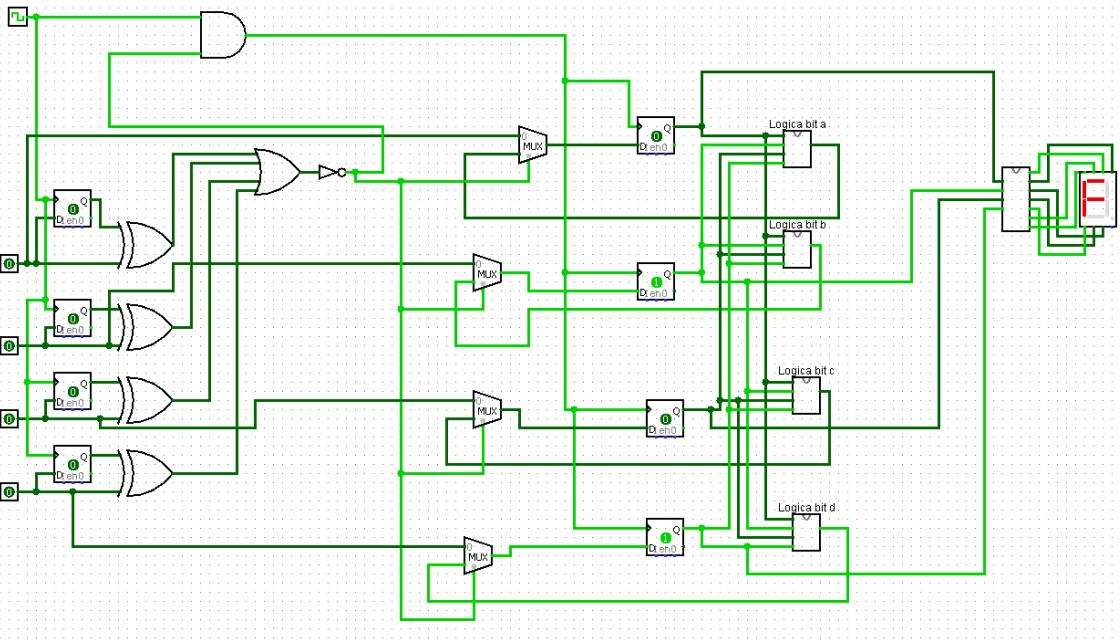


Figura 8: Sector P

## 12. 7. Conclusiones

Basado en los resultados de este informe, podemos concluir que, en efecto, se puede implementar un sistema de lógica secuencial que permita recorrer y representar dicho recorrido de la red de sectores de Bitópolis a través de un display de 7 segmentos y sin usar memorias ROM, por lo que el excéntrico Don Bit estará contento.