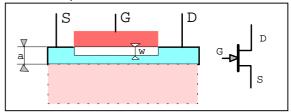


LE TRANSISTOR A EFFET DE CHAMP A JONCTION (JFET)

C'est un composant de structure plane. Il est constitué par une mince couche de matériau

semiconducteur N (pour un JFET canal N), sur laquelle a été déposée une couche P constituant ainsi une jonction PN verticale .Figure ci contre. Aux deux extrémités sont ménagés deux accès qui constituent la source et le drain. La couche P constitue la grille ('gate ') , elle est polarisée négativement par rapport à la source de façon que la jonction soit bloquée.

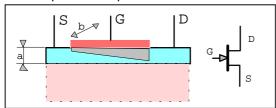


La jonction étant polarisée en inverse, une zone de charge d'espace isolante d'épaisseur W se forme dans la couche N ,pour passer de S à D un courant ne peut donc circuler que dans un canal d'épaisseur a-W , La résistance du canal N entre S et D est donc :

$$R=
ho rac{L}{b\cdot (a-W)}$$
 ou ho est la résistivité du semiconducteur N , et b la largeur du cana

perpendiculairement à la figure. Or W varie comme la racine carrée de la tension de polarisation de la jonction. Le dipôle SD se comporte donc comme une résistance fonction de la tension grille. Pour une valeur Vp de la tension grille source (valeur négative dans ce cas), W devient égal à a ,le canal à une épaisseur nulle donc une résistance infinie, Vp est la tension de pincement du JFET.

Le phénomène est un peu plus complexe car pour faire passer un courant entre drain et source il faut appliquer entre ces deux points une différence de potentiel V_{DS} , or le courant de grille étant nul, (jonction polarisée en inverse) , le matériau P de grille est équipotentiel. Du coté source la tension de polarisation de la jonction est - $|V_{gs}|$ alors que du côté drain elle est - $|V_{gs}|$ - V_{ds} c'est à dire plus grande en valeur absolue. L'épaisseur W de la zone de charge d'espace est plus grande du coté drain que du coté source, le canal est donc plus étroit du coté collecteur .Si $|V_{gs}|$ + V_{ds} = $|V_{p}|$ le canal est complètement pincé à droite.



En écrivant les équations du système on peut montrer que pour de faibles valeurs de Vds le courant drain source s'écrit :

$$I_{DS} = \frac{2I_{DSS}}{V_{P}^{2}} \left[(V_{P} - V_{GS}) V_{DS} - \frac{1}{2} V_{DS}^{2} \right]$$

Cette formule est valable tant que le canal n'est pas

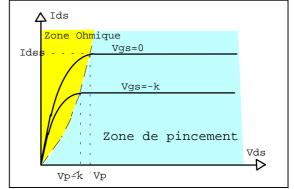
pincé c'est à dire que V_{DS}<|V_P|-|V_{GS}|

Au delà le courant devient indépendant de Vds , c'est la zone de pincement dans laquelle :

$$I_{DS} = I_{DSS} (1 - \frac{V_{GS}}{V_P})^2$$

I_{DSS} étant le courant limite pour Vgs=0 Dans les deux cas Ig=0.

Le réseau de caractéristiques d'un transistor à effet de champ à jonction $I_{ds}=f(V_{DS})_{Vgs=Cte}$ comporte deux parties ,une zone dite ohnique ou le composant se comporte comme une résistance non linéaire fonction de la



tension grille source (en jaune sur la figure) et une zone de pincement ou le courant est presque indépendant de la tension drain (résistance interne très grande), (en bleu pâle sur la figure).

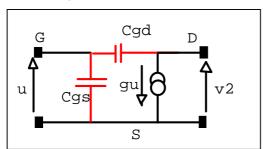
La tension grille d'un JFET peut varier de -V_p à 0, une tension grille positive, supérieure à 0,6V risque de détruire la jonction de grille.

Les JFETs sont le plus souvent utilisés avec un point de polarisation placé dans la zone de pincement. En régime de petits signaux BF le schéma équivalent est alors représenté ci dessous en noir.



Les deux équations correspondantes étant :

 $\begin{array}{ccc} & | & i = gu & \text{avec } i = \Delta I_{DS} & \text{et } u = \Delta V_{GS} \\ & \text{et } i_G = 0 \end{array}$



g est la pente ,qui dépend du point de

polarisation:

$$g = g \max(1 - \frac{V_{GS}}{V_p}) \cdot \dots \cdot avec \cdot \dots \cdot g \max = 2 \frac{I_{DSS}}{V_p}$$

Aux fréquences plus élevées il faut tenir compte de la capacité répartie entre le canal et la grille. Pour simplifier on peut modéliser cette capacité répartie en une capacité grille source et une capacité grille drain . A cause de l'épaisseur W plus grande coté drain , C_{GS}

et toujours supérieur à C_{GD} , le rapport entre les deux étant de l'ordre de 2 . (En rouge sur le schéma ci joint).

Polarisation d'un JFET, montages amplificateurs.

La polarisation d'un JFET est plus difficile que celle d'un transistor car la grille doit être portée à un potentiel dont le signe est opposé à celui du drain. Il faut :

- soit faire appel à une tension de polarisation négative V_{pol} , associée à une résistance R_g aussi grande que l'on veut puisque I_q =0 (A sur la figure ci dessous) .,
- soit utiliser une polarisation automatique en plaçant la grille au potentiel zéro (via la résistance R_{G}) et en remontant le potentiel de source grâce à une résistance R_{S} parcourue par le courant de drain. (B sur la figure ci dessous). Dans ce cas le gain est réduit , pour retrouver le gain du montage A il faut découpler R_{S} par un gros condensateur .

En utilisant le schéma équivalent précédent il est facile de calculer le gain des deux montages

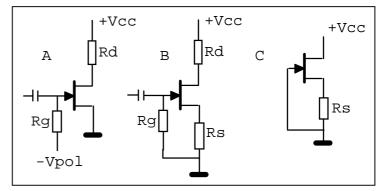
Pour le montage A

$$G = -gR_D$$

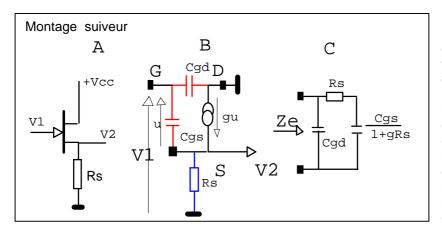
ou g est la pente du JFET au point de polarisation .

Pour le montage B

$$G = \frac{-gR_d}{1 + gR_S}$$



Le montage C est une **source de courant**, le courant drain est indépendant de la tension drain tant que V_{DS} est supérieure à une valeur minimale qui est de l'ordre de $|V_P|$.



Les montages A et B sont en pratique de peu d'intérêt car le gain est faible, le plus souvent quelques unités seulement. Le montage le plus utilisé est le montage suiveur ou drain commun représenté en A ci contre . En BF ce montage à une impédance d'entrée très élevée sinon infinie (courant de grille nul ou en pratique de quelques pico Ampére) une

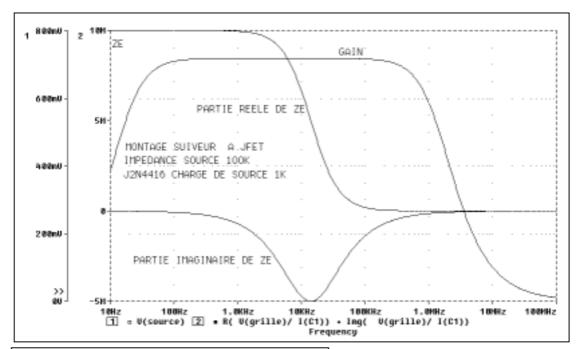


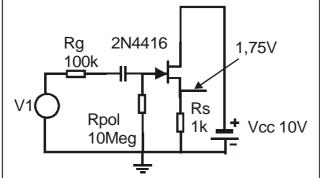
impédance de sortie faible , de l'ordre de (1/g) //R_S ,et un gain voisin de 1 (Plus faible cependant que celui d'un montage collecteur commun car le gain g est faible).

Cette impédance d'entrée chute malheureusement très vite avec la fréquence comme on peut s'en persuader en utilisant le schéma équivalent HF (figure B)

Cette impédance est représentée en C ,il s'agit de la capacité drain grille en parallèle avec un ensemble constitué par la résistance de source en série avec un condensateur proportionnel à C_{GS} . Pour un modèle classique 2N4416 la pente est de 20mA/V et les deux condensateurs de 10 et 20pF. Pour R_{S} =1k l'impédance d'entrée est constituée d'un condensateur de 10pF en parallèle avec un ensemble 1k+1pF .Or à 10Mhz un condensateur de 1pF à une impédance de 16k Ω seulement.

On notera que contrairement à ce qui se passe pour un suiveur à transistor bipolaire la tension de sortie sur la source est à un potentiel supérieur à celui de l'entrée.





La figure ci contre représente un étage suiveur utilisant un JFET classique le 2N4416 .On notera sur les courbes ci dessus le gain qui dépasse à peine 0,7 et la chute brutale de l'impédance d'entrée à partir de 50kHz.

A cause de leur polarisation d'entrée les JFETs ne sont jamais utilisés en régime de commutation ou dans des circuits logiques. Il existe bien sûr des

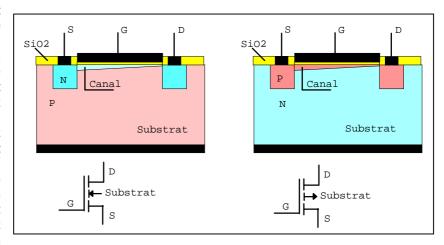
JFETs canal N ou P (plus rares) mais il n'existe pas (ou très peu) de JFETs de puissance.



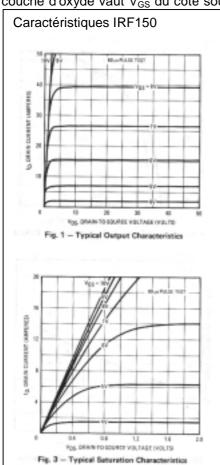
LES TRANSISTORS MOS

Un transistor MOS est constitué d'un substrat semiconducteur recouvert d'une couche

d'oxyde sur laquelle est déposée une électrode métallique appelée porte ou grille (gate) .Deux inclusions dont le dopage est opposé à celui du substrat sont diffusées aux deux extrémités de cette grille, elles constituent deux bornes du composant appelées source et drain. .(Figure ci dessous) .Dans le cas le plus courant d'un MOS canal N , le substrat est de type P. et les deux inclusions N Si une tension



positive est appliquée entre grille et substrat , le champ électrique attire les électrons et repousse les trous à la surface du substrat P créant ainsi ,si la tension est suffisante ,(Tension grille > tension de seuil) , par inversion de population ,un canal N superficiel qui peut assurer le passage du courant de la source au drain. On notera que le dispositif est symétrique, le drain est l'électrode la plus positive (pour un MOS canal N) .Si une tension est appliquée entre drain et source la tension à travers la couche d'oxyde vaut V_{GS} du côté source mais (V_{GS} - V_{DS}) du côté drain. Le champ électrique est donc



plus faible coté drain , la concentration des porteurs y est donc plus faible. Le phénomène est analogue à celui qui a été constaté pour les JFETs , le canal est pincé à droite, mais il s'agit ici d'un effet de concentration de porteurs et non un effet géométrique.

Le réseau de courbes caractéristiques d'un MOS est semblable à celui d'un JFET , avec zone ohmique et zone de pincement mais :

-II n 'y a pas de jonction, le courant de grille est vraiment nul ;(de l'ordre du pA au plus à cause des courants parasites superficiels)

-La tension de polarisation de grille est de même signe que la tension drain, ce qui facilite la polarisation.

Le réseau ci contre est celui d'un MOS de puissance IRF 150 dont la tension de seuil est d'environ 3V .

On notera que les caractéristiques sont bien horizontales même à fort courant ce qui traduit une impédance interne élevée .

Dans la zone ohmique le courant drain obéit à l'équation suivante:

$$I_{DS} = K \frac{W}{L} \left[(V_{GS} - V_S) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

L est la longueur du canal, W sa largeur perpendiculairement au plan de dessin. Cette largeur W est toujours plus grande que la longueur du canal, (c'est cette longueur L qui est actuellement de plus en plus faible, une

fraction de micron pour les MOS dans les circuits intégrés de dernière génération.)

Dans la zone de pincement on retrouve une expression semblable à celle du JFET :

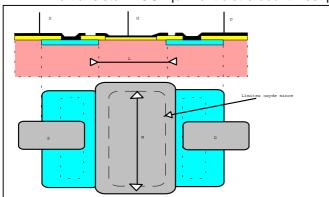


$$I_{DS} = \frac{KW}{2L} (V_{GS} - V_S)^2$$

La figure suivante représente la structure réelle d'un MOS canal N .

Au niveau de la grille la couche d'oxyde est amincie par attaque chimique, l'épaisseur résiduelle est très inférieure au micron, typiquement quelques dizaines de nanomètres.

Le transistor MOS qui vient d'être décrit n'est pas la seule structure possible, on peut d'abord



changer la polarité du substrat pour construire des MOS canal P qui sont pilotés par des tensions inversées par rapport aux précédentes. Il est encore possible de diffuser lors de la fabrication un mince canal entre source et drain. (canal préalable) Dans ce cas un courant passe en présence d'une tension nulle sur la grille (le I_{DSS} n'est plus nul) , et pour annuler le courant drain il faut appliquer sur la grille une tension qui repousse les porteurs du canal c'est à dire négative pour un canal N. La caractéristique Courant drain en fonction de la tension grille

ressemble alors à celle d'un JFET avec une tension de seuil négative (Pour un canal N) mais pas de limitation pour $V_{GS}>0$.(absence de jonction)

La figure ci contre représente les 4 configurations possibles.

MOS à canal induit (ou enrichissement) canal N ou P (en bleu)

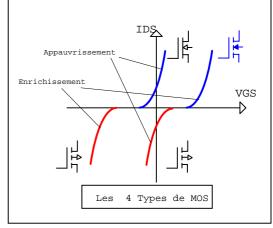
MOS à canal préalable (ou appauvrissement) canal N ou P (rares) (en rouge)

Pour de petits signaux le schéma équivalent est , du moins si on cherche par une grande précision, le même que celui des JFET .

Mise en œuvre

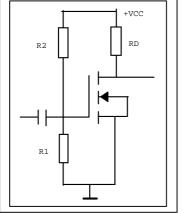
Il n'y a sur le marché qu'un choix limité de MOS de faible puissance N ou P toujours à canal induit. Ces composants peuvent être utilisés pour

réaliser des amplificateurs , ou



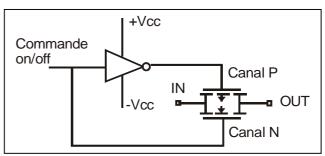
des étages suiveurs. La polarisation est facile à réaliser avec un simple pont de résistances qui peuvent être aussi grandes que l'on veut puisque le courant de grille est nul.

Les MOS de faible puissance sont l'un des constituants essentiels des circuits logiques, dans ce domaine ils représentent la presque totalité des composants actifs .La série logique CD 4000 est construite par association de MOS P et N (Famille CMOS qui sera décrite plus loin) , Les premiers circuits de la famille sont constitués de MOS P et N appairés utilisables individuellement



Une autre application des petits MOS est la

réalisation de portes analogiques, ce sont des circuits qui se comportent comme des interrupteurs mécaniques mais commandés par une tension. Le CD4016 dont la structure est représentée ci dessous est une porte





analogique très utilisée. Elle est constituée de 2 MOS complémentaires de façon à symétriser la caractéristique de transfert. La tension d'entrée Vin doit bien sûr être comprise entre +Vcc et -Vcc .Pour travailler avec des signaux centrés sur zéro on alimente souvent le circuit entre + et -7,5V.

Dans cette application le paramètre essentiel du MOS est sa résistance équivalente , c'est la pente de la caractéristique I_{DS} =f(V_{DS}) pour V_{DS} =0.

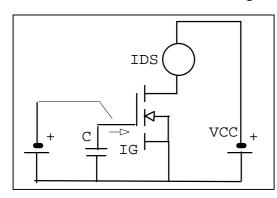
En utilisant l'équation des caractéristiques dans la zone ohmique cette résistance a pour expression :

$$r = \frac{KW}{L} \left(V_{GS} - V_{S} \right)$$

Elle est d'autant plus faible que la tension de polarisation de grille est grande, en réalité dès que VGS dépasse 7 ou 8 volts elle prend une valeur limite, \mathbf{c} 'est le \mathbf{r}_{on} du MOS.

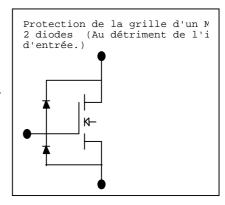
Pour le 4016 cette résistance est de l'ordre de 400Ω c'est à dire que lorsque les deux MOS sont conducteurs (niveau logique haut à l'entrée de commande) l'interrupteur se comporte comme une résistance de 200Ω entre les deux accès Vin et Vout.

Note: Mesure du courant de fuite de grille d'un MOS



Les MOS de faible puissance sont très facilement détruits par une surtension sur la grille et donc sensibles aux parasites électrostatiques. Un MOS dont la grille n'est pas protégée par des diodes est détruit si on touche sa grille. Le courant de grille n'est pas rigoureusement nul mais très faible, ce n'est pas le courant qui traverse la silice mais un courant de surface, sur le silicium et le boîtier. Pour un boîtier bien propre ce courant est souvent inférieur à 10⁻¹⁵A. Il est impossible de mesurer directement de tels courants, le plus simple est d'utiliser le MOS lui même comme voltmètre.

Lors d'une expérience préliminaire on trace d'abord la caractéristique IDS=f(VGS) .Puis on place entre grille et masse un condensateur très bien isolé (c'est le point délicat) que l'on charge en touchant son armature supérieure avec un fil relié à une source convenable. Il suffit de suivre ensuite l'évolution du courant drain ,qui grâce à la courbe précédente permet de remonter à la valeur de la tension grille. Pour un condensateur de 10pF et un courant de fuite de 10⁻¹⁵A la tension grille varie de 1 volt en 3 heures .



Les MOS de puissance

Si l'on exclus les circuits logiques la majorité des MOS commercialisés sont des MOS de puissance .En diminuant le quotient W/L il est possible de réaliser des éléments capables de piloter des courants importants. Ces composants remplacent de plus en plus les transistors bipolaires de puissance car:

Ils existent pour des courants plus importants .Plusieurs dizaines d'ampères en continu , des centaines en impulsions.

Ils ne sont pas sujets au phénomène de second claquage ni a l'emballement thermique. Contrairement aux bipolaires ,le courant drain à tension grille fixe diminue lorsque la température augmente.

Leur résistance r_{on} (voir plus haut) peut être très faible , quelques milliohms ,ce qui les rend aptes à traiter des courants forts sans chute de tension importante. Pour 10A un 2N3055 à une tension aux bornes de plusieurs volts alors qu'un BUZ11 se contente de 0,4V (ron=40m Ω)

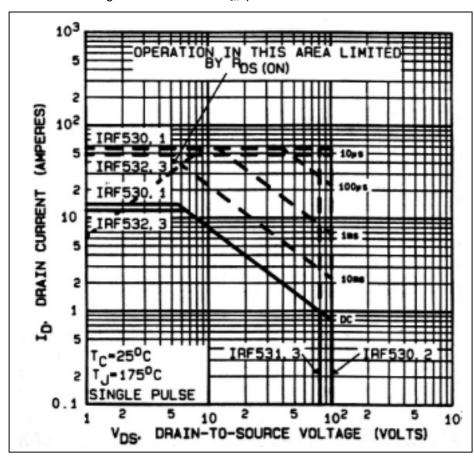
Ils sont beaucoup plus rapides, pour 10A un 2N3055 commute en 15 ou $20\mu S$ alors qu'un BUZ11 le fait en 20nS, c'est 1000 fois mieux .**Mais attention** il faut que le temps de



montée du signal de grille soit assez court or **la capacité grille source peut être très grande**, plusieurs nF pour un gros MOS. Le circuit d'attaque doit être capable de délivrer un courant important, pour monter le potentiel grille de 0 à 5V en 1nS le courant nécessaire est de 5A si la capacité d'entrée est de 1000pF.

Les MOS de puissance sont cependant plus fragiles que les bipolaires, la grille est sensible aux champs électrostatiques (c'est moins vrai pour les gros MOS qui ont une grosse capacité d'entrée) ,ils sont également facilement détruits par une sur-intensité brève. (ils sont rapides et leur ron faible)

Tous les fabricants de semiconducteurs commercialisent des MOS de puissance, parmi ceux dont le catalogue est le plus volumineux nous citerons INTERNATIONAL RECTIFIER (transistors IRF...) MOTOROLA SIEMENS (BU...) THOMSON PHILIPS etc... Les tensions de drain maximum admissibles atteignent 1500V et les r_{on} peuvent être inférieures à $8m\Omega$



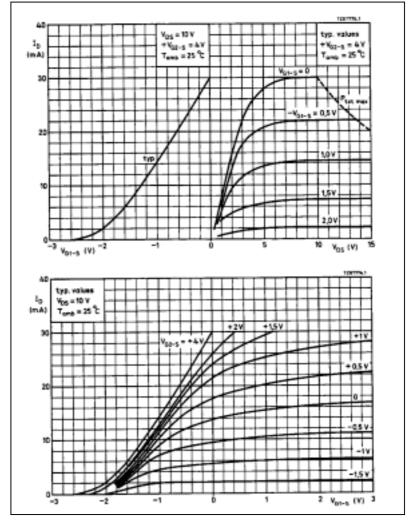
La figure ci contre représente les limites de dissipation thermique d'un MOS de puissance type IRF530 de International Rectifier. En régime continu pour une tension drain de 10V le courant maximal admissible est de 8A , soit une puissance de 80W (à 25° boitier) .Pour 100V courant est de 0,8V ce qui correspond à la même puissance. Les MOS ne sont pas sujets au second claquage Ces montrent courbes que une pour impulsion de 1mS le courant avec 100V drain peut atteindre 7A.



Les MOS double grille

Il existe sur le marché un nombre très limité de ces composants . Ce sont des MOS possédant deux grilles de commande , le courant drain est alors une fonction complexe des deux potentiels appliqués à ces grilles. Ils sont utilisés comme mélangeurs en UHF (voir plus loin) car pour de petits signaux on peut écrire i=u1.u2, le courant contient un terme qui est le produit des signaux sur les deux grilles. Ces MOS sont de type canal préalable ce qui permet de travailler avec l'une des grilles au potentiel moyen nul.

Les caractéristiques ci contre sont celles d'un BRF84 de PHILIPS . On notera que pour une tension de grille 2 de +4V la tension de grille 1 peut varier de 0 à -2V, alors que pour $V_{G2}=0$ V_{G1} varier de -2 à +3V environ. (pour un courant de drain compris entre 0 et 16mA)





LES IGBT (INSULATED GATE BIPOLAR TRANSISTORS)

Ce sont des composants de puissance qui associent MOS et transistor bipolaire de puissance. Ils cumulent les avantage des deux sans totalement en éliminer les inconvénients.

Un IGBT type NPN possède comme un transistor bipolaire un collecteur et un émetteur mais la base est remplacée par une électrode haute impédance qui est la grille d'un MOS. Il est constitué par un transistor bipolaire PNP de puissance de faible gain associé à un MOS canal N qui fournit le courant de base. La structure interne est représentée sur la figure ci contre.

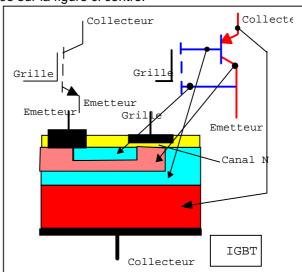
Le réseau de caractéristiques ressemble à celui d'un MOS mais les courbes ne passent pas par l'origine car la jonction base émetteur du transistor PNP est en série entre collecteur et émetteur, d'ou un décalage un peu supérieur à 0,5V.

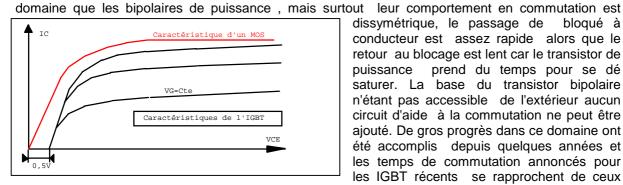
Dans la zone de pincement le courant obéît très approximativement à une loi quadratique :

$$I_C = A \cdot (V_{GS} - V_S)^2$$

A cause de l'effet Early dans le transistor de puissance, les caractéristiques sont moins horizontales que celles d'un MOS résistance interne est cependant très supérieure à celle d'un transistor bipolaire courant.

Les IGBT à l'origine n'étaient pas des composants rapides, guère meilleurs dans ce





dissymétrique, le passage de bloqué à conducteur est assez rapide alors que le retour au blocage est lent car le transistor de puissance prend du temps pour se dé saturer. La base du transistor bipolaire n'étant pas accessible de l'extérieur aucun circuit d'aide à la commutation ne peut être ajouté. De gros progrès dans ce domaine ont été accomplis depuis quelques années et les temps de commutation annoncés pour les IGBT récents se rapprochent de ceux

des MOS.

Exemple: IRG4BC20UD 500V Imax 13A pour 1,65V de VCE temps de commutation 180nS/13nS

Les IGBT ont un comportement en température qui est celui d'un bipolaire pour les faibles courants (I augmente avec T), et celui d'un MOS aux forts courants. Il ne sont pas sujet au second

Les IGBT sont essentiellement des éléments de puissance. Leur tension maximale de collecteur est 600V ou 1200V pour des courants de plusieurs dizaines d'ampères. Comme pour les MOS INTERNATIONAL RECTIFIER (IRG...) a un catalogue particulièrement bien fourni dans ce domaine.