

Trabajo Práctico Número 6

PLL y Oscilador de Desplazamiento de Fase

Grupo 5

AUTORES:

Federico TONDI (59341)
Franco MORICONI (58495)
Alan VEKSELMAN (59378)
Carola PEDROSA (59059)
Franco SCAPOLLA (58465)

PROFESORES:

Daniel JACOBY
Carlos BELAUSTEGUI GOITIA

Contenido

1. Introducción	3
2. PLL	3
2.1. Introducción teórica	3
2.1.1. Rango de enganche y captura	4
3. Mediciones y resultados	4
3.1. Comportamiento del VCO	6
3.2. Rango de enganche y captura	8
3.3. Modulación en frecuencia	9
3.4. Respuesta al escalón	10
3.5. PLL como sintetizador de frecuencia	10
3.5.1. Mediciones y resultados	11
3.6. El detector de fase I del 4046	12
4. Oscilador por desplazamiento de fase	13
4.1. Introducción teórica	13
4.1.1. Criterio de Barkhausen	14
4.2. Simulación	16
4.3. Mediciones y resultados	17
4.4. Conclusión	18

1. Introducción

El presente trabajo tiene como objetivo estudiar, por un lado, un PLL implementado con el integrado CD4046, y por otro, un oscilador de desplazamiento de fase. Para la primera parte se construye un PLL en la placa Electronics Explorer de Digilent, y se procede a estudiar distintas características del mismo: el rango de captura y enganche, la sensibilidad del VCO interno, y la diferencia entre los dos comparadores de fase internos. También se utiliza al mismo para demodular una señal modulada en frecuencia, estudiando los límites que presenta el PLL como demodulador. Por último, se estudia la posibilidad de usar este circuito como un sintetizador de frecuencias.

En la segunda parte se construye un oscilador por desplazamiento de fase, y se observa la variación en amplitud y pureza de las senoidales de la salida al desviarse más o menos de las características necesarias para cumplir con el criterio de Barkhausen.

2. PLL

2.1. Introducción teórica

Un PLL es un circuito diseñado para sincronizarse con una señal de entrada y mantener la sincronización frente a ruido o variaciones de frecuencia de dicha señal de entrada. Un esquema de un PLL típico se puede observar en la figura 2.1. El mismo está formado por tres bloques: un comparador de fase, un filtro pasa-bajos, y un oscilador controlado por tensión (VCO por sus siglas en inglés). El principio básico de funcionamiento es el siguiente: la señal de entrada V_i , que tiene una frecuencia ω_i y una fase ϕ_i , ingresa al detector de fase junto con la señal de salida del VCO, de frecuencia ω_o y fase ϕ_o . El detector genera a su salida una tensión V_D proporcional a la diferencia de fases, es decir, $V_D = K_{\Delta\phi} \cdot (\phi_i - \phi_o)$, siendo $K_{\Delta\phi}$ una constante propia del detector. Esta tensión ingresa a un filtro pasa-bajos, que elimina el ripple y el ruido de alta frecuencia, de forma que la tensión de salida del filtro, V_E , llamada tensión de error, sea estable.

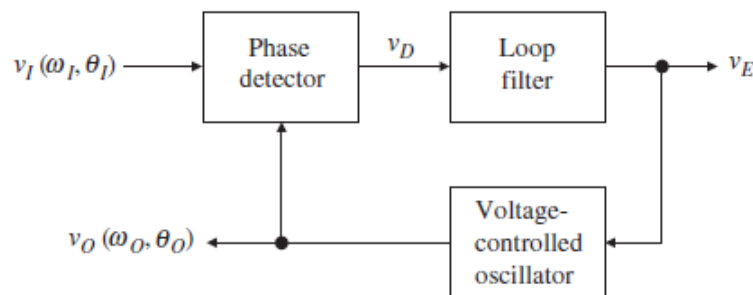


FIGURA 2.1: Diagrama en bloques del PLL

El VCO se diseña de forma que si $V_E = 0$, la salida oscile a una frecuencia $\omega_o = \omega_0$, llamada frecuencia de free-running. Por lo tanto, frente a una excitación de entrada distinta de cero, la

frecuencia de salida quedará descrita por

$$\omega_O(t) = \omega_0 + K_{VCO} \cdot V_E(t) \quad (2.1)$$

Siendo K_{VCO} una constante denominada transferencia del VCO, que depende de los componentes del mismo.

Si la señal de entrada V_i tiene una frecuencia ω_i lo suficientemente cercana a ω_0 , la tensión V_E generada será tal que la misma, a través del VCO, ajustará ω_O hasta que V_O quede sincronizada con V_i . En ese momento, por cada ciclo de V_i , habrá exactamente un ciclo del VCO, o, lo que es lo mismo, se cumplirá que $\omega_i = \omega_O$. En este estado, se dice que el PLL está 'enganchado' a la señal de entrada.

Si ahora se incrementa la frecuencia ω_i levemente, la diferencia de fase resultante generará una tensión V_D , que a su vez generará una tensión de error V_E , que a través del VCO ajustará ω_O hasta que, igual que antes, se llegue al estado en que $\omega_O = \omega_i$. Es de interés notar que esta característica permite que la tensión V_E realice un 'tracking' de los cambios en ω_i . Por lo tanto, en aplicaciones en las que se desee detectar dichos cambios (como en demodulación de FM o de FSK), la salida del PLL se tomará en el nodo con tensión V_E .

Como se mencionó antes, el filtro pasa-bajos permite que la señal que entra al VCO esté libre de cualquier ruido que pueda tener la señal de entrada, generando a su vez una tensión V_O estable en la salida del VCO. Por lo tanto, la salida se toma en el nodo con tensión V_O cuando el PLL se utiliza en aplicaciones en las que es de interés recuperar una señal de entrada con demasiado ruido superpuesto, o en aplicaciones de sintetización de frecuencias.

2.1.1. Rango de enganche y captura

El desarrollo teórico anterior se hizo suponiendo que la frecuencia de la señal de entrada antes del enganche era lo suficientemente cercana a la frecuencia de free-running del VCO. En general, se define un rango de frecuencias $\pm \omega_C$ centrado en ω_0 , denominado rango de captura, tal que para cualquier frecuencia dentro de dicho rango, el PLL será capaz de enganchar a la misma y sincronizarse. Una vez sincronizado, se define un nuevo rango de frecuencias $\pm \omega_L$, también centrado en ω_0 , denominado rango de enganche, tal que para cualquier cambio en la frecuencia de la señal de entrada ω_i que caiga dentro de dicho rango, el PLL será capaz de seguir el cambio sin perder la sincronización.

3. Mediciones y resultados

Se hizo uso de un integrado CD4046 (un PLL implementado con tecnología CMOS) para construir el circuito de la figura 3.1 en la placa Digilent. El diagrama en bloques del CD4046 puede consultarse en la figura 3.2.

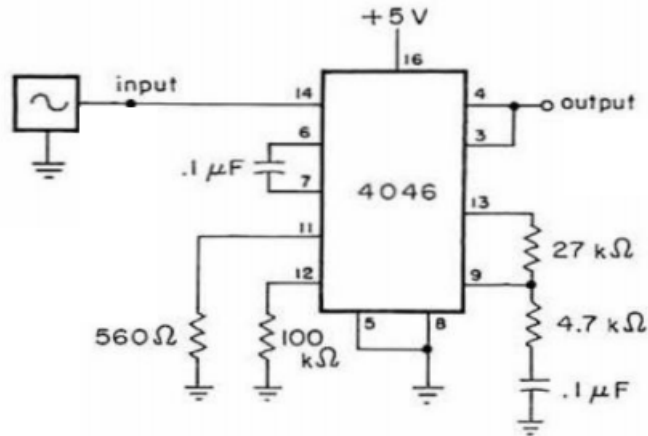


FIGURA 3.1: Configuración con CD4046 armada en la placa

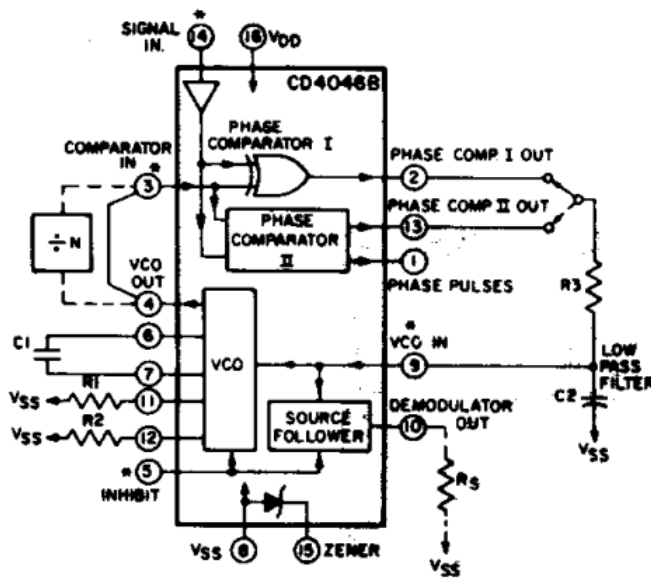


FIGURA 3.2: Diagrama en bloques del CD4046

Antes de pasar a la etapa de medición, se analizaron los componentes presentes en el circuito de la Fig. 3.1. En primer lugar el conjunto formado por las resistencias de $27\text{ k}\Omega$ y de $4.7\text{ k}\Omega$, junto con el capacitor de $0.1\text{ }\mu\text{F}$ forman un pasabajos. La transferencia del filtro queda determinada por:

$$F(s) = \frac{sCR_2 + 1}{sC(R_1 + R_2) + 1}$$

Donde $R_1 = 27\text{ k}\Omega$ y $R_2 = 4.7\text{ k}\Omega$. Se puede ver que el pasabajos resultante llega hasta cierto valor de atenuación para el cual se mantiene constante. La frecuencia de corte del filtro se puede hallar observando el denominador de la función transferencia, tomando un valor de 50.207 Hz . A continuación se puede observar la transferencia del pasabajos.

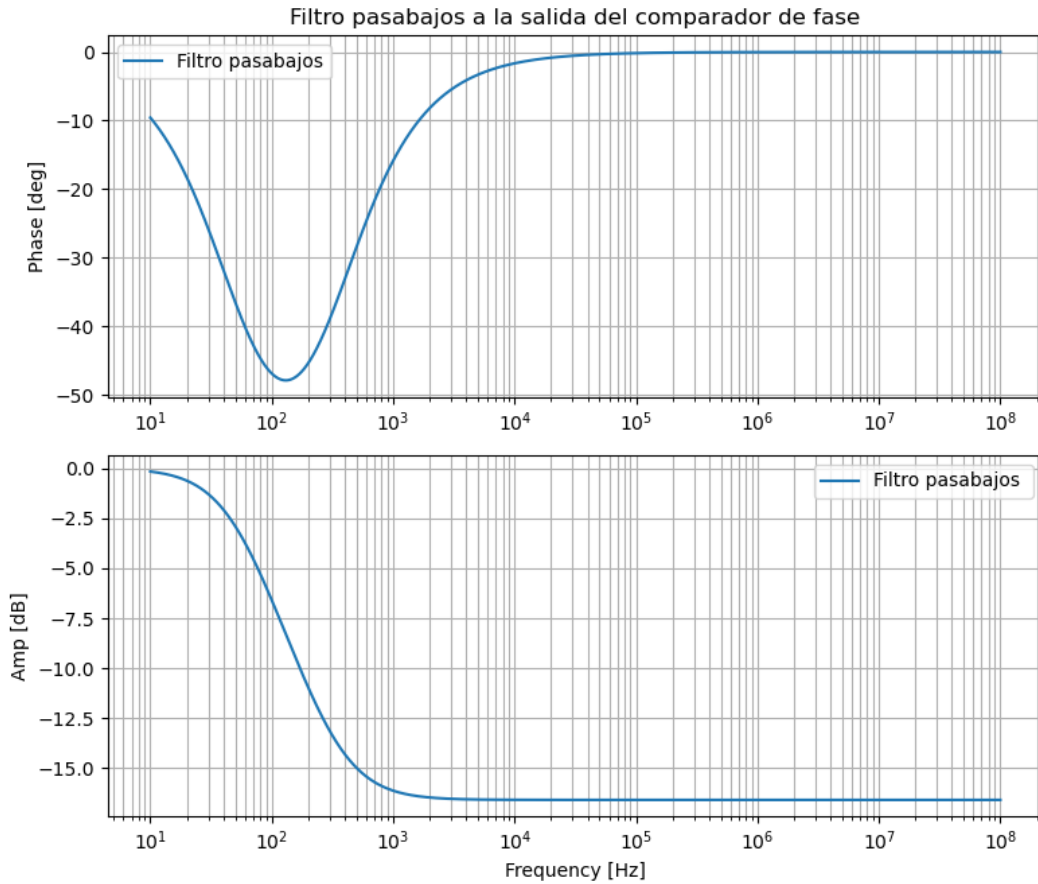


FIGURA 3.3: Transferencia del pasa bajos a la salida del comparador de fase

Este filtro pasa bajos, ubicado entre la salida del comparador de fase y la entrada del VCO, deja pasar solamente las señales de baja frecuencia para que la entrada del VCO reciba la señal de tensión adecuada para transformar a frecuencia. Además, el filtro sirve para que el PLL demodule la señal modulada en frecuencia.

El resto de los componentes (las resistencias de $560\ \Omega$ y $100\ k\Omega$ y el otro capacitor de $0.1\ \mu F$), están conectadas al VCO y sirven para controlar la transferencia del VCO. Modificando el valor de los componentes, se puede obtener una salida del VCO distinta. El capacitor C_1 y la resistencia R_1 regulan el rango de frecuencias del VCO, mientras que R_2 sirve de habilitación para tener un offset en la frecuencia en caso de requerirlo.

3.1. Comportamiento del VCO

Previo a analizar el comportamiento general del PLL, se realizaron mediciones sobre el VCO. Utilizando un valor de tensión continua a la entrada del VCO, se mide la frecuencia de la señal obtenida en su salida. Dicha salida no se realimenta a la entrada del comparador del PLL. El resto de los componentes se dejaron iguales para que las condiciones sean las mismas. Al medir distintos valores de frecuencia a partir de distintos valores de tensión continua, se obtuvieron los siguientes resultados.

V_{in} [V]	f_{VCO} [Hz]
0	155.9
0.25	155.92
0.5	155.8
0.75	155.92
1	156
1.35	202.9
1.5	380
1.75	930.5
2	1330
2.25	1975
2.5	2123
2.75	2154
3	2139
3.25	2135
3.5	2131
3.75	2131
4	2128

TABLA 3.1: Valores para la transferencia del VCO

Con los valores tabulados, se realizó el gráfico de la transferencia del VCO.

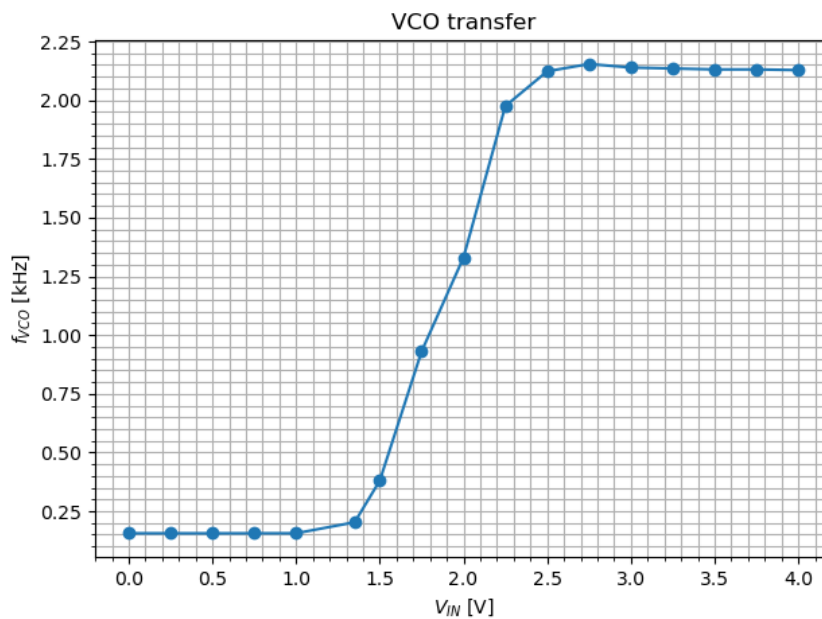


FIGURA 3.4: Transferencia del VCO

De la Fig. 3.4 se puede observar el comportamiento que presenta el VCO. Se puede notar que

presenta una región lineal en la cual se comporta como un integrador hasta llegar a un valor de saturación. A partir de dicho valor, el VCO entrega una frecuencia máxima que se mantiene constante. Para tensiones menores a 1.35V, se puede apreciar que tampoco varía la salida del dispositivo. Este efecto se debe a que para dicho rango de tensiones, la salida del VCO no necesariamente tiene una dependencia lineal respecto de su tensión de entrada.

Analizando la parte lineal de la transferencia, es posible hallar el valor de la sensibilidad del VCO. Dicho valor es el K_{VCO} . Como se puede apreciar en la figura que sigue, haciendo uso de una interpolación lineal sobre la región de interés, se obtuvo el valor de la pendiente buscada. El valor del K_{VCO} resulta ser de $2073.8 \frac{Hz}{V}$.

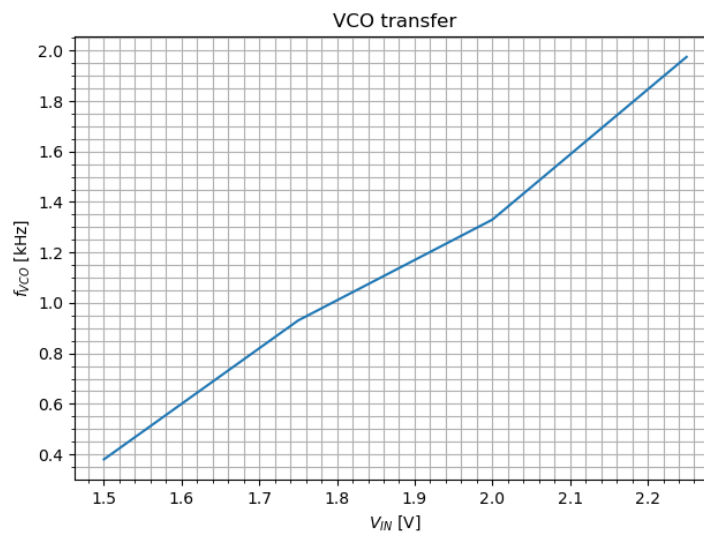


FIGURA 3.5: Sensibilidad del VCO

Se buscó con Excel la fórmula para la curva de la Fig. 3.5. Con un R^2 de 0.9925, la transferencia del VCO para valores de tensión entre 1.5V y 2.25V se encontró que cumple la siguiente ecuación:

$$f = 2073.8 \cdot (V - 1.87) + 1143.5 \quad (3.1)$$

Hallada la transferencia del VCO, es posible determinar la frecuencia de *free running* del dispositivo (f_0). Dado que el VCO tiene una transferencia centrada sobre f_0 , midiendo en la mitad de la transferencia se obtiene una frecuencia de *free running* de:

$$f_0 = 1143.45Hz$$

3.2. Rango de enganche y captura

Una vez analizado el VCO separado del PLL como conjunto, se conectó la salida del VCO en la entrada del comparador de fase. De esta manera, se obtiene una realimentación en el circuito. El circuito conectado queda como en la Fig. 3.1.

La primer medición realizada sobre el PLL fue el rango de captura y enganche. Realizando un

barrido en frecuencia de la señal de entrada del sistema, se mide en que rango de frecuencias la salida del VCO logra seguir a la entrada. En la tabla siguiente se muestran los rangos obtenidos.

	Enganche	Captura
f_{min} [Hz]	150	155
f_{max} [Hz]	2240	2220

TABLA 3.2: Rango de captura y enganche

De la tabla anterior, se observa que f_0 se encuentra en la mitad del rango. Este resultado se condice con la teoría.

3.3. Modulación en frecuencia

Como se hizo mención en la sección teórica, al realizar una modulación en frecuencia de una señal, a la entrada del VCO se puede recuperar la señal moduladora. Utilizando la modulación provista por el *Wavegen* de la *Digilent*, se ingresa al PLL con una señal modulada en frecuencia tal que la portadora es de 1kHz y la moduladora de 20Hz. El índice de modulación se setea en 30 %. El comportamiento del circuito frente a esta señal, se puede observar en las Fig. 3.6 y 3.7.

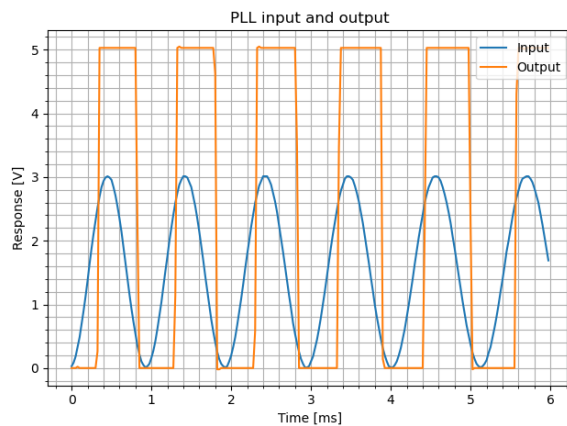


FIGURA 3.6: Seguimiento de la señal modulada

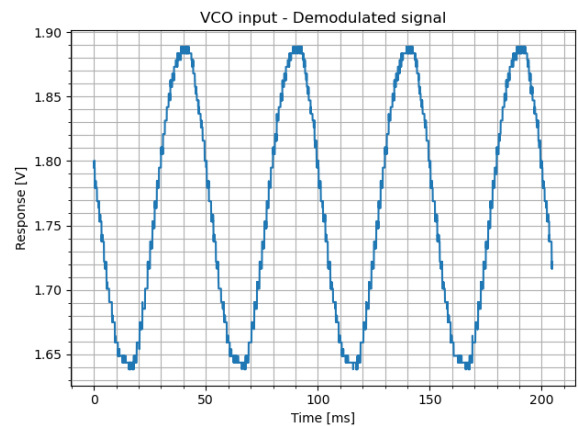


FIGURA 3.7: Recuperación de la señal moduladora a la entrada del VCO

Al observar las figuras previas, se puede comprobar que el PLL presenta un buen seguimiento completo de la señal de entrada, y además se logra recuperar la señal de información (moduladora) de manera decente. No obstante, el circuito en modulación presenta límites de funcionamiento. Para que la demodulación y seguimiento de la señal sigan válidas, la frecuencia de la señal moduladora debe permitir que la señal modulada no presente cambios bruscos en la frecuencia. Esto se pide para que no haya una diferencia entre la entrada del comparador y la salida del VCO. Este impedimento viene, en parte, por el filtro pasa bajos a la entrada del VCO, el cual atenúa las variaciones repentinas.

3.4. Respuesta al escalón

Dado que el circuito recibe señales con distintos niveles de tensión y variaciones en la frecuencia, es de interés observar el comportamiento del circuito frente al escalón. Dado que el comparador de fase entrega una tensión proporcional a la diferencia de fase entre la salida del VCO y la señal de entrada, para obtener un escalón de tensión en la entrada del VCO es necesario tener una señal que cambie bruscamente de frecuencia. Recordar que dicha variación rápida debe estar dentro de ciertos límites para no perder el seguimiento. Para generar el efecto deseado, se realizó una modulación en frecuencia tal que la señal moduladora fuese una señal cuadrada. La señal obtenida a la entrada del VCO se muestra en la Fig. 3.11.

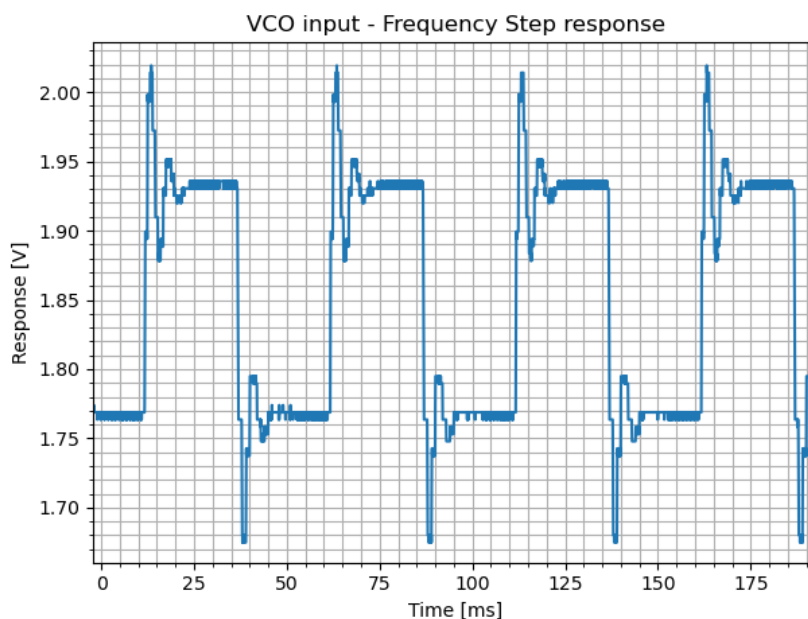


FIGURA 3.8: Respuesta al escalón

Como se puede observar, la respuesta tiene un comportamiento subamortiguado. Este comportamiento es deseable frente a uno sobreamortiguado o críticamente amortiguado, ya que el tiempo en el que se estabiliza la señal es más rápido. Al medir el tiempo de estabilización del 5 % del circuito, éste se encontró en 7.94ms, aproximadamente.

3.5. PLL como sintetizador de frecuencia

Como se mencionó en la introducción teórica, se puede utilizar al PLL como un sintetizador de frecuencias tomando la salida del VCO como salida del sistema. En particular, considérese el caso en el que un divisor de frecuencias se inserta entre la salida del VCO y la entrada del comparador de fase. Suponiendo que la señal de entrada v_i con frecuencia f_i sea tal que permita que el PLL se sincronice, la señal V_O que entra al comparador necesariamente deberá tener $f_O = f_i$. No obstante, como $f_O = \frac{f_{VCO}}{N}$, siendo N el entero por el que se divide la frecuencia de la señal que sale del VCO, se sigue que necesariamente $f_{VCO} = N \cdot f_i$. Por lo tanto, si se genera (por ejemplo con

un oscilador de cristal) una señal de entrada con una frecuencia f_i muy estable, el PLL permite obtener frecuencias múltiplo de esa f_i que también serán muy estables.

3.5.1. Mediciones y resultados

Se implementó un sintetizador de frecuencias con el PLL construido con el CD4046 en la placa Digilent. Para ello se insertó un contador HC163 a la salida del VCO y antes del comparador de fase. Se procedió a generar una señal de entrada cuadrada de frecuencia $f_i = 500Hz$, de forma que la misma esté lo suficientemente cerca de la frecuencia de free-running del VCO para que el PLL se sincronice. Se registró la señal de salida del VCO para distintos valores de N del contador. Los resultados se presentan a continuación.

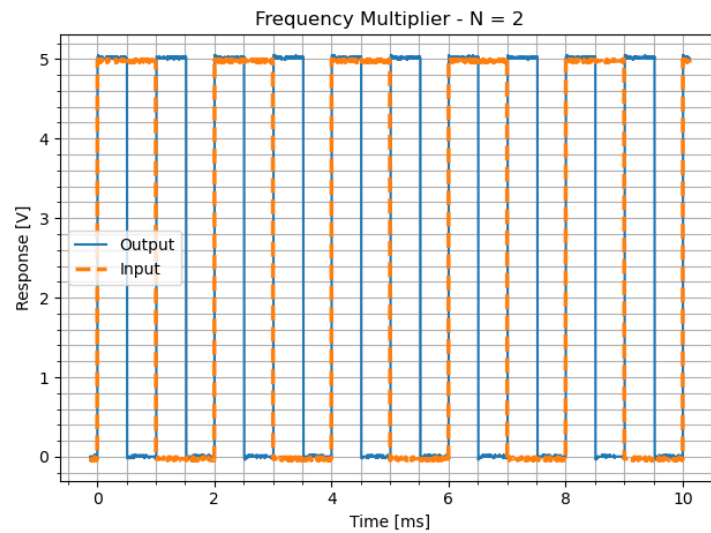


FIGURA 3.9: Divisor de frecuencia con N=2

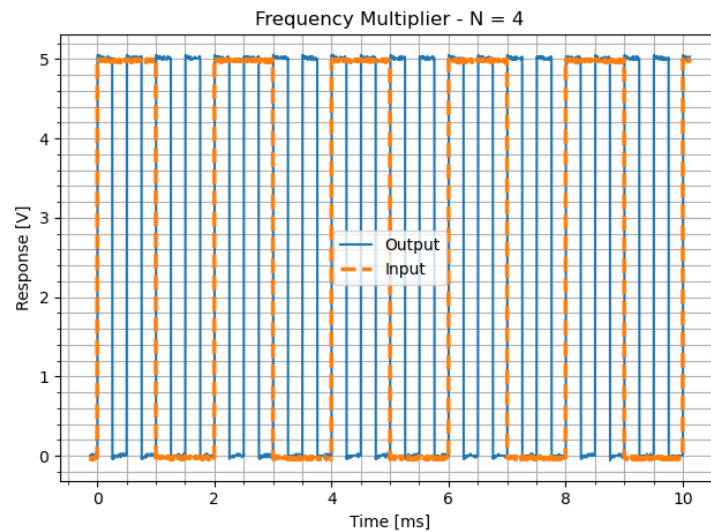


FIGURA 3.10: Divisor de frecuencia con N=4

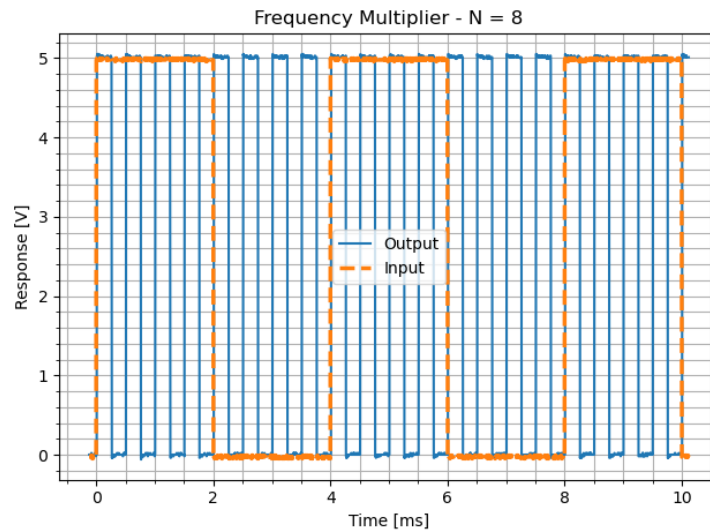


FIGURA 3.11: Divisor de frecuencia con $N=8$

Se observa que para los tres casos estudiados el PLL es capaz de sintetizar la frecuencia buscada.

3.6. El detector de fase I del 4046

En esta sección se busca experimentar con el otro comparador de fase que presenta el integrado CD4046. El comparador de fase I está implementado por una red XOR. El mismo compara la fase de dos señales cuadradas a su entrada, y genera otra señal cuadrada a su salida cuyo valor medio depende de la diferencia de fase entre ambas entradas. Para maximizar el rango de captura, se precisa que ambas señales de entrada tenga un Duty Cycle del 50%. Este comparador tiene la particularidad de que el rango de captura depende totalmente de las características del filtro pasa-bajos. Por lo tanto, el mismo puede hacerse tan grande como el rango de enganche, lo que permite lograr la captura aún cuando la señal de entrada tiene bastante ruido superpuesto.

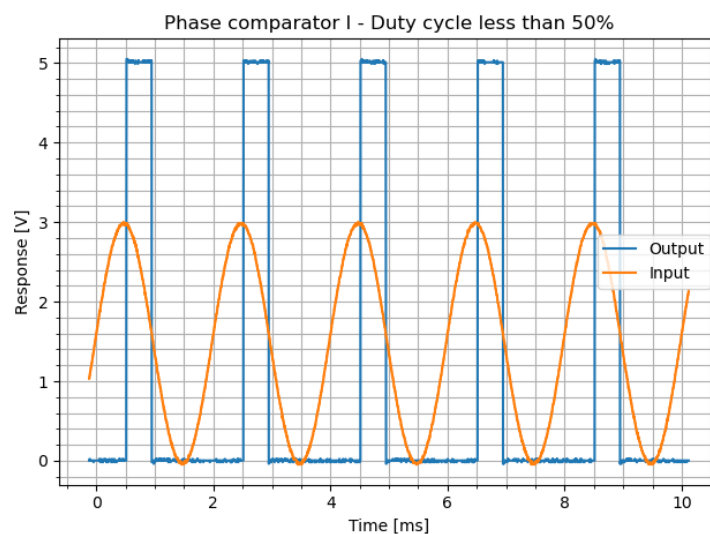


FIGURA 3.12: Comparador de fase I - *Duty cycle* menor al 50%

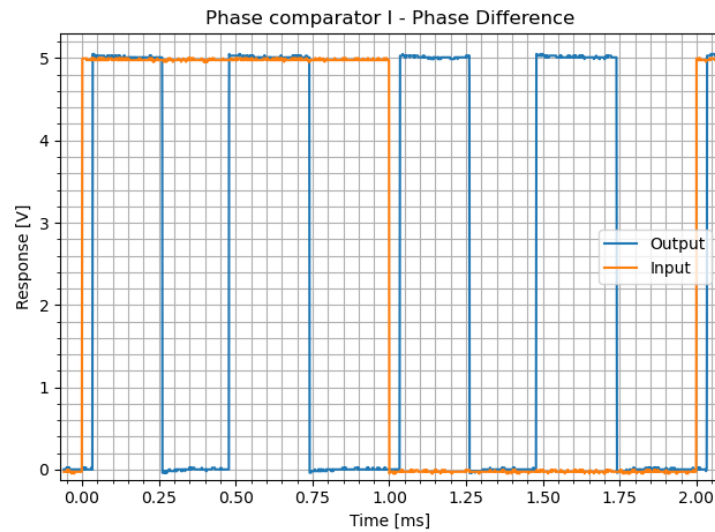


FIGURA 3.13: Comparador de fase I con multiplicador de frecuencia - Desfasaje entre entrada y salida

Como se puede observar, las principales diferencias encontradas fueron:

- En la Fig. 3.12, se puede ver que el *duty cycle* de la señal de salida no es 50 %, sino que es menor. Sin embargo, la frecuencia es la correcta, y logra seguir a la entrada.
- En la Fig. 3.13, utilizando el divisor de frecuencia, se evidencia un leve desfasaje entre la entrada y la salida. Esta diferencia de fase no se evidenciaba utilizando el comparador de fase I.

4. Oscilador por desplazamiento de fase

4.1. Introducción teórica

Un oscilador por desplazamiento de fase es un circuito eléctrico que permite producir oscilaciones senoidales. El funcionamiento del mismo está basado en la idea de generar un par de polos conjugados sobre el eje $j\omega$, de forma de sostener oscilaciones senoidales. Una implementación de este oscilador puede consultarse en la figura 4.1.

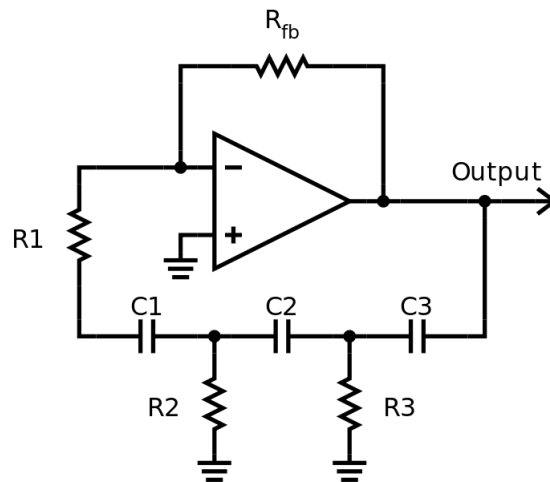


FIGURA 4.1: Esquema de un circuito de oscilación por desplazamiento de fase

4.1.1. Criterio de Barkhausen

Para realizar el análisis teórico de un oscilador senoidal, se precisa introducir el Criterio de Barkhausen. El mismo es una condición matemática que permite determinar cuándo una red eléctrica lineal oscilará. Considérese una red realimentada como la de la figura 4.2, y supóngase que se introduce una pequeña tensión externa (por ejemplo ruido) V_f en la entrada del bloque A. El Criterio de Barkhausen establece que el circuito sostendrá oscilaciones en estado estacionario sólo para frecuencias que verifiquen que la ganancia de lazo sea unitaria.

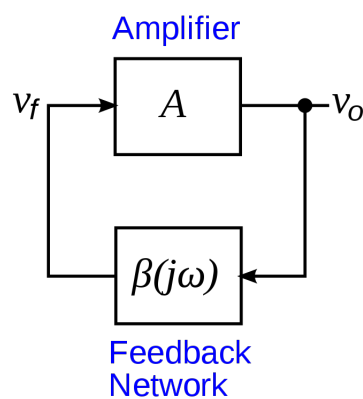


FIGURA 4.2: Red lineal realimentada

Por la teoría de circuitos realimentados, se puede demostrar que si A es la ganancia del bloque amplificador, y $\beta(j\omega)$ es la ganancia de la red de realimentación, luego la ganancia de lazo es

$G_L(j\omega) = A\beta(j\omega)$. Por lo tanto, el circuito oscilará a frecuencias que cumplan:

$$|A\beta(j\omega)| = 1 \quad (4.1)$$

$$\arg(A\beta(j\omega)) = 2\pi k, k \in \mathbb{Z} \quad (4.2)$$

Refiriéndose nuevamente a la figura 4.1, se procede a hallar la frecuencia f_0 a la que el circuito sostendrá las oscilaciones. Para ello se estudia por separado la red de amplificación y la de realimentación, simulando un rompimiento del lazo como se indica en la figura 4.3. Para el diseño, se considerará, en un principio, $R = R_1 = R_2 = R_3$ y $C = C_1 = C_2 = C_3$.

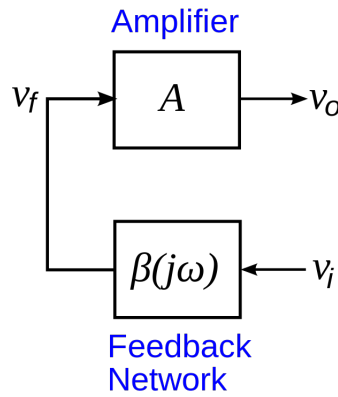


FIGURA 4.3: Red lineal con lazo cortado.

La red de amplificación está compuesta por el amplificador operacional junto con las resistencias R y R_f , que conforman una topología inversora. Por lo tanto, se tiene:

$$A = \frac{V_o}{V_f} = -\frac{R_f}{R} \quad (4.3)$$

De forma similar, estudiando la red de alimentación conformada por los tres capacitores y las dos resistencias, se encuentra:

$$\beta(s) = \frac{V_f}{V_i} = \frac{s^3 \cdot R^3 C^3}{1 + s \cdot 5CR + s^2 \cdot 6R^2 C^2 + s^3 \cdot R^3 C^3} \quad (4.4)$$

Por lo tanto, aplicando el Criterio de Barkhausen, se encuentra que las oscilaciones se sostienen a una frecuencia

$$f_0 = \frac{1}{\sqrt{6} \cdot 2\pi RC} \quad (4.5)$$

Siempre y cuando se cumpla que:

$$|A| = 29 \quad (4.6)$$

4.2. Simulación

Se busca observar el comportamiento del oscilador por desplazamiento de fase en *LTSpice*. Para ello, se simula el siguiente circuito:

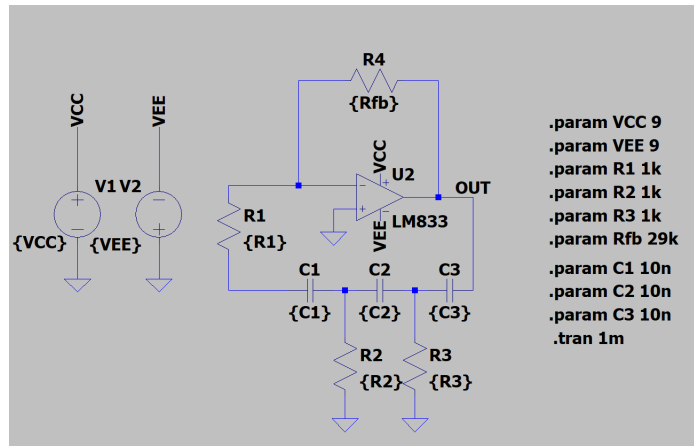


FIGURA 4.4: Oscilador por desplazamiento de fase simulado

Debido a los funcionamientos internos del programa de simulación, para lograr que el circuito propuesto comience a oscilar, se le pone una tensión inicial de 300mV entre los bornes del capacitor C_1 . Midiendo la tensión a la salida sobre el nodo tabulado como V_{OUT} , se obtiene:

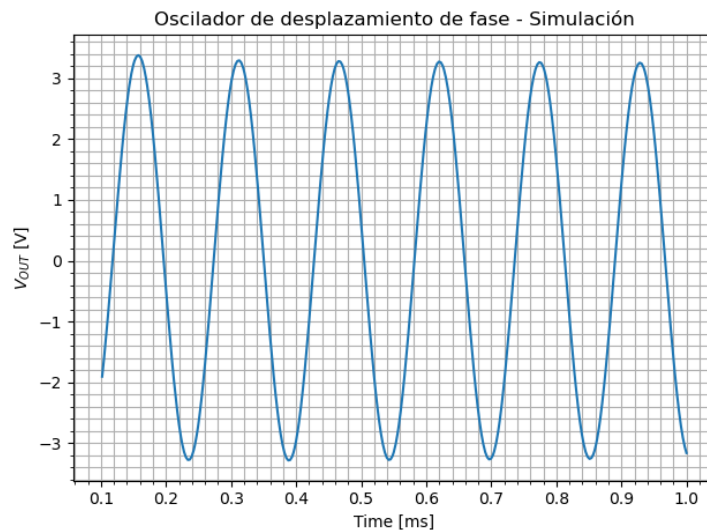


FIGURA 4.5: Salida simulada

Se puede observar en la Fig. 4.5 que el oscilador funciona luego de introducir la tensión inicial, puesto que la simulación precisa un empujón inicial para comenzar a oscilar. Si se calcula la FFT en *LTSpice*, se obtiene:

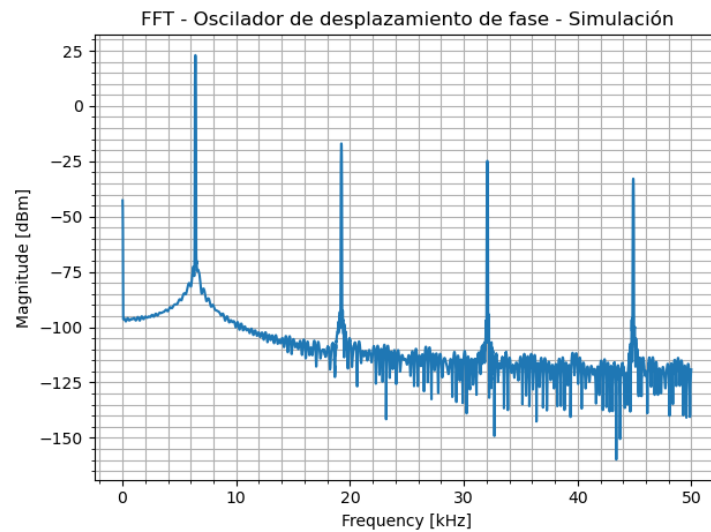


FIGURA 4.6: Salida simulada

Se observa en la Fig. 4.6 que la senoidal de salida presenta una importante distorsión armónica. Es destacable que los armónicos presentes son los de orden impar, es decir, múltiplos impares de 6.5kHz. Así, se evidencian picos en 19.5kHz y 32.5kHz, entre otros. Los de orden par, como 13kHz y 26kHz, no aparecen en la FFT.

4.3. Mediciones y resultados

Se procedió a armar el oscilador por desplazamiento de fase en la placa Electronics Explorer de Digilent. Para ello, se agregó un potenciómetro junto a la resistencia R_f , de forma de asegurar que la ganancia no sólo cumpla con el criterio de Barkhausen, sino que además sea un poco mayor a lo especificado por el criterio de forma que las oscilaciones crezcan en amplitud.

Dicho circuito se puede ver a continuación:

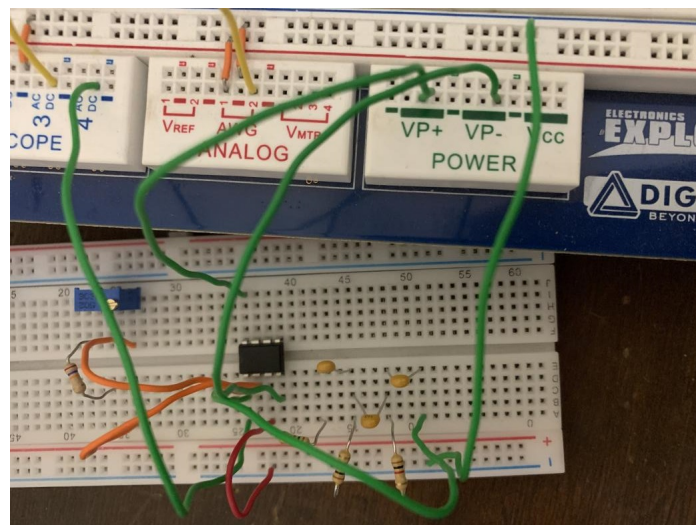


FIGURA 4.7: Circuito armado en la placa Digilent

Midiendo la tensión de salida y realizando su *FFT*, se obtienen los siguientes resultados:

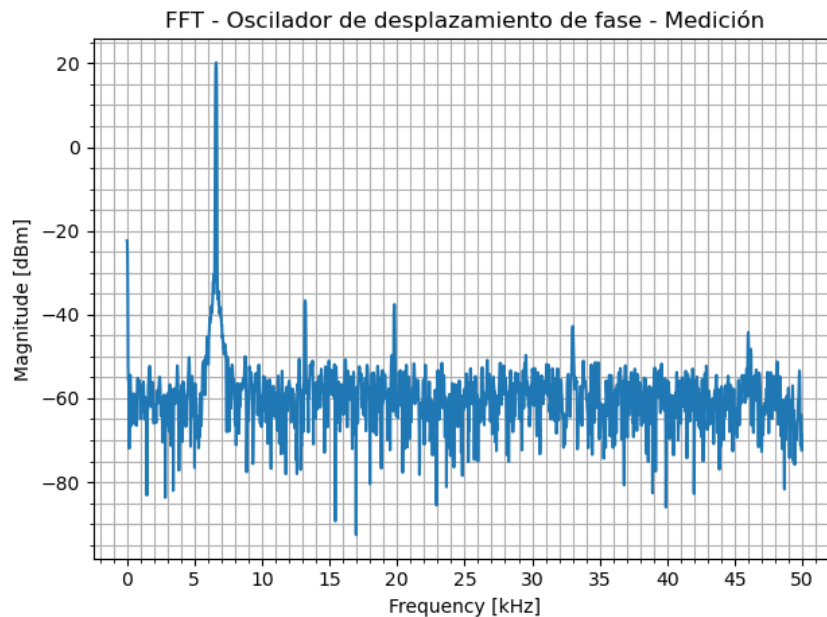


FIGURA 4.8: FFT medida

Se puede observar que este oscilador presenta distorsión armónica similar a la simulada, aunque con leves diferencias. Por un lado, la medición supera a la simulación, en el sentido de que los armónicos presentes tienen menor potencia. Sin embargo, en el caso de la medición, esta distorsión, además de en los armónicos impares, apareció también en el armónico de 13kHz.

4.4. Conclusión

En primer lugar, se puede observar que las potencias de la simulación en LTSpice dan un par de dBm por debajo que lo medido. Esto se debe a que la señal obtenida en la simulación no es afectada por los ruidos presentes al momento de realizar una medición física, que agregan armónicos indeseados en la señal de salida.

En segundo lugar, la distorsión que se observa en estas mediciones es la consecuencia del alejamiento de la ganancia del amplificador del valor ideal de 29. Para lograr polos sobre el eje imaginario, se precisa $|A| = 29$ para cumplir exactamente con el criterio de Barkhausen. Naturalmente, en la práctica es imposible lograr esta ganancia de forma exacta por las variaciones de los valores de los componentes físicos utilizados. En consecuencia, la ganancia será mayor o menor a lo establecido por el criterio. Si la misma es menor, entonces las oscilaciones generadas son atenuadas (ya que los polos están en el semiplano negativo) y no se logran sostener oscilaciones. Si por el contrario la ganancia es mayor, los polos se encontrarán en el semiplano positivo y se generarán oscilaciones crecientes en amplitud. Cuánto crecerán por ciclo dependerá de qué tan lejos del eje $j\omega$ se encuentren los polos. En particular, aquí se puede observar el efecto del operacional como controlador automático de ganancia: cuando las oscilaciones crezcan tanto que comienza a pasar la zona lineal de operación del amplificador, la ganancia del mismo bajará, ocasionando que los polos se despla-

cen nuevamente hacia el eje $j\omega$ y que las oscilaciones caigan en amplitud. En particular, en algún momento los polos estarán tan cerca del eje $j\omega$ que las oscilaciones generadas tendrán amplitud prácticamente constante. Si la ganancia es sólo un poco mayor a 29, los polos del sistema estarán relativamente cerca del eje $j\omega$, de donde las oscilaciones no tendrán amplitud demasiado grande y la senoidal de la salida tardará más en establecerse que si la ganancia hubiese sido mayor, pero dicha senoidal será más pura (i.e. tendrá una menor distorsión). Si por el contrario la ganancia es mucho mayor a 29, los polos estarán más alejados del eje $j\omega$, y las oscilaciones tendrán una mayor amplitud, de donde la salida se establecerá más rápidamente pero será una senoidal con mayor distorsión armónica.

Esto se observó en las mediciones, a medida que va aumentando dicha diferencia, se comienzan a observar armónicos indeseados en el espectro, que son consecuencia de esta diferencia. Para mejorar este efecto, en lugar de una resistencia de $29k\Omega$ se emplea un potenciómetro, con el objetivo de variar el valor de la resistencia de *feedback* y con ello obtener un espectro que se asemeje al valor esperado.