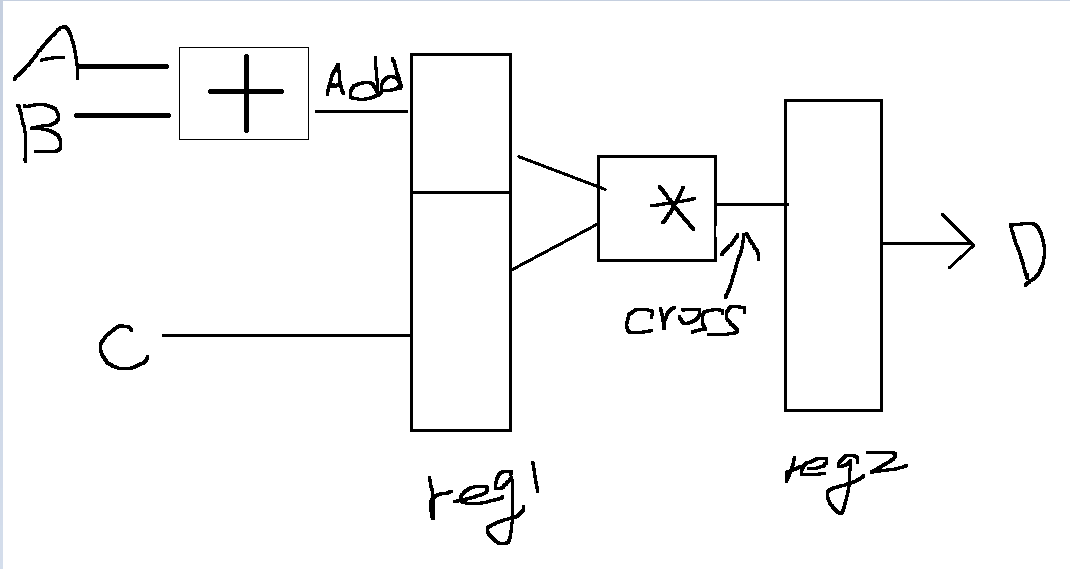
硬體描述語言作業二

B023040018 傅正安

主檔案名稱: pipelineMAD.v

以下是架構圖

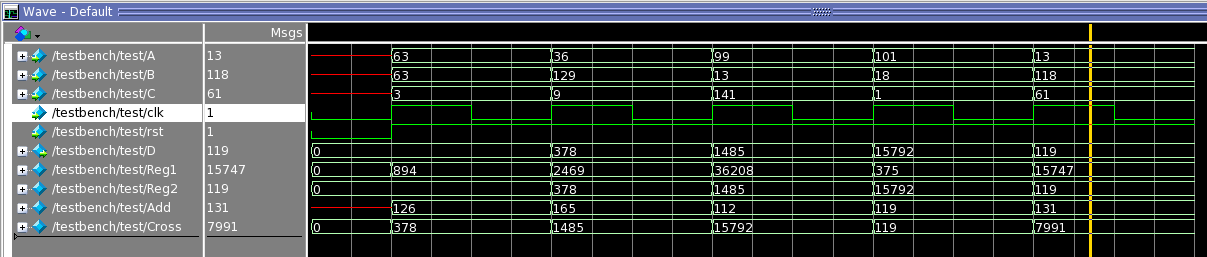


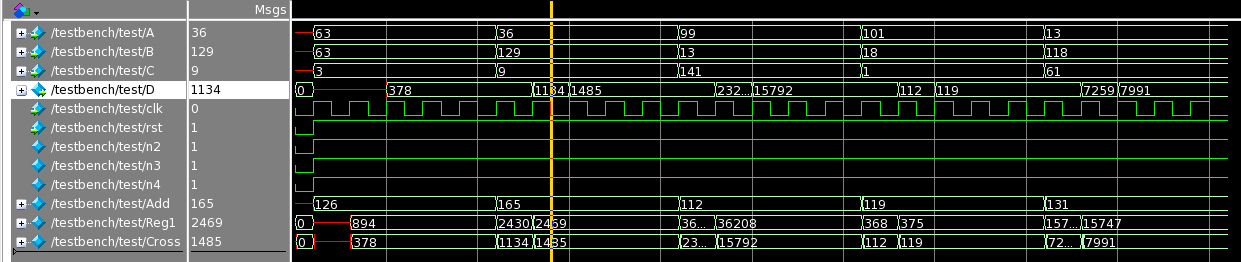
程式碼解說

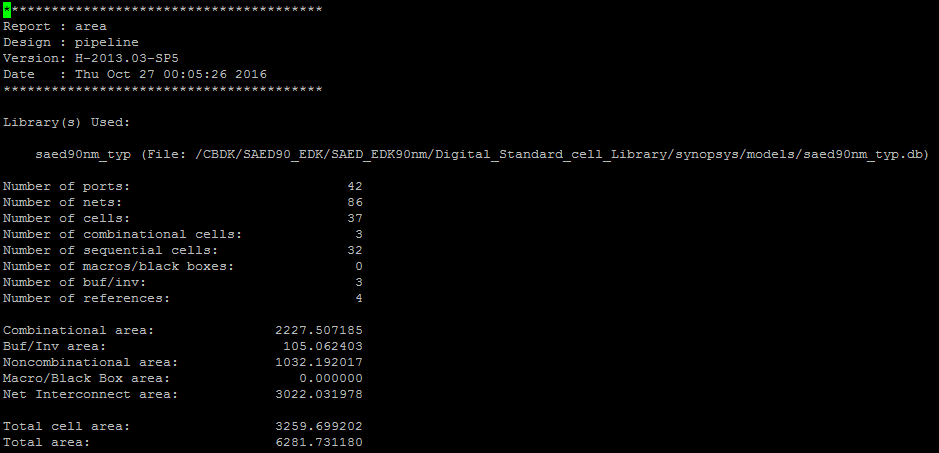
前面先把加法器跟乘法器的輸出結果、以及D跟register的部分用assign的方式連結起來。

第一個always的部分，當遇到reset = 0的時候，將第一個register的內容歸零，若是reset = 1，把A+B的結果存到register的前半部分，C存到後半部分。

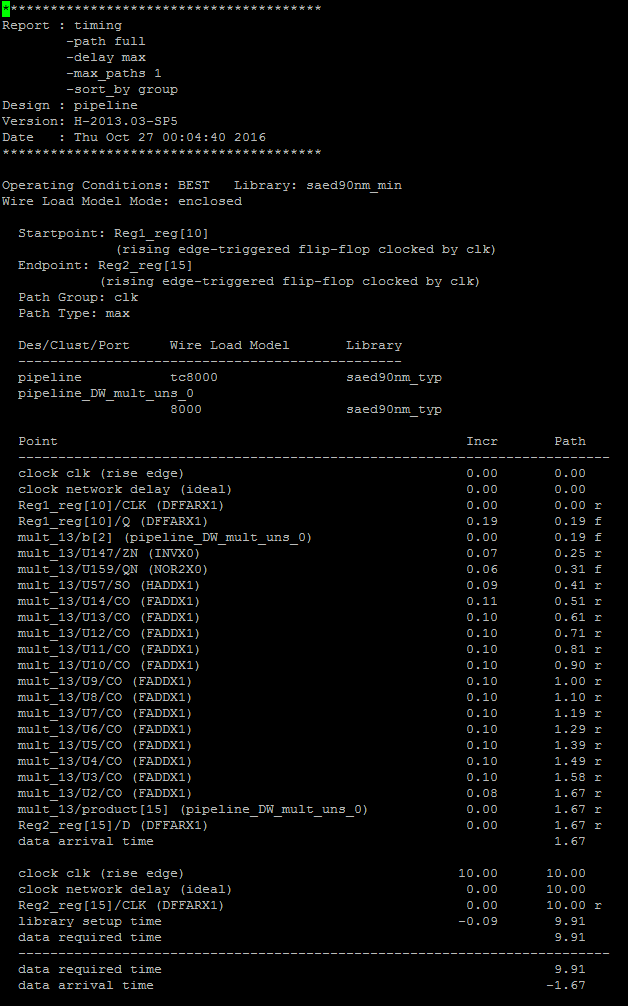
第二個register的部分，當遇到reset = 0的時候，將第二個register的內容歸零，若是reset = 1，把(A+B)\*C的結果存到第二個register。

RTL驗證

Gate level驗證

Area report

Time report



Gate level驗證觀察到的現象：

我一開始在寫testbench的時候沒注意到加法器跟乘法器本身的硬體延遲，所以一開始的結果是前一個階段的A+B去乘上下一個階段的C，造成結果錯誤，於是我把給值的延遲弄長，正確的結果會出現，但是正確的出現之後還是會有短時間出現前一個階段的A+B去乘上下一個階段的C，再把延遲稍微縮短還是會出現，這部分還想不到解決方法。

寫這份作業遇到的困難：

1. 對於blocking non-blocking理解不夠深
2. 寫的CODE丟進design-compiler不給過(原因就是第一點不夠熟悉)
3. 沒注意到硬體本身延遲的部分，導致結果錯誤。

解決方法

1. 上網查資料
2. 自己慢慢嘗試