

A64FX™ specification

Fujitsu HPC Extension

Ver. 1

November 30, 2020

Fujitsu Limited

Copyright© 2009 – 2020 Fujitsu Limited, 4-1-1 Kamikodanaka, Nakahara-ku, Kawasaki, 211-8588, Japan. All rights reserved.

This product and related documentation are protected by copyright and distributed under licenses restricting their use, copying, distribution, and decompilation. No part of this product or related documentation may be reproduced in any form by any means without prior written authorization of Fujitsu Limited and its licensors, if any.

The product(s) described in this book may be protected by one or more U.S. patents, foreign patents, or pending applications.

改版履歷

Date	Contents	Page
November 30 2020	Ver.1 released	

目次

1. Fujitsu HPC 拡張機能.....	8
1.1. HPC タグアドレスオーバーライド	8
1.1.1. 概要.....	8
1.1.2. HPC タグアドレスオーバーライド機能の有効化.....	9
1.1.3. HPC タグアドレスオーバーライド機能無効時の動作	10
1.1.4. System Register Description	10
1.1.4.1. IMP_FJ_TAG_ADDRESS_CTRL_EL1	10
1.1.4.2. IMP_FJ_TAG_ADDRESS_CTRL_EL2	12
1.1.4.3. IMP_FJ_TAG_ADDRESS_CTRL_EL3	13
1.1.4.4. IMP_FJ_TAG_ADDRESS_CTRL_EL12	14
1.1.5. タグアドレス割り当て	15
1.2. セクタキャッシュ.....	16
1.2.1. 概要.....	16
1.2.2. HPC タグアドレスオーバーライド機能の割り当て	16
1.2.3. Compatibility Note.....	17
1.2.4. System Register Description	18
1.2.4.1. IMP_SCCR_CTRL_EL1	18
1.2.4.2. IMP_SCCR_ASSIGN_EL1	20
1.2.4.3. IMP_SCCR_L1_EL0	21
1.2.4.4. IMP_SCCR_SET0_L2_EL1	22
1.2.4.5. IMP_SCCR_SET1_L2_EL1	23
1.2.4.6. IMP_SCCR_VSCCR_L2_EL0	23
1.3. ハードウェアプリフェッチアシスト	25
1.3.1. 概要.....	25
1.3.2. ハードウェアプリフェッチ動作モード	25
1.3.2.1. Stream detect mode.....	26
1.3.2.2. Prefetch injection mode.....	26
1.3.3. HPC タグアドレスオーバーライド機能の割り当て	27
1.3.4. System Register Description	29
1.3.4.1. IMP_PF_CTRL_EL1	31
1.3.4.2. IMP_PF_STREAM_DETECT_CTRL_EL0	32
1.3.4.3. IMP_PF_INJECTION_CTRL[0-7]_EL0	34
1.3.4.4. IMP_PF_INJECTION_DISTANCE[0-7]_EL0	35
1.4. ハードウェアバリア	37
1.4.1. 概要.....	37
1.4.2. Compatibility Note.....	37
1.4.3. System Register Description	38
1.4.3.1. IMP_BARRIER_CTRL_EL1	40
1.4.3.2. IMP_BARRIER_INIT_SYNC_BB[0-5]_EL1	41
1.4.3.3. IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1	43
1.4.3.4. IMP_BARRIER_BST_BIT_EL1	45
1.4.3.5. IMP_BARRIER_BST_SYNC_W[0-3]_EL0(Write) IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0(Read).....	45

Preface

本仕様書は、A64FX プロセッサの ARM アーキテクチャに対する実装依存部及び独自実装部を説明する supplement として位置づけられ、ARM アーキテクチャの詳細な説明は行わない。

本仕様書が以下の文章を参考に行っている。これらの文章にて定義されている用語については、特に注釈無しに使用している。

- ARM® Architecture Reference Manual (ARMv8, ARMv8.1, ARMv8.2, ARMv8.3)
- ARM® Architecture Reference Manual Supplement The Scalable Vector Extension

1. Fujitsu HPC 拡張機能

A64FX プロセッサには富士通独自の HPC 拡張機能が実装されている。これらの拡張は富士通が過去に設計した SPARC64™ VIIIfx や SPARC64™ IXfx, SPARC64™ XIfx から受け継いだ、HPC アプリケーションにおいてさらなる高性能・高効率を実現するためのアーキテクチャである。

A64FX プロセッサに実装されている Fujitsu HPC 拡張は大きく分けて 5 種類の機能がある。

HPC タグアドレスオーバーライド — セクタキャッシュ及びハードウェアプリフェッチ機能をアプリケーションから命令単位で細かく制御するための機能

セクタキャッシュ — キャッシュを疑似的にパーティショニングして局所性のあるデータとストリームデータ、システムソフトウェアの情報などに分けて容量を設定することで、ソフトウェアからキャッシュの制御を行うことができる機能

ハードウェアプリフェッチアシスト — シーケンシャルなメモリアクセスのパターンの自動検出やソフトウェアからディスタンスアクセスのヒントを与えることにより、ハードウェアで事前にソフトウェアが使うデータをプリフェッチしメモリアクセスのペナルティを軽減する機能

ハードウェアバリアー — ハードウェアによりソフトウェアのスレッド間同期を支援する機能

次節ではそれぞれについて詳細に説明を行う。

1.1. HPC タグアドレスオーバーライド

A64FX プロセッサでは独自の HPC タグアドレスオーバーライド機能をサポートする。この機能は、セクタキャッシュ及びハードウェアプリフェッチアシストを制御するために使用される。HPC タグアドレスオーバーライド機能を用いることで、ロード命令・ストア命令・プリフェッチ命令について、命令ごとにセクタキャッシュ及びハードウェアプリフェッチアシストの動作を指示することが可能となる。この機能を用いることで、アプリケーションのチューニングが可能となる。

Compatibility Note 本機能は、SPARC64™ VIIIfx, SPARC64™ IXfx, SPARC64™ XIfx において XAR 拡張を行った Load/Store/Prefetch 命令などのメモリアクセス系命令において使用することができる、`sector_id`, `dis_hwpf` の指示機能に相当する。これを A64FX プロセッサでは機能を拡張するとともに、ARMv8-A の Tagged addressing の仕組みを拡張することにより実現している。

1.1.1. 概要

A64FX プロセッサでは HPC タグアドレスオーバーライド機能が実装されている。

HPC タグアドレスオーバーライド機能が有効の時、ロード命令・ストア命令・プリフェッチ命令のメモリアドレス計算で算出された 64bit アドレスの上位 8 ビットが無視され、ハードウェアの動作を変更するヒントとして扱われる。本仕組みは ARMv8-A arm によって定義されている Tagged addressing 機能と互換性を持って動作し、どのような値を設定しても、命令セットアーキテクチャ上の動作は変更されない。

HPC タグアドレスオーバーライドにおいては、セクタキャッシュとハードウェアプリフェッチアシストの制御が可能である。それぞれの指示はレジスタにおいて有効無効の設定が可能で

あり、無効とされたときは、それぞれの機能の Default によって動作する。詳細は、1.1.3 HPC タグアドレスオーバーライド機能無効時の動作を参照のこと。

HPC タグアドレスオーバーライドはアドレス領域ごとに有効無効の設定が可能であり、ARMv8-A で定義された Tagged addressing が有効な領域かつ、HPC タグアドレスオーバーライドが有効なアドレス領域にのみ作用する。ARMv8-A で定義された Tagged addressing が無効な時は、HPC タグアドレスオーバーライド機能が有効であっても本機能は無効となり、ハードウェアの動作を変更するヒントとしては動作せず、アドレス上位 8 ビットは無視されずアドレスとして扱われる。

そのため、ARMv8-A で定義された Tagged addressing を使用するソフトウェアにおいて、本機能を有効にした場合、ハードウェアの動作が予期せず変更され、性能面に影響を及ぼす可能性がある。また、アプリケーションにおいて、Tagged addressing を使用して、かつ、HPC タグアドレスオーバーライド機能による性能チューニングを両立することは困難である。

1.1.2. HPC タグアドレスオーバーライド機能の有効化

HPC タグアドレスオーバーライド機能を有効にするためには、アクセスする領域に対して、ARMv8-A の Tagged addressing が有効であり、かつ HPC タグアドレスオーバーライド機能がともに有効である必要がある。機能の有効無効はそれぞれのアドレス領域ごとに設定する。表 1-1 にそれぞれのメモリ領域と Tagged addressing、HPC tag address override の設定の対応を示す。いずれかの設定が無効である場合、メモリ領域に対する HPC タグアドレスオーバーライド機能は無効となる。

表 1-1 メモリ領域と Tagged addressing、HPC tag address override 設定ビット対応表

Region	Tagged addressing	HPC tag address override
TTBR0_EL1	TCR_EL1.TBI0	IMP_FJ_TAG_ADDRESS_CTRL_EL1.TBO0
TTBR1_EL1	TCR_EL1.TBI1	IMP_FJ_TAG_ADDRESS_CTRL_EL1.TBO1
TTBR0_EL2	TCR_EL2.TBI	IMP_FJ_TAG_ADDRESS_CTRL_EL2.TBO0
TTBR0_EL3	TCR_EL3.TBI	IMP_FJ_TAG_ADDRESS_CTRL_EL3.TBO0

表 1-2 に、あるメモリ領域に対して TBI 及び TBO の設定によりロード命令・ストア命令・プリフェッチ命令のメモリアドレス計算で算出された 64bit データをそれぞれどのように扱うかまとめる。

表 1-2 領域に対する TBI/TBO 設定と動作

TBI	TBO	Behavior
0	-	Tagged addressing 及び HPC タグアドレスオーバーライド機能は無効となりアドレス計算により求められた 64bit のデータはすべてアドレスとして使用される
1	0	Tagged addressing が有効となり、アドレス計算により求められた 64bit のデータの上位 8bit はアドレスとして使用されない
1	1	HPC タグアドレスオーバーライド機能が有効となり、アドレス計算により求められた 64bit のデータの上位 8bit はアドレスとして使用されない

TBI 及び TBO に加えて、HPC タグアドレスオーバーライドの設定について、機能ごとに Enable/Disable を指示可能な、SCE(Sector Cache Enable)及び、PFE(hardware PreFetch Enable)が存在する。

1.1.3. HPC タグアドレスオーバーライド機能無効時の動作

ARMv8-A の Tagged Addressing、HPC タグアドレスオーバーライドのいずれかが無効の時 (TBI もしくは TBO のいずれかが 0 の時)、セクタ及びハードウェアプリフェッチアシストはそれぞれ Default の動作となる。また、TBI=1 かつ TBO=1 の場合においても、SCE, PFE が 0 の時はセクタもしくはハードウェアプリフェッチアシストは Default 動作となる。

以下に Default 動作についてまとめる。

セクタキャッシュ Default 動作

別レジスタにより指示される Default Sector によるアクセスとして扱う

ハードウェアプリフェッチアシスト Default 動作

常に、Stream detect mode として動作する。Stream detect mode の動作は IMP_PF_STREAM_DETECT_CTRL_EL0 によって設定されたものとなる。

1.1.4. System Register Description

設定レジスタについてはシステムレジスタの IMPLEMENTATION DEFINED 領域に定義される。

表 1-3 に HPC タグアドレスオーバーライド機能で使用する System Register 一覧を示す。

表 1-3 HPC タグアドレスオーバーライド機能 System Register 一覧

op0	op1	CRn	CRm	op2	Register Name	Shared Domain
11	000	1011	0010	000	IMP_FJ_TAG_ADDRESS_CTRL_EL1	PE
11	100	1011	0010	000	IMP_FJ_TAG_ADDRESS_CTRL_EL2	PE
11	110	1011	0010	000	IMP_FJ_TAG_ADDRESS_CTRL_EL3	PE
11	101	1011	0010	000	IMP_FJ_TAG_ADDRESS_CTRL_EL12	PE

IMP_FJ_TAG_ADDRESS_CTRL レジスタは ARMv8.1 virtualization host extensions の拡張の影響を受ける。

HCR_EL2.E2H = 1 がセットされかつ SCR_EL3.NS = 1 のとき、以下のように動作が変更される。

- IMP_FJ_TAG_ADDRESS_CTRL_EL2 に PFE1, SCE1, TBO1 ビットが追加され、TTBR1_EL2 領域への制御が追加される。
- CurrentEL=2 のとき、IMP_FJ_TAG_ADDRESS_CTRL_EL1 へのアクセスが IMP_FJ_TAG_ADDRESS_CTRL_EL2 へのアクセスに変更される。
- CurrentEL=2, 3 のとき、IMP_FJ_TAG_ADDRESS_CTRL_EL12 へのアクセスは、IMP_FJ_TAG_ADDRESS_CTRL_EL1 にエイリアスされる。

1.1.4.1. IMP_FJ_TAG_ADDRESS_CTRL_EL1

Purpose HPC タグアドレスオーバーライド制御レジスタ

Usage constraints IMP_FJ_TAG_ADDRESS_CTRL_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	RW	RW	RW	RW	RW

Configuration 本レジスタは 32bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

31	14	13	12	11	10	9	8	7	2	1	0
RES0	PFE1	SCE1	RES0	PFE0	SCE0	RES0	TBO1	TBO0			

Bits	Name	Function
[31:14]	-	Reserved, RES0
[13]	PFE1	Prefetch assist enable 1: TTBR1_EL1 領域へのアクセス時に tagged address 領域の pf_func 指示を有効にする 0: TTBR1_EL1 領域へのアクセス時に prefetch assist は default として動作する
[12]	SCE1	Sector cache enable 1: TTBR1_EL1 領域へのアクセス時に tagged address 領域の sector_id 指示を有効にする 0: TTBR1_EL1 領域へのアクセス時に sector cache は default として動作する
[11:10]	-	Reserved, RES0
[9]	PFE0	Prefetch assist enable 1: TTBR0_EL1 領域へのアクセス時に tagged address 領域の pf_func 指示を有効にする 0: TTBR0_EL1 領域へのアクセス時に prefetch assist は default として動作する
[8]	SCE0	Sector cache enable 1: TTBR0_EL1 領域へのアクセス時に tagged address 領域の sector_id 指示を有効にする 0: TTBR0_EL1 領域へのアクセス時に sector cache は default として動作する
[7:2]	-	Reserved, RES0
[1]	TBO1	Top Byte override TTBR1 TBO1 = 1 かつ TCR_EL1.TBI1 = 1 のとき、TTBR1_EL1 領域へのアクセスについて、アドレスの上位 1byte をアドレスとして使わず、HPC タグアドレスオーバーライド機能として使用する TBO1 = 0 のときは、HPC タグアドレスオーバーライドの機能は無効化される
[0]	TBO0	Top Byte override TTBR0 TBO0 = 1 かつ TCR_EL1.TBI0 = 1 のとき、TTBR0_EL1 領域へのアクセスについて、アドレスの上位 1byte をアドレスとして使わず、HPC タグアドレスオーバーライド機能として使用する TBO0 = 0 のときは、HPC タグアドレスオーバーライドの機能は無効化される

Accessing MRS <Xt>, S3_0_C11_C2_0
MSR S3_0_C11_C2_0, <Xt>

op0	op1	CRn	CRm	op2
11	000	1011	0010	000

1.1.4.2. IMP_FJ_TAG_ADDRESS_CTRL_EL2

Purpose HPC タグアドレスオーバーライド制御レジスタ

Usage constraints IMP_FJ_TAG_ADDRESS_CTRL_EL2 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
			RW	RW	RW

Configuration 本レジスタは 32bit 幅である。

Attributes レジスタの割り当てと A64FX™ コアでの実装を示す。

HCR_EL2.E2H = 0

31	10	9	8	7	1	0
RES0	PFE0	SCE0	RES0	TBO0		

HCR_EL2.E2H = 1

31	14	13	12	11	10	9	8	7	2	1	0
RES0	PFE1	SCE1	RES0	PFE0	SCE0	RES0	TBO1	TBO0			

HCR_EL2.E2H = 0

Bits	Name	Function
[31:10]	-	Reserved, RES0
[9]	PFE0	Prefetch assist enable 1: TTBR0_EL2 領域へのアクセス時に tagged address 領域の pf_func 指示を有効にする 0: TTBR0_EL2 領域へのアクセス時に Prefetch assist は Default として動作する
[8]	SCE0	Sector cache enable 1: TTBR0_EL2 領域へのアクセス時に tagged address 領域の sector_id 指示を有効にする 0: TTBR0_EL2 領域へのアクセス時に sector cache は Default として動作する
[7:1]	-	Reserved, RES0
[0]	TBO0	Top Byte override TTBR0 TBO0 = 1 かつ TCR_EL2.TBI = 1 のとき、TTBR0_EL2 領域へのアクセスについて、アドレスの上位 1byte をアドレスとして使わず、HPC タグアドレスオーバーライド機能として使用する TBO0 = 0 のときは、HPC タグアドレスオーバーライドの機能は無効化される

HCR_EL2.E2H = 1

Bits	Name	Function
[31:14]	-	Reserved, RES0

[13]	PFE1	Prefetch assist enable 1: TTBR1_EL2 領域へのアクセス時に tagged address 領域の pf_func 指示を有効にする 0: TTBR1_EL2 領域へのアクセス時に Prefetch assist は Default として動作する
[12]	SCE1	Sector cache enable 1: TTBR1_EL2 領域へのアクセス時に tagged address 領域の sector_id 指示を有効にする 0: TTBR1_EL2 領域へのアクセス時に sector cache は Default として動作する
[11:10]	-	Reserved, RES0
[9]	PFE0	Prefetch assist enable 1: TTBR0_EL2 領域へのアクセス時に tagged address 領域の pf_func 指示を有効にする 0: TTBR0_EL2 領域へのアクセス時に Prefetch assist は Default として動作する
[8]	SCE0	Sector cache enable 1: TTBR0_EL2 領域へのアクセス時に tagged address 領域の sector_id 指示を有効にする 0: TTBR0_EL2 領域へのアクセス時に sector cache は Default として動作する
[7:2]	-	Reserved, RES0
[1]	TBO1	Top Byte override TTBR1 TBO1 = 1 かつ TCR_EL2.TBI1 = 1 のとき、TTBR1_EL2 領域へのアクセスについて、アドレスの上位 1byte をアドレスとして使わず、HPC タグアドレスオーバーライド機能として使用する TBO0 = 1 のときは、HPC タグアドレスオーバーライドの機能は無効化される
[0]	TBO0	Top Byte override TTBR0 TBO0 = 1 かつ TCR_EL2.TBI0 = 1 のとき、TTBR0_EL2 領域へのアクセスについて、アドレスの上位 1byte をアドレスとして使わず、HPC タグアドレスオーバーライド機能として使用する TBO0 = 0 のときは、HPC タグアドレスオーバーライドの機能は無効化される

Accessing MRS <Xt>, S3_4_C11_C2_0
MSR S3_4_C11_C2_0, <Xt>

op0	op1	CRn	CRm	op2
11	100	1011	0010	000

1.1.4.3. IMP_FJ_TAG_ADDRESS_CTRL_EL3

Purpose HPC タグアドレスオーバーライド制御レジスタ

Usage constraints IMP_FJ_TAG_ADDRESS_CTRL_EL3 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
				RW	RW

Configuration 本レジスタは 32bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

31	10	9	8	7	1	0
RES0				PFE0	SCE0	TBO0

Bits	Name	Function
[31:10]	-	Reserved, RES0
[9]	PFE0	Prefetch assist enable 1: TTBR0_EL3 領域へのアクセス時に tagged address 領域の pf_func 指示を有効にする 0: TTBR0_EL3 領域へのアクセス時に Prefetch assist は Default として動作する
[8]	SCE0	Sector cache enable 1: TTBR0_EL3 領域へのアクセス時に tagged address 領域の sector_id 指示を有効にする 0: TTBR0_EL3 領域へのアクセス時に sector cache は Default として動作する
[7:1]	-	Reserved, RES0
[0]	TBO0	Top Byte override TTBR0 TBO0 = 1 かつ TCR_EL3.TBI = 1 のとき、TTBR0_EL3 領域へのアクセスについて、アドレスの上位 1byte をアドレスとして使わず、HPC タグアドレスオーバーライド機能として使用する TBO0 = 0 のときは、HPC タグアドレスオーバーライドの機能は無効化される

Accessing MSR <Xt>, S3_6_C11_C2_0
MRS S3_6_C11_C2_0, <Xt>

op0	op1	CRn	CRm	op2
11	110	1011	0010	000

1.1.4.4. IMP_FJ_TAG_ADDRESS_CTRL_EL12

Purpose HPC タグアドレスオーバーライド制御レジスタ

Usage constraints IMP_FJ_TAG_ADDRESS_CTRL_EL12 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
			RW	RW	

Configuration 本レジスタは 32bit 幅である。HCR_EL2.E2H = 1 かつ SCR_EL3.NS = 1 のとき、IMP_FJ_TAG_ADDRESS_CTRL_EL1 の alias レジスタとして動作する。
HCR_EL2.E2H = 0 もしくは SCR_EL3.NS = 0 のとき、すべての EL からのアクセスは UNDEFINED となる。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

Accessing MRS <Xt>, S3_5_C11_C2_0
MSR S3_5_C11_C2_0, <Xt>

op0	op1	CRn	CRm	op2
11	101	1011	0010	000

1.1.5. タグアドレス割り当て

HPC タグアドレスオーバーライド機能が有効な時、タグアドレスの 8 ビット（アドレスの上位 8 ビット）はアドレスとしては使用されず、以下のような指示ビットとして解釈される。

63	60	59	58	57	56
pf_func		SBZ	SBZ	sector_id	

Bits	Name	Function
[63:60]	pf_func	PFE=1 のとき、 ハードウェアプリフェッチアシストの動作を指定する 詳細はハードウェアプリフェッチアシスト参照 PFE=0 のとき、 本フィールドは無視され、ハードウェアプリフェッチアシストは Default として動作する。
[59:58]	-	将来の拡張に備えてソフトウェアは 0 を設定しなければならない ただし、0 以外の値が設定されても、値は無視される
[57:56]	sector_id	SCE=1 のとき、 セクタキャッシュのセクタ ID を指定する 詳細はセクタキャッシュ参照 SCE=0 のとき、 本フィールドは無視され、セクタ ID は Default として動作する。

本設定が有効なのは、ロード命令、ストア命令及びプリフェッチ命令に限定され、命令フェッチには影響を与えない。

1.2. セクタキャッシュ

A64FX プロセッサではキャッシュをセクタと呼ばれる部分に分けて更新管理をする仕組みを提供する。この機構をセクタキャッシュと呼ぶ。セクタの利用法としては、使用頻度が高いデータをキャッシュに残りやすくする、または、使用頻度の低いデータを大量に扱う際にキャッシュを汚さないようにする、などが考えられる。また、アシスタントコアが使用する領域を制限・隔離することで、演算コアとアシスタントコア双方の不必要なキャッシュのスラッシングを減少させることが考えられる。

1.2.1. 概要

セクタキャッシュとは、キャッシュ上にセクタと呼ばれる部分を作り、データを囲い込む機能である。各セクタにはそれぞれ最大許容量が指定されており、セクタの使用量が最大許容量より小さいときは、セクタ内のデータがキャッシュから落ちないように、キャッシュの追い出し機構を制御する。キャッシュ上には複数のセクタを作成することができ、また各セクタの最大許容量は他のセクタの最大許容量とは独立に設定できるため、応用の自由度が高い。

A64FX プロセッサでは L1D キャッシュ、L2 キャッシュにセクタキャッシュ機構を実装しており、セクタキャッシュ機能を有効にするかどうかは L1D キャッシュ、L2 キャッシュ個々に設定できる。A64FX プロセッサでは、L1D キャッシュについては PE ごとに、また L2 キャッシュについては CMG ごとに個別にセクタ設定が可能である。

あるソフトウェアが使用できるのは L1D キャッシュでは一組 4 つ、L2 キャッシュでは一組 2 つのセクタである。L2 キャッシュは CMG ごとに多数の演算コアやアシスタントコアで共有されており、2 組のセクタ設定を PE ごとで切り替えることで最大 4 セクタを使用することが可能である。

L1D キャッシュのセクタ容量は PE 間ではそれぞれ独立であり、他の PE の設定にアクセスすることはできない。また、L2 キャッシュのセクタ容量は CMG 間では設定はそれぞれ独立であり、他の CMG の設定にアクセスすることはできない。

Note CMG をまたいで、全演算コア 48 コアを 1 プロセスで使用する場合、ソフトウェア側であらかじめ全 CMG の設定を共通にしておくことを推奨する。

Note CMG 内で、12 コアを分割して複数プロセスで使用する場合、同一グループ内で設定される値はプロセス間で同一のものであることを推奨する。

セクタは番号で識別される。命令フェッチやロードストア命令など、すべてのメモリアクセスにはセクタ番号が付加される。セクタ番号はソフトウェアが明示的に指定することもできるし、指定しない場合は暗黙のセクタ番号が付加される。

使用したいメモリのデータがキャッシュ上になれば、メモリから読み込まれ、セクタ番号を付加してキャッシュに格納する。このとき、キャッシュ上のデータの追い出しが発生するが、セクタキャッシュが有効なときは、セクタの容量を考慮して追い出すデータが選択される。

一方、キャッシュ上にデータがあるときは、そのデータが読み出し、あるいは更新される。このときは、キャッシュ上のデータがどのセクタに属しているか、キャッシュアクセスに付加されたセクタ番号には関係なく、すべてのセクタ上のデータが使用可能である。

1.2.2. HPC タグアドレスオーバーライド機能の割り当て

A64FX プロセッサの実装において、キャッシュブルのメモリアクセスにはセクタ ID 番号が付与される。これらのセクタ ID は `IMP_SCCR_ASSIGN_EL1.assign`, `IMP_SCCR_ASSIGN_EL1.default_sector<1:0>` 及び `TagAddress.sector_id<1:0>` によって決まる。

表 1-4 それぞれのキャッシュ階層で使用されるセクタ ID

		L1I/L1D cache	L2 cache
Instruction access		-	assign::default_sector<0>
Data access	HPC Tagged override が無効な領域へのアクセス	default_sector<1:0>	assign::default_sector<0>
	HPC Tagged override が有効な領域へのアクセス	sector_id<1:0>	assign::sector_id<0>
Programming Note L1I cache については、Sector cache は適用されない。しかし、L1I キャッシュから L2 cache へのリクエストは、assign と default_sector<0>を使用して Sector が決定される			

1.2.3. Compatibility Note

セクタキャッシュについて過去の SPARC64™プロセッサとの違いをまとめる。本項は次版以降に A64FX プロセッサの詳細な仕様を記載する

表 1-5 SPARC64™プロセッサとのセクタキャッシュ機能比較

Processor	L1I / L1D cache	L2 cache
SPARC64™ VIIIfx SPARC64™ IXfx	1 組 × 2 sector 設定はチップ内で共有	1 組 × 2 sector 設定はチップ内で共有
SPARC64™ XIfx	2 組 × 4 sector 設定は CMG 内で共有 どちらの組を使用するかはコアごとに設定可能だが L1 と L2 で使用する組は同一	2 組 × 2 sector 設定は CMG 内で共有 どちらの組を使用するかはコアごとに設定可能だが L1 と L2 で使用する組は同一 注釈：1 コアから同時に使用可能なセクタ数は 2 だが、それぞれの組のセクタを別のセクタとして認識するため、CMG 内ではセクタ数は 4 あることになる。
A64FX プロセッサ	1 組 × 4 sector 設定は PE ごと	2 組 × 2sector 設定は CMG で共有 どちらの組を使用するかは PE ごとに設定可能 注釈：1 つの PE から同時に使用可能なセクタ数は 2 だが、それぞれの組のセクタを別のセクタとして認識するため、CMG 内ではセクタ数は最大 4 あることになる。
Compatibility Note A64FX プロセッサでは L1 キャッシュ用のセクタキャッシュ設定は PE ごとに独立であるため、各 PE においてそれぞれ設定を行う必要がある		

1.2.4. System Register Description

本項ではセクタキャッシュにおける設定レジスタを説明する。ハードウェアプリフェッチアシストのレジスタはすべて IMPLEMENTATION DEFINED 領域 (S3_<op1>_<Cn>_<Cm>_<op2>) に定義される。

表 1-6 にセクタキャッシュに関するすべての設定レジスタ一覧を示す。すべてのレジスタは 64bit 幅で定義されている。

表 1-6 セクタキャッシュレジスタ一覧

op0	op1	CRn	CRm	op2	Register Name	Shared domain
11	000	1011	1000	000	IMP_SCCR_CTRL_EL1	PE
11	000	1011	1000	001	IMP_SCCR_ASSIGN_EL1	PE
11	000	1111	1000	010	IMP_SCCR_SET0_L2_EL1	CMG
11	000	1111	1000	011	IMP_SCCR_SET1_L2_EL1	CMG
11	011	1011	1000	010	IMP_SCCR_L1_EL0	PE
11	011	1111	1000	010	IMP_SCCR_VSCCR_L2_EL0	PE(CMG) ⁱ

セクタキャッシュの設定レジスタへの EL1 及び EL0 からのアクセスは、システムレジスタ IMP_SCCR_CTRL_EL1 からコントロールされる。設定値と各レジスタのアクセス可否について以下にまとめる。

表 1-7 セクタキャッシュレジスタアクセス権

Register Name	el1ae=0			el1ae=1 and el0ae=0			el1ae=1 and el0ae=1		
	EL0	EL1 (NS)	EL1(S)	EL0	EL1 (NS)	EL1(S)	EL0	EL1 (NS)	EL1(S)
IMP_SCCR_CTRL_EL1		RO	RW		RW	RW		RW	RW
IMP_SCCR_ASSIGN_EL1			RW		RW	RW		RW	RW
IMP_SCCR_L1_EL0			RW		RW	RW	RW	RW	RW
IMP_SCCR_SET0_L2_EL1			RW		RW	RW		RW	RW
IMP_SCCR_SET1_L2_EL1			RW		RW	RW		RW	RW
IMP_SCCR_VSCCR_L2_EL0			RW		RW	RW	RW	RW	RW

1.2.4.1. IMP_SCCR_CTRL_EL1

Purpose セクタキャッシュ用アクセス制御レジスタ

Usage constraints IMP_SCCR_CTRL_EL1 は以下の Exception Level でアクセス可能である。

ⁱ レジスタ自体は PE の資源であるが、書き換えられるレジスタの実体は、IMP_SCCR_ASSIGN_EL1 で指定された IMP_SCCR_SET0_L2_EL1 もしくは IMP_SCCR_SET1_L2_EL1 のうちのいずれかである。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	RO/ Config- RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

63	62	61	32
el1ae	el0ae	RES0	

31	0
RES0	

Bits	Name	Value	Function
[63]	el1ae	RW	<p>1: IMP_SCCR_CTRL_EL1, IMP_SCCR_ASSIGN_EL1, IMP_SCCR_L1_EL0, IMP_SCCR_SET0_L2_EL1, IMP_SCCR_SET1_L2_EL1, IMP_SCCR_VSCCR_L2_EL0 へ Non-Secure EL1 からの Read/write を可能とする</p> <p>0: IMP_SCCR_ASSIGN_EL1, IMP_SCCR_L1_EL0, IMP_SCCR_SET0_L2_EL1, IMP_SCCR_SET1_L2_EL1, IMP_SCCR_VSCCR_L2_EL0 へ Non-Secure EL1 からの Read/Write は EL2 に EC=0x18 でトラップする。 また、IMP_SCCR_CTRL_EL1 へ Non-Secure EL1 からの Write は EL2 に EC=0x18 でトラップする。</p> <p>本ビットは EL2/EL3 及び Secure EL1 からのみ書き込み可能である。 el1ae=1 のときに、Non-Secure EL1 から書き込みが行われた場合、その書き込みは無視される。</p>
[62]	el0ae	RW	<p>1: el1ae が 1 の時、IMP_SCCR_L1_EL0, IMP_SCCR_VSCCR_L2_EL0 へ EL0 からの Read/Write を可能とする</p> <p>el1ae が 0 の時、IMP_SCCR_L1_EL0, IMP_SCCR_VSCCR_L2_EL0 へ EL0 からのアクセスは EL1 へ EC=0x18 でトラップする</p> <p>0: IMP_SCCR_L1_EL0, IMP_SCCR_VSCCR_L2_EL0 への EL0 からの アクセスは EL1 へ EC=0x18 でトラップする</p>
[61:0]	-	0x0	Reserved, RES0

Accessing MRS <Xt>, S3_0_C11_C8_0
MSR S3_0_C11_C8_0, <Xt>

op0	op1	CRn	CRm	op2
11	000	1011	1000	000

1.2.4.2. IMP_SCCR_ASSIGN_EL1

Purpose セクタキャッシュ割り当て及び動作制御レジスタ

Usage constraints IMP_SCCR_ASSIGN_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	Config- RW	RW	RW	RW	RW

EL1 からのアクセスは、IMP_SCCR_CTRL_EL1.el1ae ビットにより制御される。

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

63	32
RES0	

31	4	3	2	1	0
RES0		mode	assign	default_sector	

Bits	Name	Value	Function
[63:4]	-	0x0	Reserved, RES0
[3]	mode	RW	0: アクセスしたキャッシュラインが保持している Sector ID とアクセスした Sector ID が異なっている時に、アクセスしたキャッシュラインが保持している Sector ID をアクセスした Sector ID に付け替える 1: アクセスしたキャッシュラインが保持している Sector ID とアクセスした Sector ID が異なっている時、キャッシュラインが保持している Sector ID を付け替えない
[2]	assign	RW	IMP_SCCR_VSCCR_L2_EL0 を介してアクセス可能なレジスタを選択する 0: IMP_SCCR_VSCCR_L2_EL0 は IMP_SCCR_SET0_L2_EL1 の alias となる 1: IMP_SCCR_VSCCR_L2_EL0 は IMP_SCCR_SET1_L2_EL1 の alias となる
[1:0]	default_sector	RW	いくつかの理由により、命令によって Sector ID が指定されないアクセスが発生することがある。これらの Sector ID を default_sector で指定した Sector ID に読み替える

Accessing MRS <Xt>, S3_0_C11_C8_1
MSR S3_0_C11_C8_1, <Xt>

op0	op1	CRn	CRm	op2
11	000	1011	1000	001

1.2.4.3. IMP_SCCR_L1_EL0

Purpose L1 セクタキャッシュ容量設定レジスタ

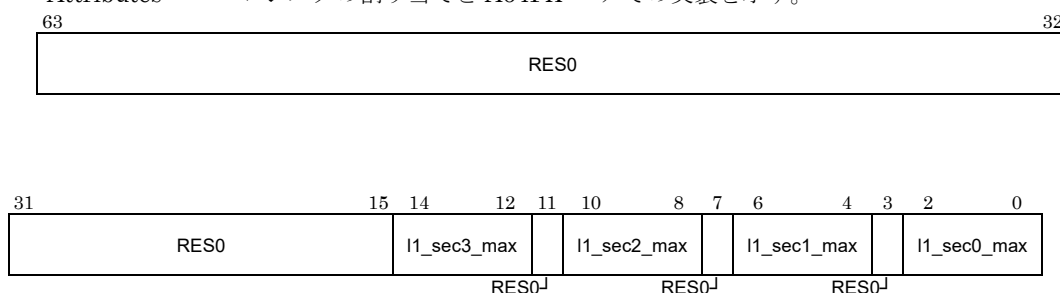
Usage constraints IMP_SCCR_L1_EL0 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
Config-RW	Config-RW	RW	RW	RW	RW

EL1 からのアクセスは、IMP_SCCR_CTRL_EL1.el1ae ビットにより制御される。また EL0 からのアクセスは、IMP_SCCR_CTRL_EL1.el0ae ビットにより制御される。

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FXTMコアでの実装を示す。



Bits	Name	Value	Function
[63:15]	-	0x0	Reserved, RES0
[14:12]	l1_sec3_max	RW	L1 Sector ID=3 の最大セクタ数を設定する
[11]	-	0x0	Reserved, RES0
[10:8]	l1_sec2_max	RW	L1 Sector ID=2 の最大セクタ数を設定する
[7]	-	0x0	Reserved, RES0
[6:4]	l1_sec1_max	RW	L1 Sector ID=1 の最大セクタ数を設定する
[3]	-	0x0	Reserved, RES0
[2:0]	l1_sec0_max	RW	L1 Sector ID=0 の最大セクタ数を設定する

Accessing MRS <Xt>, S3_3_C11_C8_2
MSR S3_3_C11_C8_2, <Xt>

op0	op1	CRn	CRm	op2
11	011	1011	1000	010

1.2.4.4. IMP_SCCR_SET0_L2_EL1

Purpose L2 セクタキャッシュ最大容量設定レジスタ

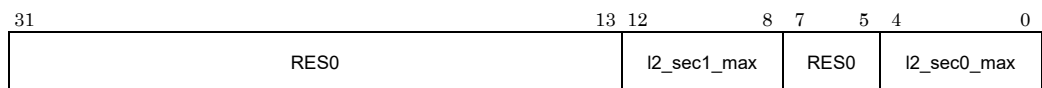
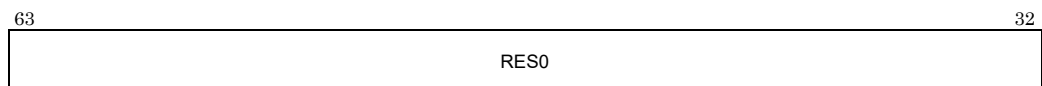
Usage constraints IMP_SCCR_SET0_L2_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	Config- RW	RW	RW	RW	RW

EL1 からのアクセスは、IMP_SCCR_CTRL_EL1.el1ae ビットにより制御される。

Configuration 本レジスタは 64bit 幅である。本レジスタは、CMG 内の複数の PE 間で共有しており 1 つの PE において IMP_SCCR_SET0_L2_EL1 を変更することにより、他の PE にも影響を与えることに注意が必要である。

Attributes レジスタの割り当てと A64FX™ コアでの実装を示す。



Bits	Name	Value	Function
[63:13]	-	0x0	Reserved, RES0
[12:8]	l2_sec1_max	RW	L2 Sector ID=1 の最大セクタ数を設定する
[7:5]	-	0x0	Reserved, RES0
[4:0]	l2_sec0_max	RW	L2 Sector ID=0 の最大セクタ数を設定する

Accessing MRS <Xt>, S3_0_C15_C8_2
MSR S3_0_C15_C8_2, <Xt>

op0	op1	CRn	CRm	op2
11	000	1111	1000	010

1.2.4.5. IMP_SCCR_SET1_L2_EL1

Purpose L2 セクタキャッシュ最大容量設定レジスタ

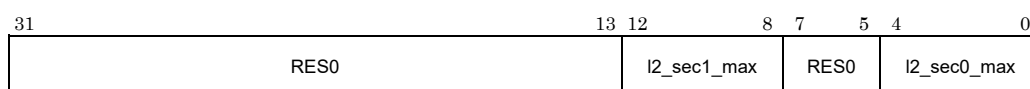
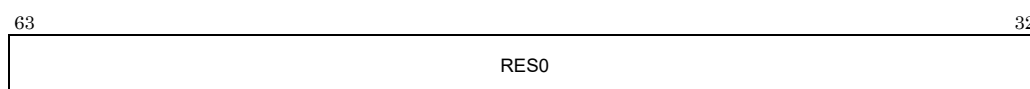
Usage constraints IMP_SCCR_SET1_L2_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	Config- RW	RW	RW	RW	RW

Configuration EL1 からのアクセスは、IMP_SCCR_CTRL_EL1.el1ae ビットにより制御される。

Configuration 本レジスタは 64bit 幅である。本レジスタは、CMG 内の複数の PE 間で共有しており 1 つの PE において IMP_SCCR_SET1_L2_EL1 を変更することにより、他の PE にも影響を与えることに注意が必要である。

Attributes レジスタの割り当てと A64FX[™] コアでの実装を示す。



Bits	Name	Value	Function
[63:13]	-	0x0	Reserved, RES0
[12:8]	l2_sec1_max	RW	L2 Sector ID=3 の最大セクタ数を設定する
[7:5]	-	0x0	Reserved, RES0
[4:0]	l2_sec0_max	RW	L2 Sector ID=2 の最大セクタ数を設定する

Accessing MRS <Xt>, S3_0_C15_C8_3
MSR S3_0_C15_C8_3, <Xt>

op0	op1	CRn	CRm	op2
11	000	1111	1000	011

1.2.4.6. IMP_SCCR_VSCCR_L2_EL0

Purpose L2 セクタキャッシュ容量設定レジスタ

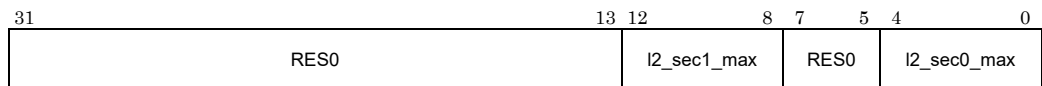
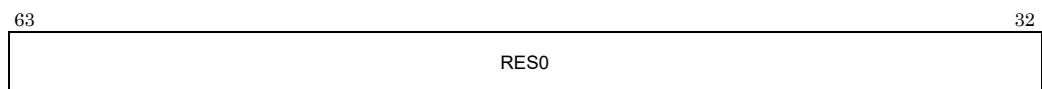
Usage constraints IMP_SCCR_L2_VSCCR_EL0 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
Config-RW	Config-RW	RW	RW	RW	RW

EL1 からのアクセスは、IMP_SCCR_CTRL_EL1.el1ae ビットにより制御される。また EL0 からのアクセスは、IMP_SCCR_CTRL_EL1.el0ae ビットにより制御される。

Configuration 本レジスタは 64bit 幅である。本レジスタは、IMP_SCCR_ASSIGN_EL1.assign により選択された IMP_SCCR_L2_SET{0|1}_EL1 に間接的にアクセスが可能となる窓レジスタである。本レジスタが書き換えられると、IMP_SCCR_ASSIGN_EL1.assign で選択された IMP_SCCR_L2_SET{0|1}_EL1 も書き換えられる。このレジスタ書き換えは IMP_SCCR_SET{0|1}_L2_EL1 を書きかえた時と同様に、CMG 内の複数の PE 間に影響を与える。

Attributes レジスタの割り当てと A64FX™ コアでの実装を示す。



Bits	Name	Value	Function
[63:13]	-	0x0	Reserved, RES0
[12:8]	l2_sec1_max	RW	L2 Sector ID=1/3 の最大セクタ数を設定する
[7:5]	-	0x0	Reserved, RES0
[4:0]	l2_sec0_max	RW	L2 Sector ID=0/2 の最大セクタ数を設定する

Accessing MRS <Xt>, S3_3_C15_C8_2
MSR S3_3_C15_C8_2, <Xt>

op0	op1	CRn	CRm	op2
11	011	1111	1000	010

1.3. ハードウェアプリフェッチアシスト

ハードウェアプリフェッチアシストは、ソフトウェアからアプリケーションの特性に合わせて、A64FX プロセッサに搭載されたハードウェアプリフェッチ機構を制御する仕組みである。システムレジスタにマップされたレジスタをアプリケーションの特性に合わせて設定を行い、HPC タグアドレスオーバーライドで指示を行うことにより、各ロードストアの特性をハード側に伝え、適切なハードウェアプリフェッチ制御を行うことでメモリアクセスのレイテンシの隠蔽を目指す。

1.3.1. 概要

A64FX プロセッサにはハードウェアプリフェッチエンジンが実装されている。実装されるハードウェアプリフェッチには 2 種類の動作モードがある。

- 連続的なアクセスをハードが自動で検出してハードウェアプリフェッチを行うモード
- レジスタにより設定された情報を元にハードウェアプリフェッチを行うモード

Compatibility Note 連続的なアクセスをハードが自動で検出してハードウェアプリフェッチを行うモードは SPARC64™ VIIIfx, SPARC64™ IXfx, SPARC64™ XIfx において実装されていたハードウェアプリフェッチ機能を踏襲するものである。SPARC64™ VIIIfx, SPARC64™ IXfx, SPARC64™ XIfx で実装していたハードウェアプリフェッチの動作を抑止するモードについては上記 2 種類のモードに統合された。

ハードウェアプリフェッチはロード命令とストア命令を対象に動作を行う。プリフェッチ命令は対象とならないことに注意が必要である。また、ロード命令・ストア命令であっても、設定するモードによりハードウェアプリフェッチが生成されない場合がある。詳細なハードウェアプリフェッチ生成条件は A64FX Microarchitecture Manual 参照のこと。

これらの 2 種類の動作モードのうち、Default の動作モードは連続的なアクセスをハードが自動で検出してハードウェアプリフェッチを行うモードであるが、HPC タグアドレスオーバーライド機能を用いることにより、どのハードウェアプリフェッチモードで動作させるか命令ごとに制御可能である。

プリフェッチ命令については、ハードウェアプリフェッチ機構は動作せず、HPC タグアドレスオーバーライド機能もしくはレジスタにより指定されるモードでプリフェッチを生成する。プリフェッチ命令の動作制御には 2 種類のモードが用意される。

- Strong prefetch
- Weak prefetch

これらの 2 種類の動作については、キャッシュにプリフェッチ命令が指定するアドレスのデータがない場合かつ、ハードの内部状態により実際には **prefetch** が行われないことを許容するのが **Weak prefetch** であり、キャッシュにプリフェッチ命令が指定するアドレスのデータがない場合に必ず **prefetch** を行うのが **Strong prefetch** である。

例えば、Weak prefetch では、TLB ミスが発生した際に Hardware Table walker を起動せず、そのまま Prefetch 動作を終了する。Strong prefetch では、TLB ミスが発生した際も Hardware Table walker を起動させ、Fault などを検出しない限り Prefetch 動作を行う。

Weak Prefetch, Strong Prefetch とともに、途中で Fault を検出した場合にも Trap を発生させることはない。(Fault を検出した場合には、該当の Prefetch 動作を終了する)

プリフェッチ命令における動作制御は指定されたハードウェアプリフェッチの動作モードによって異なるため、詳細は、1.3.2. ハードウェアプリフェッチ動作モードを参照のこと。

1.3.2. ハードウェアプリフェッチ動作モード

ハードウェアプリフェッチの 2 種類の動作モードについて説明する。

1.3.2.1. Stream detect mode

Stream detect mode は連続的なアクセスをハードウェアが自動で検出してハードウェアプリフェッチを行うモードである。

HPC タグアドレスオーバーライド機能が無効の時、ハードウェアプリフェッチは常にこのモードとして動作する。

Compatibility Note SPARC64™ VIIIfx, SPARC64™ IXfx and SPARC64™ XIfx が搭載しているハードウェアプリフェッチ機能と同等

本モードは IMP_PF_STREAM_DETECT_CTRL_EL0 の設定に基づいて動作する。詳細は 1.3.4.2 IMP_PF_STREAM_DETECT_CTRL_EL0 を参照のこと。

HPC タグアドレスオーバーライド機能が有効の時、pf_func=0x0-0x7 が指定されたときに stream detect mode として動作する。この時、pf_func[2:0]は表 1-8 の意味で解釈され動作する。

表 1-8 Stream detect mode 時の pf_func[2:0]の割り当て

pf_func	name	description
bit[2]	DIS_L1HWPF	0: L1 ハードウェアプリフェッチ有効 1: L1 ハードウェアプリフェッチ無効 ただし、 IMP_PF_STREAM_DETECT_CTRL_EL0.L1PF_DIS = 1 のとき、本ビットは無視されて L1 ハードウェアプリフェッチは無効として動作する。 Prefetch 命令では本指定は無視される。
bit[1]	DIS_L2HWPF	0: L2 ハードウェアプリフェッチ有効 1: L2 ハードウェアプリフェッチ無効 ただし、 IMP_PF_STREAM_DETECT_CTRL_EL0.L2PF_DIS = 1 のとき、本ビットは無視されて L2 ハードウェアプリフェッチは無効として動作する。 Prefetch 命令では本指定は無視される。
bit[0]	SWPF_STRONG	0: Prefetch 命令を Strong で生成 1: Prefetch 命令を Weak で生成 Prefetch 命令以外では本指定は無視される。

1.3.2.2. Prefetch injection mode

Prefetch injection mode は 2 本・8 組の Prefetch 制御用レジスタにロード命令・ストア命令のアクセスの特徴を設定し、その情報を用いてハードウェアプリフェッチを行うモードである。

HPC タグアドレスオーバーライド機能を用いることで 8 組の設定レジスタから設定を使用するか選択することが出来る。2 本の設定レジスタはそれぞれ IMP_PF_INJECTION_CTRL[0-7]_EL0, IMP_PF_INJECTION_DISTANCE[0-7]_EL0 であり、[0-7]の追番が組を意味する。

属性の指定によってストライドプリフェッチ要求も生成することが可能であり、有効範囲は 16MB-4B の範囲となる。Prefetch injection モードは、設定により大きく分けて 2 つの動作モードがある。

- PFQ_ALLOCATE モード：ロードストアが L1D キャッシュミスを起こし、かつ特定条件を満たした場合のみ、ハードウェアプリフェッチを生成する
- PFQ_UNALLOCATE モード：ロードストアアクセスがあったら無条件でハードウェアプリフェッチを生成する

各組において、それぞれのモードで動作するか指定することが可能である。

本モードが指定された時、Prefetch 命令は IMP_PF_INJECTION_CTRL[0-7]_EL0.SWW フィールドにより指定されたモードで動作する。

IMP_PF_INJECTION_CTRL[0-7]_EL0.V=0 のレジスタに対応する Prefetch injection mode が指定されたとき、L2 ハードウェアプリフェッチ無効かつ L1 ハードウェアプリフェッチ無効として動作し、Prefetch 命令は Strong Prefetch で動作する。

PFQ_ALLOCATE モード

ロードストア命令において、IMP_PF_INJECTION_CTRL[0-7]_EL0.A=1(PFQ_ALLOCATE) である Prefetch Injection モードが指定されたとき、ハードウェアは PFQ_ALLOCATE モードとして動作する。PFQ_ALLOCATE モードにおいては、ハードウェアはロードストア命令がアクセスしたアドレスが特定条件に合致した時にハードウェアプリフェッチを生成する。

Programming Note ハードウェアプリフェッチを生成する条件の詳細は A64FX Microarchitecture Manual 参照のこと。基本的な条件は、ロードストア命令が L1D キャッシュミスし、かつ、前回同一系列の PFQ_ALLOCATE モードがアクセスしたアドレス+PFQ_ALLOCATE が今回のロードストアと一致する場合である。

このモードは PFQ_UNALLOCATE モードに対して、過剰な Prefetch をリダクションするモードであるが、使用条件において期待通り動作しないことがある。本モードの詳細な使用上の注意点においてはチューニングガイドを参照のこと。

PFQ_UNALLOCATE モード

ロードストア命令において、IMP_PF_INJECTION_CTRL[0-7]_EL0.A=0(PFQ_UNALLOCATE) である Prefetch Injection モードが指定されたとき、ハードウェアは PFQ_UNALLOCATE モードとして動作する。PFQ_UNALLOCATE モードにおいては、ハードウェアはそのロードストア命令がアクセスしたアドレスに対して IMP_PF_INJECTION_DISTANCE[0-7]_EL0 の L1PF_DISTANCE, L2PF_DISTANCE で指定されたアドレスを加算したアドレスに対して L1、L2 のプリフェッチを生成する。PFQ_ALLOCATE モードとは異なり、L1D キャッシュミスの有無に関わらずプリフェッチを生成する。

このとき、IMP_PF_INJECTION_CTRL[0-7]_EL0 の L1W, L2W, T は有効であり、設定に合わせた Weak/Strong, PLD(prefetch for load)/PST(prefetch for store)としてハードウェアプリフェッチが発行される。一方で PFQ_OFFSET のフィールドは無視される。

1.3.3. HPC タグアドレスオーバーライド機能の割り当て

ハードウェアプリフェッチアシスト機能は、HPC タグアドレスオーバーライド機能が有効な時、ロード命令及びストア命令の演算されたアドレスの bit[63:60]を用いて動作モードを変更する。表 1-9 に、Load 命令及び Store 命令時の pf_func の値と、対応するハードウェアプリフェッチアシストに割り当てられる機能を示す。

表 1-9 Load/Store/Prefetch 命令時の pf_func の値とハードウェアプリフェッチの動作

pf_func	mode	description
0x0	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 有効 • L2HWPF 有効 • Software Prefetch: Strong 	連続ハードウェアプリフェッチ有効
0x1	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 有効 • L2HWPF 有効 • Software Prefetch: Weak 	連続ハードウェアプリフェッチ有効
0x2	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 有効 • L2HWPF 無効 • Software Prefetch: Strong 	連続ハードウェアプリフェッチ有効
0x3	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 有効 • L2HWPF 無効 • Software Prefetch: Weak 	連続ハードウェアプリフェッチ有効
0x4	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 無効 • L2HWPF 有効 • Software Prefetch: Strong 	連続ハードウェアプリフェッチ有効
0x5	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 無効 • L2HWPF 有効 • Software Prefetch: Weak 	連続ハードウェアプリフェッチ有効
0x6	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 無効 • L2HWPF 無効 • Software Prefetch: Strong 	連続ハードウェアプリフェッチ無効
0x7	Stream detect mode <ul style="list-style-type: none"> • L1HWPF 無効 • L2HWPF 無効 • Software Prefetch: Weak 	連続ハードウェアプリフェッチ無効

pf_func	mode	description
0x8	Prefetch injection 0	Prefetch Injection モードで 0 番の SystemRegister 設定を使用する
0x9	Prefetch injection 1	Prefetch Injection モードで 1 番の SystemRegister 設定を使用する
0xa	Prefetch injection 2	Prefetch Injection モードで 2 番の SystemRegister 設定を使用する
0xb	Prefetch injection 3	Prefetch Injection モードで 3 番の SystemRegister 設定を使用する
0xc	Prefetch injection 4	Prefetch Injection モードで 4 番の SystemRegister 設定を使用する
0xd	Prefetch injection 5	Prefetch Injection モードで 5 番の SystemRegister 設定を使用する
0xe	Prefetch injection 6	Prefetch Injection モードで 6 番の SystemRegister 設定を使用する
0xf	Prefetch injection 7	Prefetch Injection モードで 7 番の SystemRegister 設定を使用する

1.3.4. System Register Description

本項では、ハードウェアプリフェッチアシストにおける設定レジスタを説明する。ハードウェアプリフェッチアシストのレジスタはすべて IMPLEMENTATION DEFINED 領域 (S3_<op1>_<Cn>_<Cm>_<op2>)に定義される。

表 1-10 にハードウェアプリフェッチアシストに関するすべての設定レジスタ一覧を示す。すべてのレジスタは 64bit 幅で定義されている。

表 1-10

ハードウェアプリフェッチアシストレジスタ一覧

op0	op1	CRn	CRm	op2	Register Name	Shared Domain
11	000	1011	0100	000	IMP_PF_CTRL_EL1	PE
11	011	1011	0100	000	IMP_PF_STREAM_DETECT_CTRL_EL0	PE
11	011	1011	0110	000	IMP_PF_INJECTION_CTRL0_EL0	PE
11	011	1011	0110	001	IMP_PF_INJECTION_CTRL1_EL0	PE
11	011	1011	0110	010	IMP_PF_INJECTION_CTRL2_EL0	PE
11	011	1011	0110	011	IMP_PF_INJECTION_CTRL3_EL0	PE
11	011	1011	0110	100	IMP_PF_INJECTION_CTRL4_EL0	PE
11	011	1011	0110	101	IMP_PF_INJECTION_CTRL5_EL0	PE
11	011	1011	0110	110	IMP_PF_INJECTION_CTRL6_EL0	PE
11	011	1011	0110	111	IMP_PF_INJECTION_CTRL7_EL0	PE
11	011	1011	0111	000	IMP_PF_INJECTION_DISTANCE0_EL0	PE
11	011	1011	0111	001	IMP_PF_INJECTION_DISTANCE1_EL0	PE
11	011	1011	0111	010	IMP_PF_INJECTION_DISTANCE2_EL0	PE
11	011	1011	0111	011	IMP_PF_INJECTION_DISTANCE3_EL0	PE
11	011	1011	0111	100	IMP_PF_INJECTION_DISTANCE4_EL0	PE
11	011	1011	0111	101	IMP_PF_INJECTION_DISTANCE5_EL0	PE
11	011	1011	0111	110	IMP_PF_INJECTION_DISTANCE6_EL0	PE
11	011	1011	0111	111	IMP_PF_INJECTION_DISTANCE7_EL0	PE

ハードウェアプリフェッチアシストの設定レジスタへの Non-Secure EL1 及び EL0 からのアクセスは、システムレジスタ IMP_PF_CTRL_EL1 からコントロールされる。設定値と各レジスタのアクセス可否について以下にまとめる。

表 1-11

ハードウェアプリフェッチアシストレジスタアクセス権

Register Name	el1ae=0			el1ae=1 and el0ae=0			el1ae=1 and el0ae=1		
	EL0	EL1 (NS)	EL1(S)	EL0	EL1 (NS)	EL1(S)	EL0	EL1 (NS)	EL1(S)
IMP_PF_CTRL_EL1		RO	RW		RW	RW		RW	RW
IMP_PF_STREAM_DETECT_CTRL_EL0			RW		RW	RW	RW	RW	RW
IMP_PF_INJECTION_CTRL[0-7]_EL0			RW		RW	RW	RW	RW	RW
IMP_PF_INJECTION_DISTANCE[0-7]_EL0			RW		RW	RW	RW	RW	RW

1.3.4.1. IMP_PF_CTRL_EL1

Purpose プリフェッチアシスト制御レジスタ

Usage constraints IMP_PF_CTRL_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	RO/ Config- RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

63	62	61	32
el1ae	el0ae	RES0	

31	0
RES0	

Bits	Name	Value	Function
[63]	el1ae	RW	1: IMP_PF_STREAM_DETECT_CTRL_EL0, IMP_PF_INJECTION_CTRL[0-7]_EL0, IMP_PF_INJECTION_DISTANCE[0-7]_EL0 へ Non-Secure EL1 からの Read/Write を可能とする 0: IMP_PF_STREAM_DETECT_CTRL_EL0, IMP_PF_INJECTION_CTRL[0-7]_EL0, IMP_PF_INJECTION_DISTANCE[0-7]_EL0 へ Non-Secure EL1 からの Read/Write は EC=0x18 で EL2 にトラップする また、Non-Secure EL1 からの IMP_PF_CTRL_EL1 への Write も EC=0x18 で EL2 にトラップする。 本ビットは Secure EL1 及び EL2/EL3 からのみ書き込み可能である。 el1ae=1 のときに、Non-Secure EL1 から書き込みが行われた場合、その書き込みは無視される。
[62]	el0ae	RW	1: el1ae が 1 の時、IMP_PF_STREAM_DETECT_CTRL_EL0, IMP_PF_INJECTION_CTRL[0-7]_EL0, IMP_PF_INJECTION_DISTANCE[0-7]_EL0 へ EL0 からの Read/Write を可能とする。 el1ae が 0 の時、IMP_PF_STREAM_DETECT_CTRL_EL0, IMP_PF_INJECTION_CTRL[0-7]_EL0, IMP_PF_INJECTION_DISTANCE[0-7]_EL0 へ EL0 からの Read/Write は EC=0x18 で EL1 にトラップする。 0: IMP_PF_STREAM_DETECT_CTRL_EL0, IMP_PF_INJECTION_CTRL[0-7]_EL0, IMP_PF_INJECTION_DISTANCE[0-7]_EL0 へ EL0 からの Read/Write は EC=0x18 で EL1 にトラップする。
[61:0]	-	0x0	Reserved, RES0

Accessing MRS <Xt>, S3_0_C11_C4_0
MSR S3_0_C11_C4_0, <Xt>

op0	op1	CRn	CRm	op2
11	000	1011	0100	000

1.3.4.2. IMP_PF_STREAM_DETECT_CTRL_EL0

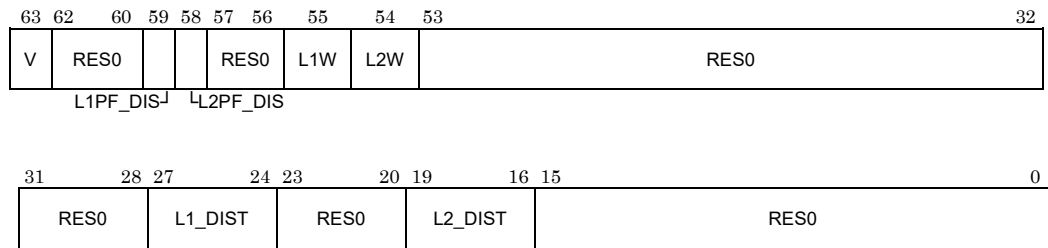
Purpose PF_STREAM_DETECT 用ハードウェアプリフェッチ制御用設定レジスタ

Usage constraints IMP_PF_STREAM_DETECT_CTRL_EL0 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
Config-RW	Config-RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™ コアでの実装を示す。



Bits	Name	Value	Function
[63]	V	RW	1: IMP_PF_STREAM_DETECT_CTRL_EL0 の設定値を有効にする 0: Default の設定値で動作する
[62:60]	-	0x0	Reserved, RES0
[59]	L1PF_DIS	RW	L1 キャッシュへのハードウェアプリフェッチを無効にする。無効に設定されたとき stream detect mode において pf_func[2]の値は無視される。 0: Enable (Default) 1: Disable
[58]	L2PF_DIS	RW	L2 キャッシュへのハードウェアプリフェッチを無効にする。無効に設定されたとき stream detect mode において pf_func[1]の値は無視される。 0: Enable (Default) 1: Disable
[57:56]	-	0x0	Reserved, RES0
[55]	L1W	RW	0:L1 キャッシュへのハードウェアプリフェッチを Strong Prefetch で生成する(Default) 1:L1 キャッシュへのハードウェアプリフェッチを Weak Prefetch で生成する
[54]	L2W	RW	0:L2 キャッシュへのハードウェアプリフェッチを Strong Prefetch で生成する (Default) 1:L2 キャッシュへのハードウェアプリフェッチを Weak Prefetch で生成する
[53:28]	-	0x0	Reserved, RES0
[27:24]	L1_DIST	RW	L1 キャッシュのハードウェアプリフェッチの距離を指定する プリフェッチ距離は L1_DIST 設定値 * 256B で指定する L1_DIST = 0 を指定した時は、Default 値で動作する。
			Note 本仕様書では、Default 値について言及しない
[23:20]	-	0x0	Reserved, RES0
[19:16]	L2_DIST	RW	L2 キャッシュのハードウェアプリフェッチの距離を指定する プリフェッチ距離は L2_DIST 設定値 * 1kB で指定する L2_DIST = 0 を指定した時は、Default 値で動作する。
			Note 本仕様書では、Default 値について言及しない
[15:0]	-	0x0	Reserved, RES0

Accessing MRS <Xt>, S3_3_C11_C4_0
MSR S3_3_C11_C4_0, <Xt>

op0	op1	CRn	CRm	op2
11	011	1011	0100	000

1.3.4.3. IMP_PF_INJECTION_CTRL[0-7]_EL0

Purpose PF_INJECTION 用ハードウェアプリフェッチ制御用設定レジスタ

Usage constraints IMP_PF_INJECTION_CTRL[0-7]_EL0 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
Config-RW	Config-RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™ コアでの実装を示す。

63	62	61	60	59	58	57	32
V	L1W	L2W	A	T	SWW		RES0

31	25	24	2	1	0
RES0		PRQ_OFFSET[24:2]			RES0

Bits	Name	Value	Function
[63]	V	RW	1: PF injection を有効にする 0: PF injection を無効にし、L1, L2 へのハードウェアプリフェッチを Disable にし、Prefetch 命令の動作を Strong Prefetch にする。
[62]	L1W	RW	L1 キャッシュへのハードウェアプリフェッチを Weak Prefetch にする
[61]	L2W	RW	L2 キャッシュへのハードウェアプリフェッチを Weak Prefetch する
[60]	A	RW	PFQ_ALLOCATION を有効にする
[59]	T	RW	Prefetch の Type を指定する 0: PLD (prefetch for load) 1: PST (prefetch for store)
[58]	SWW	RW	Prefetch 命令の動作を設定する 0: Strong Prefetch として実行する 1: Weak Prefetch として実行する
[57:25]	-	0x0	Reserved, RES0
[24:2]	PFQ_OFFSET	RW	PFQ 登録アドレス OFFSET を+(16MB – 4B)～–16MB の範囲で設定
[1:0]	-	0x0	Reserved, RES0

Accessing MRS <Xt>, S3_3_C11_C6_[0-7]
MSR S3_3_C11_C6_[0-7], <Xt>

op0	op1	CRn	CRm	op2
11	011	1011	0110	000 - 111

1.3.4.4. IMP_PF_INJECTION_DISTANCE[0-7]_EL0

Purpose PF_INJECTION 用 L1cache ハードウェアプリフェッチ Distance 設定レジスタ

Usage constraints IMP_PF_INJECTION_DISTANCE[0-7]_EL0 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
Config- RW	Config- RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。

63	57	56	34	33	32
RES0	L1PF_DISTANCE [24:2]				RES0

31	25	24	2	1	0
RES0	L2PF_DISTANCE[24:2]			RES0	

Bits	Name	Value	Function
[63:57]	-	0x0	Reserved, RES0
[56:34]	L1PF_DISTANCE	RW	L1cache の Prefetch 距離を+(16MB – 4B)～–16MB の範囲で設定 0 を設定した場合、L1cache への Hardware Prefetch を抑止する
[33:25]	-	0x0	Reserved, RES0
[24:2]	L2PF_DISTANCE	RW	L2cache の Prefetch 距離を+(16MB – 4B)～–16MB の範囲で設定 0 を設定した場合、L2cache への Hardware Prefetch を抑止する
[1:0]	-	0x0	Reserved, RES0,

Accessing MRS <Xt>, S3_3_C11_C7_[0-7]
MSR S3_3_C11_C7_[0-7], <Xt>

op0	op1	CRn	CRm	op2
11	011	1011	0111	000 - 111

1.4. ハードウェアバリア

ハードウェアバリアは異なる PE 間での同期をハードウェアで支援する機能である。この機能を使用することで、PE 間の同期を高速化し、スレッド並列プログラムなどにおける同期のオーバーヘッドを削減し、実効効率を向上させることが期待できる。A64FX プロセッサでは CMG 内の PE 間においてハードウェアバリア機能を提供する。CMG 間の同期はソフトウェアでの同期を併用することで実現可能である。

1.4.1. 概要

A64FX プロセッサでは同期用の資源として CMG ごとに 6 つのバリアブレード (BB) を実装している。各 BB は初期化時に参加する PE の物理位置を指示し、各 PE は `IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1` で設定された BB に対して窓レジスタと呼ばれるレジスタである `IMP_BARRIER_BST_SYNC_W[0-3]_EL0` / `IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0` を介してアクセスを行う。

各 PE は窓を 4 組持っているため 4 種類の BB を同時に参照可能である。窓に対して MSR (書き込み) でアクセスした場合、BST ビットが更新され、MRS (読み出し) でアクセスした場合、LBSY ビットが読み出される。

処理が同期ポイントまで進んだスレッドは窓から読み出される LBSY ビットを反転して窓に書き込む。その結果、BB の BST ビットが LBSY と異なる値に更新される。BB は同期に参加するすべての PE (スレッド) が BST ビットを更新すると、LBSY ビットを反転させ、Event を PE に通知する。プログラムは LBSY ビットを監視し、書き込んだ BST 値と LBSY 値が同一になった時に同期が完了したと判断する。具体的な使用方法は使用例(p.46)を参照のこと。

1.4.2. Compatibility Note

ハードウェアバリアの基本的な概念は SPARC64™ XIfx 同様であるが、バリア同期待ちには `sleep` 命令の代わりに `WFE` 命令を用いる。バリアが成立した時、バリア同期に参加した PE に対して Event が通知され、Event 待ち状態から復帰する。

ハードウェアバリアについて過去の SPARC64™ プロセッサとの違いをまとめる。

表 1-12 SPARC64™プロセッサとのハードウェアバリア機能比較

Processor	Barrier	Post/Wait
SPARC64™ VIIIfx	同期用 BB 数 4 / Chip PE の窓レジスタ数 12 (post/wait と共有)	Post/wait BB 数 8 / Chip PE の窓レジスタ数 12 (post/wait と共有)
SPARC64™ IXfx	同期用 BB 数 8 / Chip PE の窓レジスタ数 4	Pose/waitBB 数 16 / Chip PE の窓レジスタ数 16
SPARC64™ XIfx	同期用 BB 数 8 / CMG PE の窓レジスタ数 4 アシスタントコアを含めた同期バ リアは構築不可 同期木を構成することで CMG 間 を跨ぐ同期バリアが可能	Post/wait BB 数 17 / CMG PE の窓レジスタ数 4
A64FX プロセッサ	同期用 BB 数 6 / CMG PE の窓レジスタ数 4 アシスタントコアを含めた同期バ リアを構築することが可能 CMG 間を跨ぐ同期バリアは構築 不可	なし

Compatibility Note A64FX プロセッサでは Post/Wait 用のバリア機構は削
除された。

Compatibility Note A64FX プロセッサでは CMG を跨ぐバリアを構築する
ためには、ソフトウェアバリアを併せて使用する必要がある

Compatibility Note A64FX プロセッサではアシスタントコアを含めた 13
コアのハードウェアバリアを使用することが可能である。

1.4.3. System Register Description

本項ではハードウェアバリアにおける設定レジスタを説明する。ハードウェアバリアはすべて IMPLEMENTATION DEFINED 領域(S3_<op1>_<Cn>_<Cm>_<op2>)に定義される。本項での説明は、

表 1-13 にハードウェアバリアに関するすべての設定レジスタ一覧を示す。すべてのレジスタは 64bit 幅で定義されている。

表 1-13

ハードウェアバリアレジスタ一覧

op0	op1	CRn	CRm	op2	Register Name	Shared Domain
11	000	1011	1100	000	IMP_BARRIER_CTRL_EL1	PE
11	000	1011	1100	100	IMP_BARRIER_BST_BIT_EL1	PE
11	000	1111	1101	000	IMP_BARRIER_INIT_SYNC_BB0_EL1	CMG
11	000	1111	1101	001	IMP_BARRIER_INIT_SYNC_BB1_EL1	CMG
11	000	1111	1101	010	IMP_BARRIER_INIT_SYNC_BB2_EL1	CMG
11	000	1111	1101	011	IMP_BARRIER_INIT_SYNC_BB3_EL1	CMG
11	000	1111	1101	100	IMP_BARRIER_INIT_SYNC_BB4_EL1	CMG
11	000	1111	1101	101	IMP_BARRIER_INIT_SYNC_BB5_EL1	CMG
11	000	1111	1111	000	IMP_BARRIER_ASSIGN_SYNC_W0_EL1	PE
11	000	1111	1111	001	IMP_BARRIER_ASSIGN_SYNC_W1_EL1	PE
11	000	1111	1111	010	IMP_BARRIER_ASSIGN_SYNC_W2_EL1	PE
11	000	1111	1111	011	IMP_BARRIER_ASSIGN_SYNC_W3_EL1	PE
11	011	1111	1111	000	IMP_BARRIER_BST_SYNC_W0_EL0(W) IMP_BARRIER_LBSY_SYNC_W0_EL0(R)	PE(CMG) ⁱⁱ
11	011	1111	1111	001	IMP_BARRIER_BST_SYNC_W1_EL0(W) IMP_BARRIER_LBSY_SYNC_W1_EL0(R)	PE(CMG) ⁱⁱ
11	011	1111	1111	010	IMP_BARRIER_BST_SYNC_W2_EL0(W) IMP_BARRIER_LBSY_SYNC_W2_EL0(R)	PE(CMG) ⁱⁱ
11	011	1111	1111	011	IMP_BARRIER_BST_SYNC_W3_EL0(W) IMP_BARRIER_LBSY_SYNC_W3_EL0(R)	PE(CMG) ⁱⁱ

ハードウェアバリアレジスタへの Non-Secure EL1 及び EL0 からのアクセスは、システムレジスタ IMP_BARRIER_CTRL_EL1 からコントロールされる。設定値と各レジスタのアクセス可否について以下にまとめる。

ⁱⁱ レジスタ自体は PE の資源であるが、書き換え/読み出しの実体は、IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1 で指定された IMP_BARRIER_INIT_SYNC_BB[0-5]_EL1 である

表 1-14

ハードウェアバリアレジスタアクセス権

Register Name	el1ae=0			el1ae=1 and el0ae=0			el1ae=1 and el0ae=1		
	EL0	EL1 (NS)	EL1 (S)	EL0	EL1 (NS)	EL1 (S)	EL0	EL1 (NS)	EL1 (S)
IMP_BARRIER_CTRL_EL1		RO	RW		RW	RW		RW	RW
IMP_BARRIER_BST_BIT_EL1			RO		RO	RO		RO	RO
IMP_BARRIER_INIT_SYNC_BB*_EL1			RW		RW	RW		RW	RW
IMP_BARRIER_ASSIGN_SYNC_W*_EL1			RW		RW	RW		RW	RW
IMP_BARRIER_BST_SYNC_W*_EL0 / IMP_BARRIER_LBSY_SYNC_W*_EL0		RW	RW		RW	RW	RW	RW	RW

1.4.3.1. IMP_BARRIER_CTRL_EL1

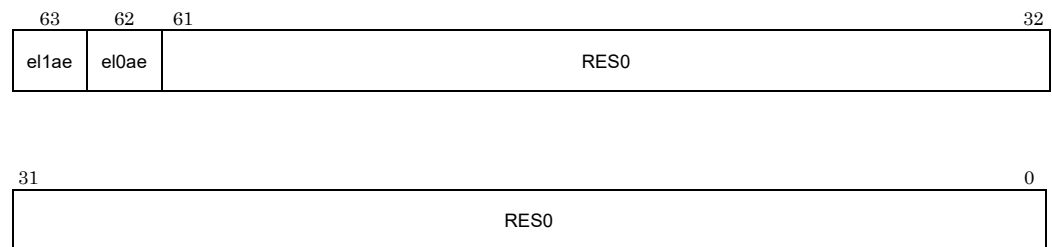
Purpose ハードウェアバリア制御レジスタ

Usage constraints IMP_BARRIER_CTRL_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	RO/ Config-RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。



Bits	Name	Value	Function
[63]	el1ae	RW	<p>1: IMP_BARRIER_CTRL_EL1, IMP_BARRIER_INIT_SYNC_BB*_EL0, IMP_BARRIER_ASSIGN_SYNC_W*_EL0 へ Non-Secure EL1 からの Read/write を可能とする。 また、IMP_BARRIER_BST_BIT_EL1 へ Non-Secure EL1 からの Read を可能とする。</p> <p>0: IMP_BARRIER_CTRL_EL1 へ Non-secure EL1 からの Write は EL2 に EC = 0x18 で Trap する。 IMP_BARRIER_INIT_SYNC_BB*_EL0, IMP_BARRIER_ASSIGN_SYNC_W*_EL0 へ Non-Secure EL1 からの Read/write は EC=0x18 で EL2 に Trap する。 また、IMP_BARRIER_BST_BIT_EL1 へ Non-Secure EL1 からの Read は EC=0x18 で EL2 に Trap する。</p> <p>本ビットは Secure EL1 及び EL2/EL3 からのみ書き込み可能である。el1ae=1 のときに、Non-Secure EL1 から書き込みが行われた場合、その書き込みは無視される。</p>
[62]	el0ae	RW	<p>1: el1ae が 1 の時、IMP_BARRIER_BST_SYNC_W*_EL0 及び、IMP_BARRIER_LBSY_SYNC_W*_EL0 へ EL0 からの Read/Write を可能とする。 el1ae が 0 の時、IMP_BARRIER_BST_SYNC_W*_EL0 及び、IMP_BARRIER_LBSY_SYNC_W*_EL0 へ EL0 からの Read/Write は EC=0x18 で EL1 に Trap する。</p> <p>0: IMP_BARRIER_BST_SYNC_W*_EL0 及び、IMP_BARRIER_LBSY_SYNC_W*_EL0 へ EL0 からの Read/Write は EC=0x18 で EL1 に Trap する。</p>
[61:0]	-	0x0	Reserved, RES0

Accessing MRS <Xt>, S3_0_C11_C12_0
MSR S3_0_C11_C12_0, <Xt>

op0	op1	CRn	CRm	op2
11	000	1011	1100	000

1.4.3.2. IMP_BARRIER_INIT_SYNC_BB[0-5]_EL1

Purpose ハードウェアバリア初期化レジスタ

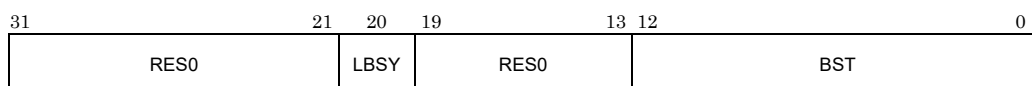
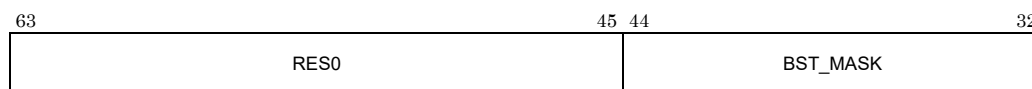
Usage constraints IMP_BARRIER_INIT_SYNC_BB[0-5]_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	Config- RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。本レジスタは、CMG 内の複数の PE 間で共有しており 1 つの PE において IMP_BARRIER_INIT_SYNC_BB[0-

5]_EL1 を変更することにより、CMG 内の他の PE にも影響を与えることに注意が必要である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。



Bits	Name	Value	Function
[63:45]	-	0x0	Reserved, RES0
[44:32]	BST_MASK		BST のマスクを指示・読み出す。各ビットと PE の対応は、IMP_BARRIER_BST_BIT_EL1 で取得される値で対応付けられる。詳細は表 1-15 参照の事 BST_MASK がすべて 0 の場合、バリア同期が成立しているかどうかの検査は行われず、LBSY には書き込んだ値がそのまま保持される。
[31:21]	-	0x0	Reserved, RES0
[20]	LBSY		lbsy。IMP_BARRIER_LBSY_SYNC_W*_EL0 で読み出すことができる。IMP_BARRIER_INIT_SYNC_BB[0-5]_EL1 書き込み時にも、BST、BST_MASK の値によりバリア同期が成立しているかの検査が行われて、LBSY の更新動作が発生する。
[19:13]	-	0x0	Reserved, RES0
[12:0]	BST		BST の値の指示及び読み出しを行うことができる。各ビットと PE の対応は、IMP_BARRIER_BST_BIT_EL1 で取得される値で対応付けられる。詳細は表 1-15 参照の事

BST と BST_MASK の検査と LBSY の更新は以下のように行われる。

- (bst and bst_mask) = 0 ならば、lbsy に 0 がセットされる
- (bst and bst_mask) = bst_mask ならば、lbsy に 1 がセットされる

表 1-15 アシスタントコア・演算コアと BST 及び BST_MASK 対応表

IMP_BARRIER_BST_BIT_EL1 (BST_BIT)	BST	BST_MASK
12(演算コア 12 or アシスタントコア)	bit[12] (BST[12])	bit[44] (BST_MASK[12])
11(演算コア 11)	bit[11] (BST[11])	bit[43] (BST_MASK[11])
10(演算コア 10)	bit[10] (BST[10])	bit[42] (BST_MASK[10])
9(演算コア 9)	bit[9] (BST[9])	bit[41] (BST_MASK[9])
8(演算コア 8)	bit[8] (BST[8])	bit[40] (BST_MASK[8])
7(演算コア 7)	bit[7] (BST[7])	bit[39] (BST_MASK[7])
6(演算コア 6)	bit[6] (BST[6])	bit[38] (BST_MASK[6])
5(演算コア 5)	bit[5] (BST[5])	bit[37] (BST_MASK[5])
4(演算コア 4)	bit[4] (BST[4])	bit[36] (BST_MASK[4])
3(演算コア 3)	bit[3] (BST[3])	bit[35] (BST_MASK[3])
2(演算コア 2)	bit[2] (BST[2])	bit[34] (BST_MASK[2])
1(演算コア 1)	bit[1] (BST[1])	bit[33] (BST_MASK[1])
0(演算コア 0)	bit[0] (BST[0])	bit[32] (BST_MASK[0])

Accessing MRS <Xt>, S3_0_C15_C13_0
MSR S3_0_C15_C13_0, <Xt>

MRS <Xt>, S3_0_C15_C13_1
MSR S3_0_C15_C13_1, <Xt>

MRS <Xt>, S3_0_C15_C13_2
MSR S3_0_C15_C13_2, <Xt>

MRS <Xt>, S3_0_C15_C13_3
MSR S3_0_C15_C13_3, <Xt>

MRS <Xt>, S3_0_C15_C13_4
MSR S3_0_C15_C13_4, <Xt>

MRS <Xt>, S3_0_C15_C13_5
MSR S3_0_C15_C13_5, <Xt>

op0	op1	CRn	CRm	op2
11	000	1111	1101	000-101

1.4.3.3. IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1

Purpose ハードウェアバリア用アクセス制御レジスタ

Usage constraints IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	Config- RW	RW	RW	RW	RW

Configuration 本レジスタは 64bit 幅である。本レジスタの設定により、
IMP_BARRIER_BST_SYNC_W[0-3]_EL0 及び、
IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0 からアクセス可能な BB を
割り当てることが可能である。
VALID=0 と設定した、IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1
に対応する IMP_BARRIER_BST_SYNC_W[0-3]_EL0 及び、
IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0 へのアクセスは
UNPREDICTABLE な動作となる。

Attributes レジスタの割り当てと A64FX™ コアでの実装を示す。

63	62		32
VALID		RES0	

31		3	2	0
		RES0		BB_NUM

Bits	Name	Value	Function
[63]	VALID		窓の割り当てを有効にする VALID が 0 であるような窓に対して、 IMP_BARRIER_BST_SYNC_W[0-3]_EL0(Write), IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0(Read)を介してアクセ スを行った場合結果は UNPREDICTABLE となる。
[62:3]	-	0x0	Reserved, RES0
[2:0]	BB_NUM		窓の割り当てる BB を選択する(0x6, 0x7 が選択されたときは、書き 込み自体が無視される。ただし、VALID=0 の書き込みの場合は無 視されず書き込まれる)

Accessing MRS <Xt>, S3_0_C15_C15_0
MSR S3_0_C15_C15_0, <Xt>

MRS <Xt>, S3_0_C15_C15_1
MSR S3_0_C15_C15_1, <Xt>

MRS <Xt>, S3_0_C15_C15_2
MSR S3_0_C15_C15_2, <Xt>

MRS <Xt>, S3_0_C15_C15_3
MSR S3_0_C15_C15_3, <Xt>

op0	op1	CRn	CRm	op2
11	000	1111	1111	000-011

1.4.3.4. IMP BARRIER BST BIT EL1

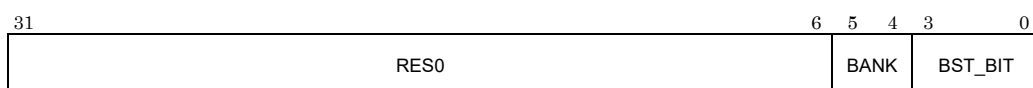
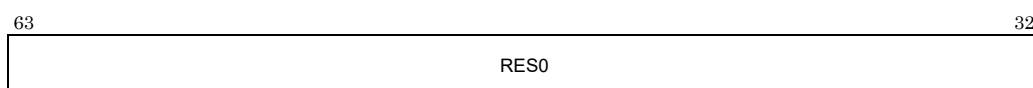
Purpose	ハードウェアバリア用物理位置表示レジスタ
---------	----------------------

Usage constraints IMP_BARRIER_BST_BIT_EL1 は以下の Exception Level でアクセス可能である。

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
	Config-RO	RO	RO	RO	RO

Configuration 本レジスタは 64bit 幅である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。



Bits	Name	Value	Function
[63:6]	-	0x0	Reserved, RES0
[5:4]	BANK		物理 CMG 番号が表示される
[3:0]	BST_BIT		CMG 内の物理コア番号が表示される 詳細は表 1-15 参照

Accessing MRS <Xt>, S3 0 C11 C12 4

op0	op1	CRn	CRm	op2
11	000	1011	1100	100

1.4.3.5. IMP_BARRIER_BST_SYNC_W[0-3]_EL0(Write)
IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0(Read)

Purpose	ハードウェア用窓レジスタ
---------	--------------

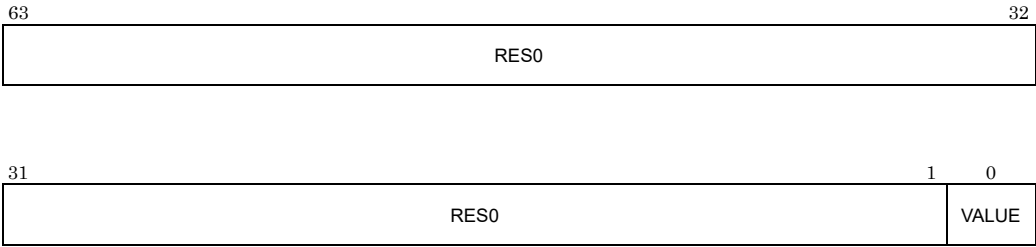
Usage constraints	IMP_BARRIER_BST_SYNC_W[0-3]_EL0, IMP_BARRIER_LBSY_SYNC_W[0-3]_EL0 は以下の Exception Level でアクセス可能である。
-------------------	--

EL0	EL1(NS)	EL1(S)	EL2	EL3(SCR.NS=1)	EL3(SCR.NS=0)
Config-RW	RW	RW	RW	RW	RW

Configuration	本レジスタは 64bit 幅である。本レジスタは、CMG 内の複数の PE 間で共有しており 1 つの PE において IMP_BARRIER_BST_SYNC_W[0-3] EL0 への Write を行うことにより、
---------------	--

IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL で割り当てられた対応する BB(IMP_BARRIER_INIT_SYNC_BB[0-5]_EL1)が更新される。これにより、他の PE にも影響を与えることに注意が必要である。

Attributes レジスタの割り当てと A64FX™コアでの実装を示す。



Bits	Name	Value	Function
[63:1]	-	0x0	Reserved, RES0
[0]	VALUE		Write: IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1 で設定された BB に 対応する BST フィールドの物理コア番号対応ビットが更新される Read : IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1 で設定された BB に 対応する LBSY の値が読み出される 注意：対応する IMP_BARRIER_ASSIGN_SYNC_W[0-3]_EL1 の VALID が 0 であった場合、Write/Read の結果は UNPREDICTABLE

Accessing

MRS <Xt>, S3_3_C15_C15_0 /* IMP_BARRIER_LBSY_SYNC_W0_EL0 */
MSR S3_3_C15_C15_0, <Xt> /* IMP_BARRIER_BST_SYNC_W0_EL0 */

MRS <Xt>, S3_3_C15_C15_1 /* IMP_BARRIER_LBSY_SYNC_W1_EL0 */
MSR S3_3_C15_C15_1, <Xt> /* IMP_BARRIER_BST_SYNC_W1_EL0 */

MRS <Xt>, S3_3_C15_C15_2 /* IMP_BARRIER_LBSY_SYNC_W2_EL0 */
MSR S3_3_C15_C15_2, <Xt> /* IMP_BARRIER_BST_SYNC_W2_EL0 */

MRS <Xt>, S3_3_C15_C15_3 /* IMP_BARRIER_LBSY_SYNC_W3_EL0 */
MSR S3_3_C15_C15_3, <Xt> /* IMP_BARRIER_BST_SYNC_W3_EL0 */

op0	op1	CRn	CRm	op2
11	011	1111	1111	000-011

使用例

```

mrs X1, S3_3_C15_C15_0      // LBSY を読み出し
mvn X1, X1                  // LBSY を反転させる
and X1, X1, #1              // RES0 領域を捨てる
msr S3_3_C15_C15_0, X1      // BST を更新する
                             // 窓レジスタ経由の BST 更新は明示的な ISB は不要
sevl                        // Local Event register set

loop:

```

```
wfe                                // SLEEP (1 回目は空振り)
mrs X2, S3_3_C15_C15_0          // LBSY を読み出し
and X2, X2, #1                    // RES0 領域を捨てる
cmp X1, X2                        // 値が変化したか?
b.eq post-sync                    // 変化したら同期完了
b    loop                        // 再度 LBSY をチェック

post-sync:
    :
    :
```
