

实验报告

姓名： 林宏宇 学号： 23320093

一、 实验内容

时序逻辑电路通常由组合逻辑电路和触发器两部分基本电路单元构成，且触发器的输出信号往往与时序逻辑电路的输入端之间存在反馈连接。时序逻辑电路可分为同步时序逻辑电路和异步时序逻辑电路，区别在于各级触发器是否采用同一时钟脉冲触发。时序逻辑电路的设计可采用通用的设计步骤，根据电路时序特点选用合适的触发器和时钟信号完成。

二、 实验目的

1. 熟悉 J-K 触发器的逻辑功能。
2. 掌握 J-K 触发器搭建同步计数器和异步计数器的设计方法。

三、 实验任务

1. 用 JK 触发器设计一个 16 进制同步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。
2. 使用 JK 触发器设计一个 16 进制异步计数器，用逻辑分析仪观察并记录 CP 和各输出的波形。

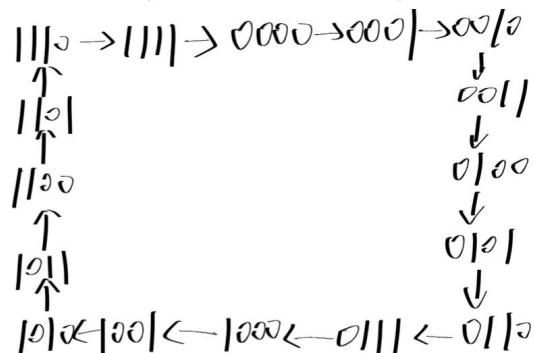
四、 实验仪器及器件

1. 仿真软件：Proteus8
2. 实验仪器：数字电路试验箱、示波器。
3. 主要器件：74LS73，74LS00，74LS08，74LS20 等。

五、 实验过程

1. 同步计数器仿真

1.1 根据十六进制，画出状态转移图



1.2 根据状态转移图，选择四个 JK 触发器来表示四位状态

1.3 画出每一个 Q 的次态卡诺图

需要注意的是异步加法计数器中触发器时钟有效沿到来之前，相应的触发器输出状态都应该作为约束项处理，即次态卡诺图中无论原先填的是 0 还是 1，都记为 X。

$Q_3^n Q_2^n$ \ $Q_1^n Q_0^n$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	1	1	0	1
10	1	1	1	1

$$Q_0^{n+1} = \overline{Q_0^n} Q_1^n Q_2^n Q_3^n + Q_0^n \overline{Q_1^n} + Q_0^n \overline{Q_2^n} + Q_0^n Q_1^n \overline{Q_3^n}$$

同理可得 Q_0 、 Q_1 、 Q_2 、 Q_3 的次态卡诺图

1.4 过将 Q_{n+1} 的输出表达式与 JK 触发器的特征方程进行对比，可得到 JK 触发器的驱动方程。

$$\begin{aligned}
 Q_0^{n+1} &= \overline{Q_0^n} Q_1^n Q_2^n Q_3^n + Q_0^n \overline{Q_1^n} + Q_0^n \overline{Q_2^n} + Q_0^n Q_1^n \overline{Q_3^n} \\
 &= (Q_1^n Q_2^n Q_3^n) \overline{Q_0^n} + (\overline{Q_1^n} + \overline{Q_2^n} + Q_1^n \overline{Q_3^n}) Q_0^n \\
 &= (Q_1^n Q_2^n Q_3^n) \overline{Q_0^n} + (\overline{Q_1^n} + \overline{Q_2^n} + \overline{Q_3^n}) Q_0^n \\
 &= (Q_1^n Q_2^n Q_3^n) \overline{Q_0^n} + \overline{Q_1^n Q_2 Q_3^n} Q_0^n
 \end{aligned}$$

$$Q_0^{n+1} = J \overline{Q_0^n} + K Q_0^n$$

$$\text{则 } J_0 = K_0 = Q_1^n Q_2^n Q_3^n$$

同理，可得到

(0 为高位，3 为低位， $Q_0 Q_1 Q_2 Q_3$ 表示状态)

$$J_0 = K_0 = Q_1 * Q_2 * Q_3$$

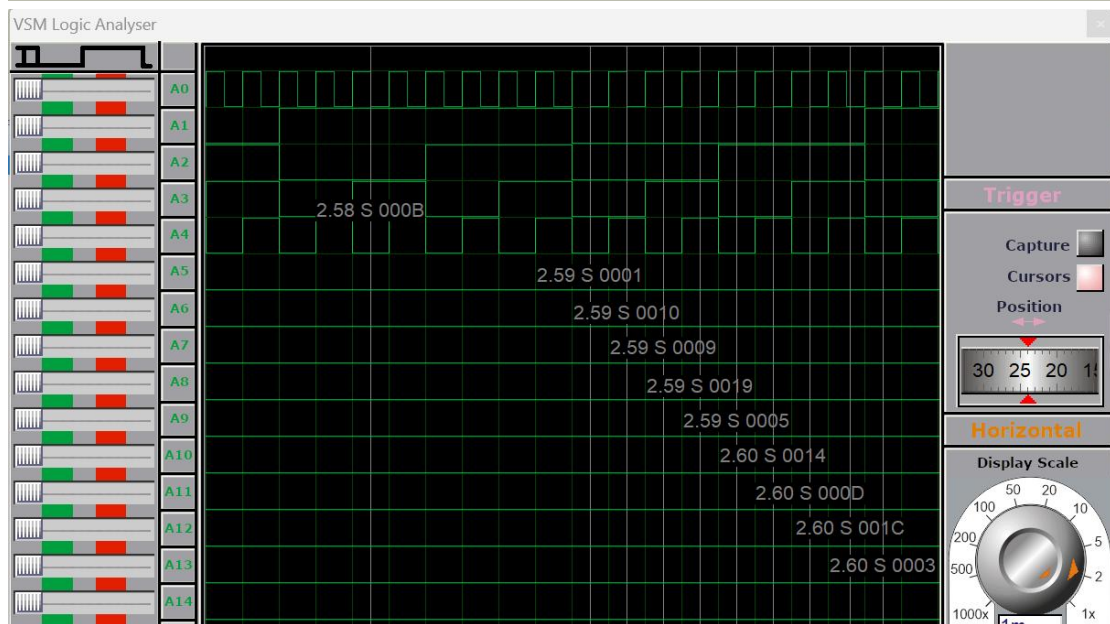
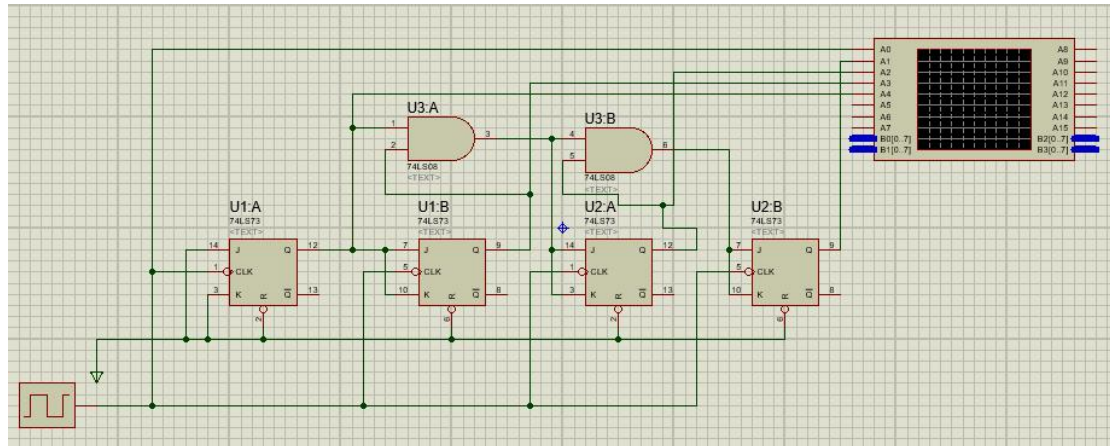
$$J_1 = K_1 = Q_3 * Q_2$$

$$J_2 = K_2 = Q_3$$

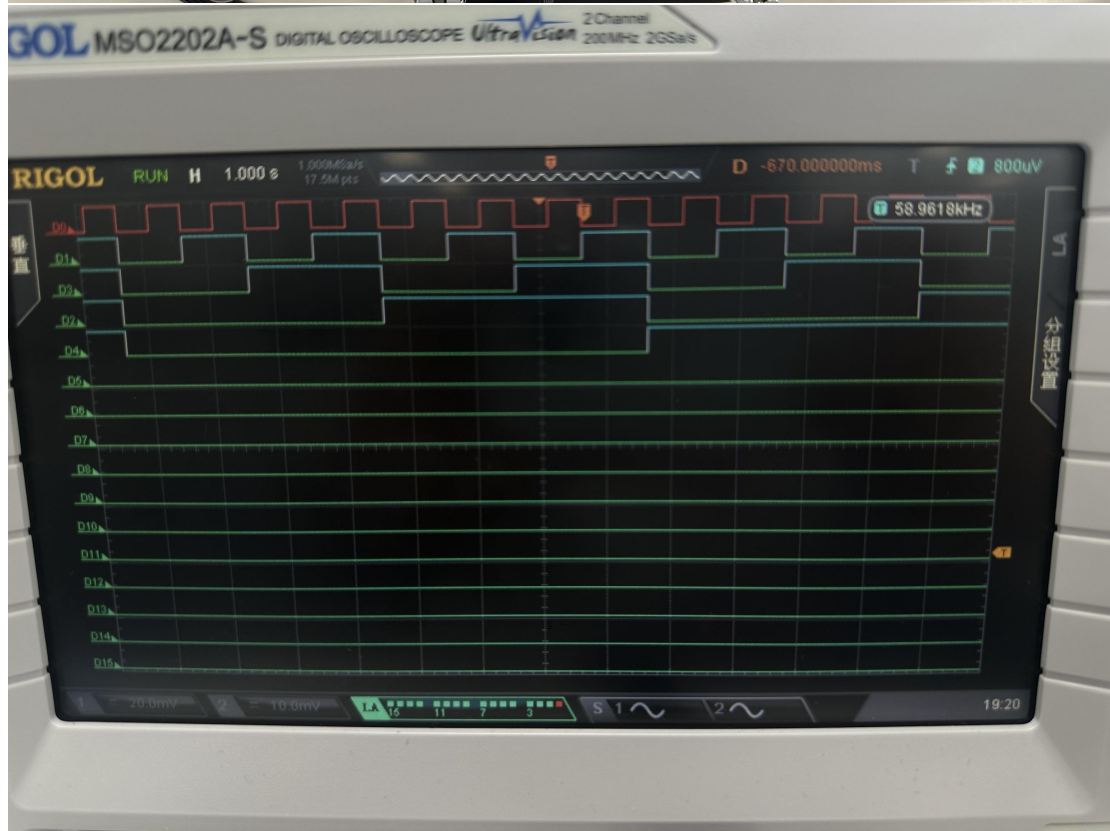
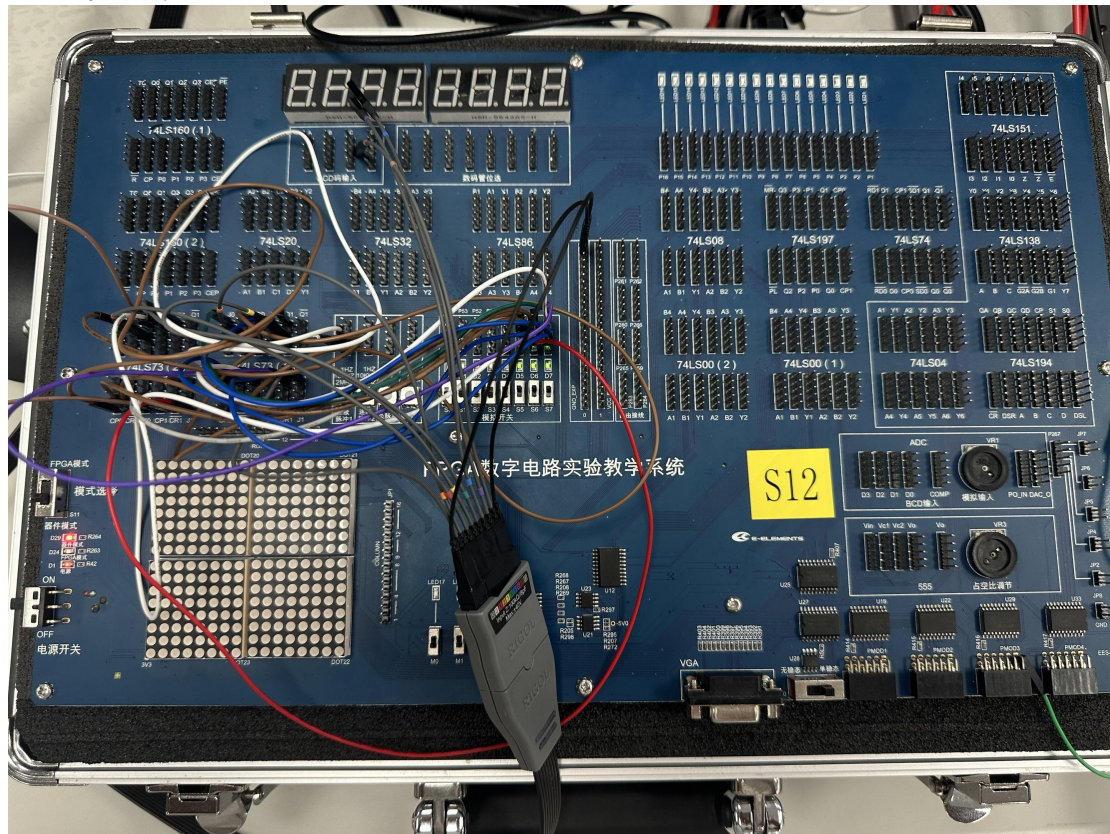
$$J_3 = K_3 = 1$$

1.5 检查自启动

由于两级 JK 触发器不会产生计数器未涵盖的 Q1Q0 状态, 此处无需检查自启动。

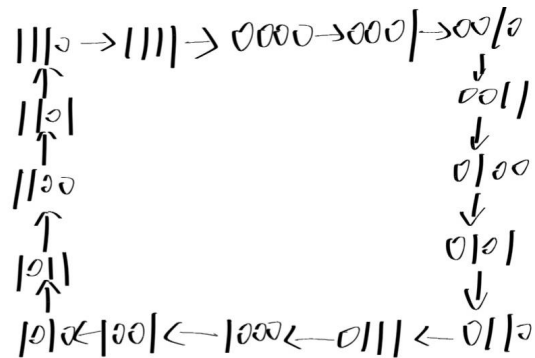


2. 同步计数器实验箱



3. 异步计数器仿真

3.1 根据十六进制，画出状态转移图



3.2 根据状态转移图，选择四个 JK 触发器来表示四位状态

3.3 画出每一个 Q 的次态卡诺图并化简

需要注意的是异步加法计数器中触发器时钟有效沿到来之前，相应的触发器输出状态都应该作为约束项处理，即次态卡诺图中无论原先填的是 0 还是 1，都记为 X。

$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = \overline{Q_2^n}$$

$$Q_3^{n+1} = \overline{Q_3^n}$$

3.4 过将 Q_{n+1} 的输出表达式与 JK 触发器的特征方程进行对比，可得到 JK 触发器的驱动方程。

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = 1$$

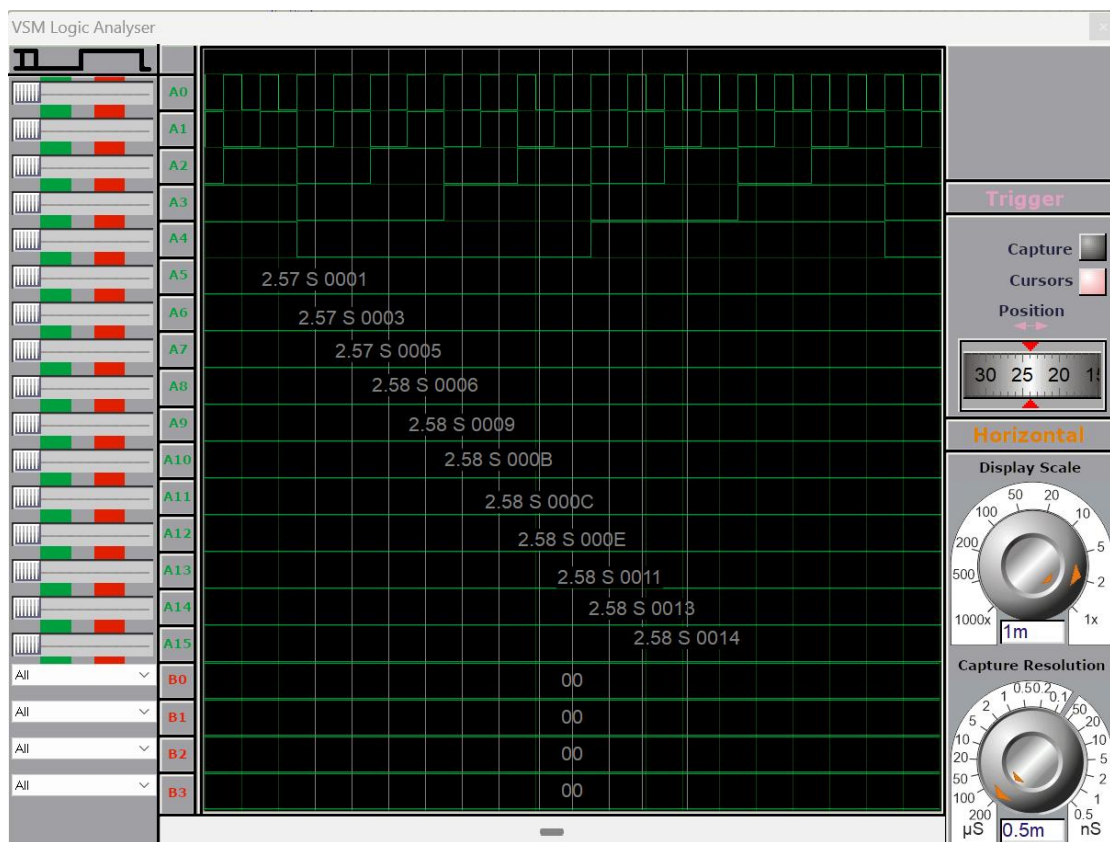
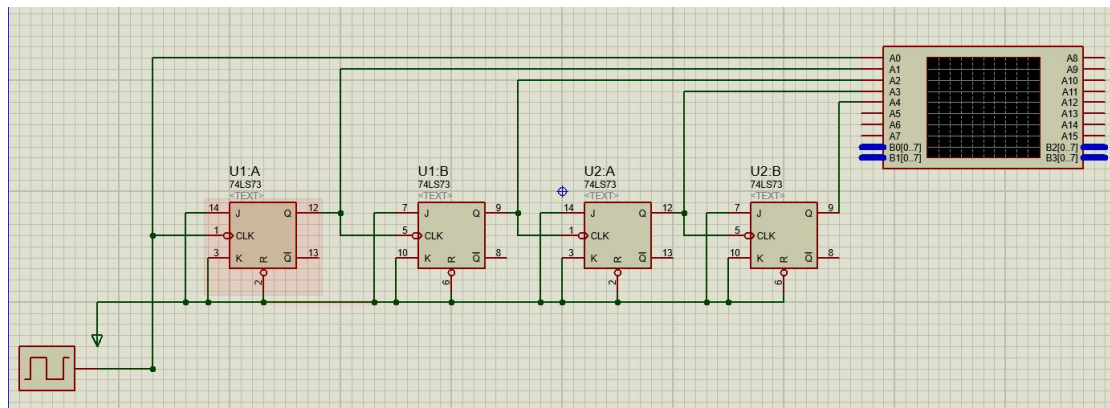
$$J_3 = K_3 = 1$$

3.5 检查自启动

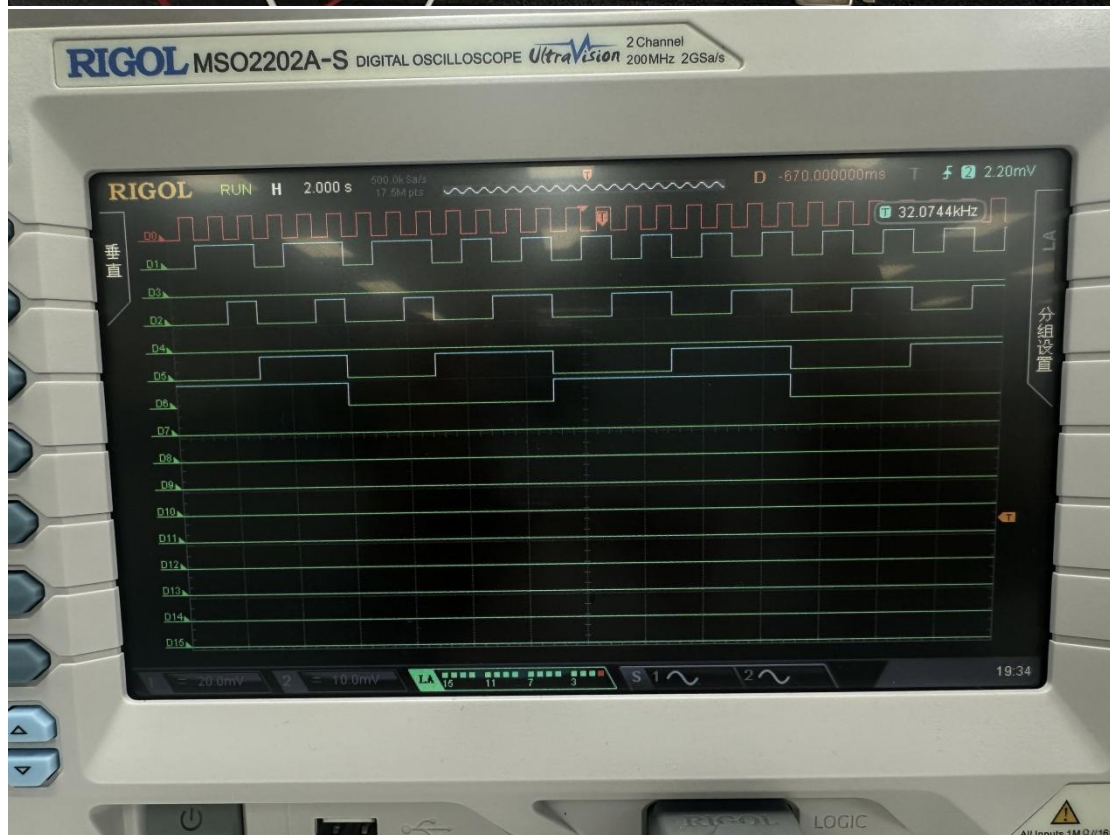
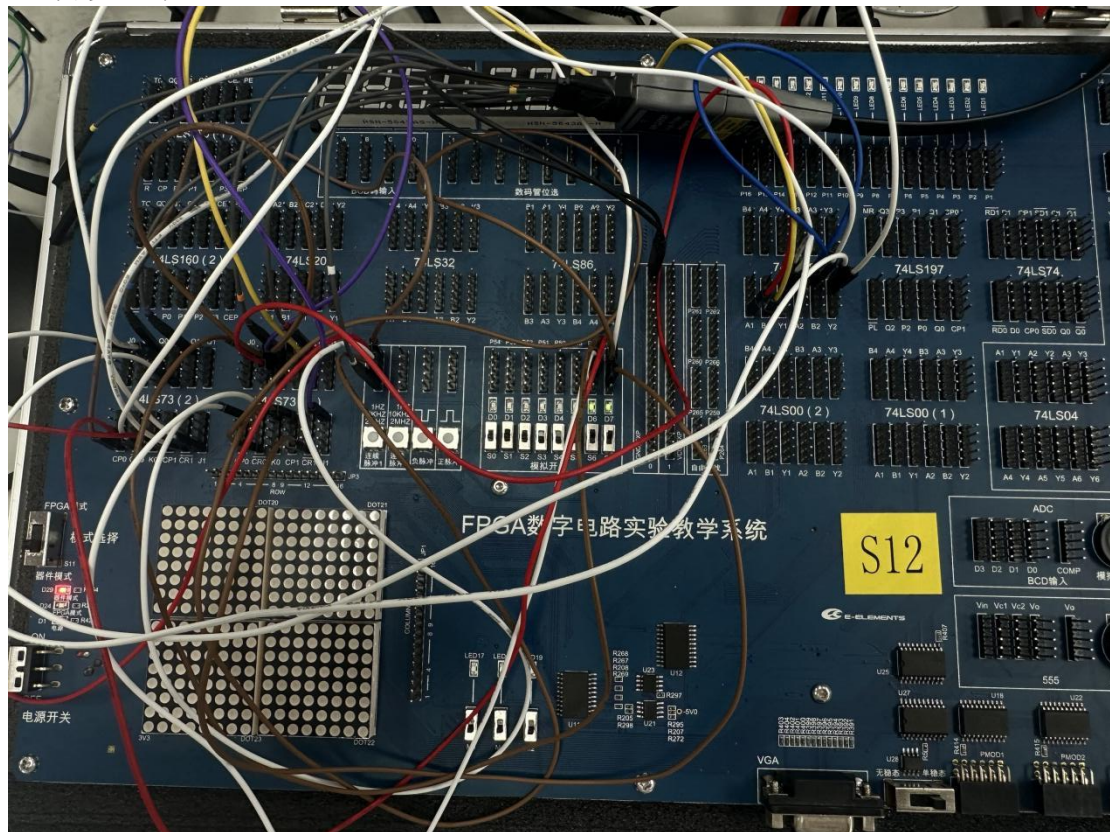
由于两级 JK 触发器不会产生计数器未涵盖的 Q1Q0 状态，此处无需检查自启动。

3.6 Proteus 电路设计

其中四个触发器的 CLK 全部接高，同步触发
四个触发器的置零位 R 也全部接高



4. 异步计数器实验箱



六、 实验中出现的問題

1. 实验连线错误：在进行 Proteus 仿真时，起初将 JK 触发器的时钟端 CLK 连接方式出错，未能正确实现同步或异步计数器的逻辑功能。

2. 逻辑表达式代入错误：在分析卡诺图过程中，曾错误地理解 X（不可预测状态）的处理方式，导致驱动方程化简错误。通过对比标准化设计流程并重新整理卡诺图数据后纠正。

七、 总结方法

实验步骤方法总结如下：

1. 明确目标功能：例如设计一个十六进制计数器，需要用四个 JK 触发器表示 4 位二进制状态。
2. 画出状态转移图：了解状态的跳转规律，为后续逻辑表达式推导提供依据。
3. 绘制卡诺图：分别对每一位 Q 输出的次态进行分析，提取逻辑关系。
4. 推导驱动方程：根据 JK 触发器的特性表，推导每一位所需的 J、K 输入逻辑表达式。
5. 构建电路原理图：在 Proteus 中完成逻辑电路连接，注意时钟触发方式（同步或异步）及初始状态设置。
6. 验证仿真与实物：使用逻辑分析仪观察输出波形，确认电路功能是否符合设计目标。
7. 这些步骤不仅适用于十六进制计数器，也可推广到更高位数或更复杂的同步时序电路设计中。

八、 实验心得

通过本次实验，通过本次时序逻辑电路实验，我对 JK 触发器的逻辑特性及其在计数器设计中的应用有了更深刻的理解。特别是在同步与异步计数器的实现过程中，我体会到：

同步电路在设计和分析中逻辑更清晰，适合高频应用；

异步电路则更易实现，但在多级触发中可能引发时序延迟和毛刺问题。

实验还让我更熟悉了状态转移图、卡诺图简化、驱动方程推导等逻辑设计标准流程，提高了我解决实际电路问题的能力。