A logo for a restaurant

Description automatically generated

SUBU ASIC TOPLULUGU KUANTEK YAZ STAJI TUBITAK ARASTIRMA RAPORU

KONU: **ASIC temelli oluşturulan sistemlerin yüksek hızda haberleşmesini sağlayan AXI veri yolu tasarımının gerçekleştirilmesi**

**Hazırlayanlar:**

Osman Sarı

Havva Nuriye Nemli

Furkan Gölpınar

**AXİ**

Axi ilk olarak 2003 yılında AMBA3 olarak tanıtılmış.ARM tarafından geliştirilen bir çip üstü iletişim veri yolu protokolüdür. [3]

**AMBA NEDIR?**

Gelişmiş Mikrodenetleyici Veri Yolu Mimarisi veya AMBA, çip üzerinde sistem (SoC) tasarımlarındaki fonksiyonel blokların bağlantısı ve yönetimi için açık standartlı, çip üzerinde ara bağlantı spesifikasyonudur. [1]

AMBA, birden fazla işlemci ve çok sayıda denetleyici ve çevre birimi içeren tasarımların geliştirilmesini basitleştirir. Ancak AMBA'nın kapsamı zamanla arttı ve sadece mikrodenetleyici cihazların çok ötesine geçti. [1]

Bugün AMBA, çeşitli ASIC ve SoC parçalarında yaygın olarak kullanılmaktadır. Bu parçalar, IoT alt sistemleri, akıllı telefonlar ve ağ SoC'leri gibi cihazlarda kullanılan uygulama işlemcilerini içerir. [1]

**AXI ARAYUZLERI**

A diagram of a network

Description automatically generated

* AXI4 (Tam AXI4): Yüksek performanslı bellek eşlemeli gereksinimler için. [4]
* AXI4-Lite: Basit, düşük veri transfer hızına sahip bellek eşlemeli iletişim için (örneğin, kontrol ve durum kayıtlarından gelen ve bu kayıtlara giden veriler için). [4]
* AXI4-Stream: Yüksek hızlı veri akışı için. [4]

**Gelişmiş Genişletilebilir Arabirim** (**AXI**) **Protokolü [2]**

• AMBA AXI protokolü, yüksek performanslı, yüksek frekanslı sistem tasarımlarını destekler.

• yüksek bant genişliği ve düşük gecikmeli tasarımlara uygundur

• çok çeşitli bileşenlerin arayüz gereksinimlerini karşılar

• Bayt flaşları kullanılarak hizalanmamış veri aktarımı desteği.

• ara bağlantı mimarilerinin uygulanmasında esneklik sağlar

• Birden fazla bekleyen adresin verilmesi desteği.

• mevcut AHB ve APB arayüzleriyle geriye dönük olarak uyumludur.

• düşük maliyetli Doğrudan Bellek Erişimi (DMA) sağlayabilen ayrı okuma ve yazma veri kanalları

• AXI protokolü, daha basit kontrolle iletişim için AXI4'ün bir alt kümesi olan AXI4-Lite spesifikasyonunu içerir.

**AXİ KANALLARI**

AXI spesifikasyonunda gelen verileri doğru ve hızlı aktarım yapabilmek için beş kanal tanımlanmıştır.

Bu beş kanalın her biri, gelen bu verileri doğru bir şekilde aktarabilmek için VALID ve READY sinyallerine sahiptir. Bilgi kaynağı, kanalda geçerli adres, veri veya kontrol bilgisi bulunduğunda bunu göstermek için VALID sinyalini kullanır. Hedef, bilgiyi kabul edebileceğini göstermek için READY sinyalini kullanır. Hem okuma veri kanalı hem de yazma veri kanalı, bir işlemdeki son veri öğesinin transferini belirtmek için bir LAST sinyalini de içerir. [2]

* Read Address channel (AR)
* Read Data channel (R)
* Write Address channel (AW)
* Write Data channel (W)
* Write Response channel (B)
* Veriler, master ve slave arasında aktarılır:
* Bir adres kanalı(AR), aktarılacak verileri açıklayan kontrol bilgilerini taşır.
* Verileri master ünitesinden slave ünitesine aktarmak için bir veri yazma(W)kanalı kullanılır.
* Bir yazma işleminde, slave birim, aktarımın tamamlandığını master bilgisayara bildirmek için yazma yanıt kanalını(B) kullanır.
* Verileri slave birimden master birim birimine aktarmak için bir veri okuma kanalı(R) kullanılır.

[2]

**Read-Write Address channel (AR-AW)** [2]

* Yazma ve okuma talep kanalları ayrıdır. Uygun talep kanalı, bir işlem Gerekli tüm adres ve kontrol bilgilerini taşır.

**AW SİNYALLARİ:**

* **AWVALID**: Manager: Yazma adresi geçerli gösterge.
* **AWREADY**: Subordinate: Yazma adresi hazır göstergesi.

**AR SİNYALLARİ:**

* ARVALID: Manager: Okuma adresi geçerli gösterge.
* ARREADY: Subordinate: Okuma adresi hazır göstergesi

**Write Data channel (W) [2]**

Yazma veri kanalı, Master’dan slave'a yazma verisini taşır ve şunları içerir:

* Veri sinyali, 8, 16, 32, 64, 128, 256, 512 veya 1024 bit genişlikte olabilir. Genişlik, DATA\_WIDTH özelliği kullanılarak belirtilir.
* Her sekiz veri biti için bir bayt şeridi darbe sinyali, hangi veri baytlarının geçerli olduğunu gösterir.
* Yazma veri kanalı bilgisi her zaman ara belleğe alınmış olarak kabul edilir, böylece Yönetici, önceki yazma işlemlerinin Ast tarafından onaylanmamasına rağmen yazma işlemlerini gerçekleştirebilir.

**W Sinyaller:**

* WVALID: Manager: Yazma verisi geçerli gösterge.
* WREADY: Subordinate: Yazma verisi hazır gösterge.
* WLAST: Manager: bir işlemin son yazma veri transferini gösterir.

**Write Response channel (B) [2]**

* Bir slave, yazma işlemlerine yanıt vermek için yazma yanıt kanalını kullanır. Tüm yazma işlemleri, yazma yanıt kanalında tamamlama

sinyalini gerektirir.

**B Sinyaller:**

* BVALID : Subordinate Yazma cevabı geçerli göstergesi.
* BREADY: Manager Yazma cevabı hazır göstergesi.

A diagram of a diagram

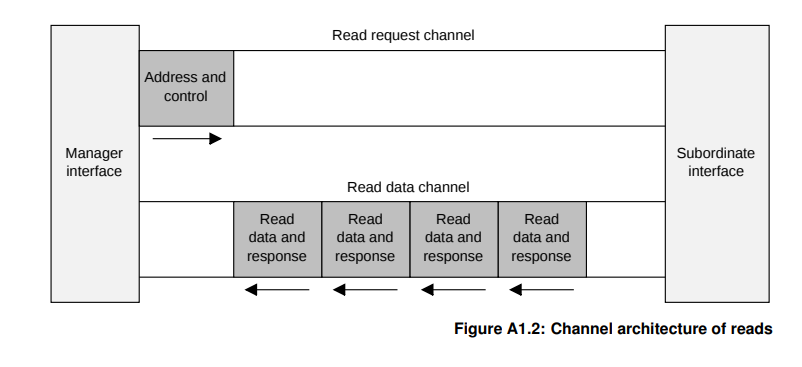
Description automatically generated

**Read Data channel (R) [2]**

* Okuma veri kanalı hem okuma verisini hem de Ast'tan Yönetici'ye okuma yanıt bilgisini taşır ve şunları içerir: • Veri sinyali, 8, 16, 32, 64, 128, 256, 512 veya 1024 bit genişlikte olabilir. Genişlik, DATA\_WIDTH özelliği kullanılarak belirtilir.
* Okuma işleminin tamamlanma durumunu gösteren bir okuma yanıtı sinyali.

**R Sinyaller:**

* RVALID: Subordinate: Okuma verisi geçerli gösterge..
* RREADY: Manager: Okuma verisi hazır gösterge.
* RLAST : Subordinate: bir işlemin son okuma veri transferini gösterir

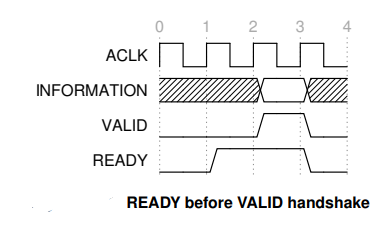
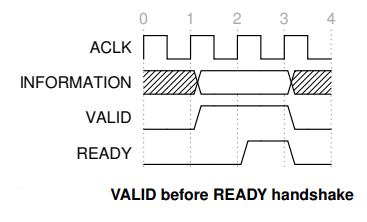


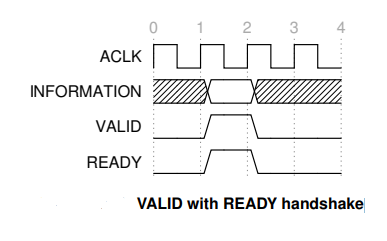
**Clock-Reset [5]**

AXI kanallarının her biri kendisiyle ilişkili bir dizi sinyale sahiptir. ACLK ve ARESETn olarak adlandırılan iki küresel sinyal vardır. Bunlar sırasıyla sistemin genel saati ve sıfırlama sinyalidir. ARESETn üzerindeki 'n' soneki, bu sinyalin aktif düşük olduğu anlamına gelir.

**Channel handshake [5]**

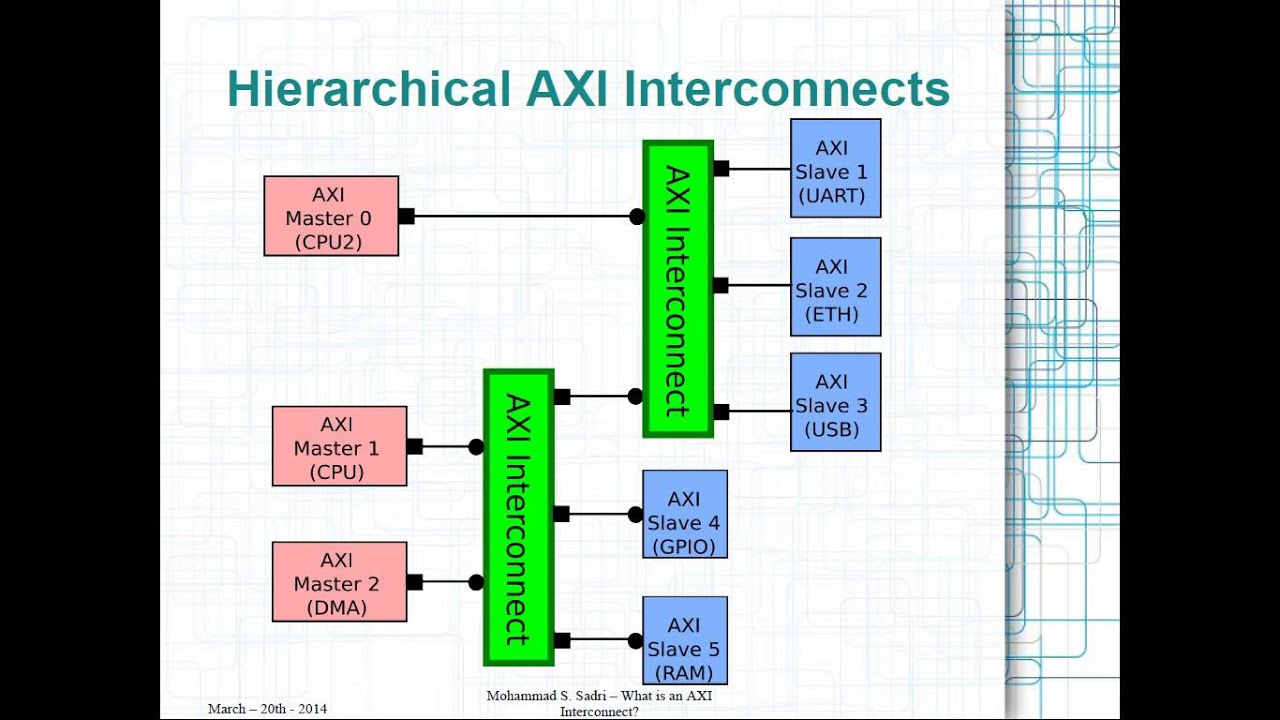
Tüm AXI kanalları adres, veri ve kontrol bilgilerini aktarmak için aynı GEÇERLİ/HAZIR (Valid/Ready) el sıkışma sürecini kullanır. Bu iki yönlü akış kontrol mekanizması, hem Yöneticinin hem de Astın, Yönetici ve Ast arasında hareket eden bilginin hareket etme hızını kontrol edebileceği anlamına gelir. Kaynak, adresin, verinin veya kontrol bilgisinin mevcut olduğunu belirtmek için GEÇERLİ sinyali üretir. Hedef, bilgiyi kabul edebileceğini belirtmek için HAZIR sinyalini üretir. Aktarım yalnızca hem GEÇERLİ hem de HAZIR sinyalleri YÜKSEK olduğunda gerçekleşir.





**Arayüz-Arabağlantı [2]**

Tipik bir sistem, bir tür bağlantı aracılığıyla bir araya getirilmiş birkaç Yönetici ve Ast cihazından oluşur.



**(Resim:** M.S. Sadri, Zynq Training)

AXI protokolü, arayüzler arasında tek bir arayüz tanımı sağlar:

* Bir Yönetici ile bağlantı arasında
* Bir slave ile bağlantı arasında
* Bir Yönetici ile bir slave arasında

Bu arayüz tanımı, birçok farklı bağlantı uygulamasını destekler. Cihazlar arasında bir bağlantı, gerçek Yönetici ve Ast cihazların bağlanabileceği simetrik Yönetici ve Ast portlarına sahip başka bir cihaza eşdeğerdir.

**AXI İşlem Örnekleri [1]**

**Tek Veri Yazma İşlemi**

A yellow and blue lines with black lines

Description automatically generated with medium confidence

**A)Adres Kanalı**

1. Yönetici adresi AWADDR'ye koyar ve saat döngüsü 2'de AWVALID olduğunu bildirir.
2. Ast, bir adres değeri alabileceğini belirtmek için saat döngüsü 3'te AWREADY'yi onaylar.
3. El sıkışma, saat döngüsü 4'ün yükselen kenarında tamamlanır.

**B)Veri Kanalı**

1. Ast, WREADY saat döngüsü n'de yüksek olarak ayarlanmış vaziyette verileri bekliyor.
2. Yönetici verileri WDATA veri yoluna koyar ve n+2 saat döngüsünde WVALID olduğunu bildirir.
3. El sıkışma, n+3 saat döngüsünün yükselen kenarında tamamlanır.

**C)Onay Kanalı**

1. Yönetici BREADY'yi bildirir.
2. Ast, yazma işleminin başarısını veya başarısızlığını belirtmek için BRESP'yi yönlendirir ve BVALID'i onaylar.
3. El sıkışma, n+4 saat döngüsünün yükselen kenarında tamamlanır.

**Tek Veri Okuma İşlemi** [1]

A diagram of a diagram

Description automatically generated with medium confidence

A)**Adres Kanalı**

1. Saat döngüsü 2'de, yönetici okumanın adresini ARADDR üzerindeki astına iletir ve ARVALID'i onaylar.
2. Saat döngüsü 3'te, ast, adres değerini almaya hazır olduğunu belirtmek için ARREADY'yi onaylar.

B)**Veri Kanalı**

1. Saat döngüsü n'de, yönetici RREADY'yi onaylayarak verileri almayı beklediğini belirtir.
2. Ast verileri alır ve n+2 saat döngüsünde RDATA'ya yerleştirir. Bu durumda, bu tek bir veri işlemi olduğundan, ast RLAST sinyalini de yüksek olarak ayarlar. Aynı zamanda, ast, okuma işleminin başarısını veya başarısızlığını yöneticiye belirtmek için RRESP kullanır ve RVALID'i onaylar.
3. RREADY yönetici tarafından zaten ileri sürüldüğü için, el sıkışma n+3 saat döngüsünün yükselen kenarında tamamlanır.

**Not:** Bu işlemler birden fazla veri üzerinde de yapılabilir.

**Çok Veri yazma-okuma işlemleri**

**Adres-Veri Yazma-Onay:**

A diagram of data on a white background

Description automatically generated

**Adres-Veri Okuma-Onay:**

A yellow and blue chart

Description automatically generated

KAYNAKÇA

[1] <https://developer.arm.com/documentation/102202/0300>

[2] <https://developer.arm.com/documentation/ihi0022/latest/>

[3] <https://en.wikipedia.org/wiki/Advanced_eXtensible_Interface>

[4] https://support.xilinx.com/s/article/1053914?language=en\_US

[5] https://www.allaboutcircuits.com/technical-articles/introduction-to-the-advanced-extensible-interface-axi/