

# ОТЧЁТ ПО ТЕСТОВОМУ ЗАДАНИЮ

КОМАНДА: SocIntergration

Контакты:

Почта: [samnsk2606@gmail.com](mailto:samnsk2606@gmail.com)

Telegram: [@furperson](https://www.instagram.com/furperson)

Оглавление

Задание: .....3

Результат: .....4

    Что не успел реализовать и идеи улучшения : .....4

Пример использования:.....4

### Задание:

Реализовать на языке HDL вычисление формулы :

$$Q = \frac{(a - b) \cdot (1 + 3c) - 4d}{2}$$

1. Нарисуйте в любом графическом редакторе цифровую схему, реализующую вычисление заданного выражения (Visio, draw.io или аналогичный)
2. Используя любой HDL язык (Verilog, SystemVerilog, VHDL) опишите цифровую схему, отвечающую заданным требованиям:
  - c. входные параметры  $a$ ,  $b$ ,  $c$ ,  $d$  являются целыми числами со знаком (signed)
  - d. набор параметров  $a$ ,  $b$ ,  $c$ ,  $d$  должен подаваться на вход схемы синхронно
  - e. разрядность данных должна определяться параметром
  - f. схема должна обеспечивать возможность получения нового набора входных параметров  $a$ ,  $b$ ,  $c$ ,  $d$  каждый такт
  - g. латентность схемы должна быть оптимальной
  - h. по возможности реализовать подтверждение входных и выходных данных сигналом valid
9. Верифицируйте описанную схему с помощью testbench. В качестве симулятора можно использовать САПР Vivado, ModelSim или аналогичный
10. Для проверки корректности работы схемы и testbench, разработайте программу на Python, решающую заданное математическое выражение
11. Описать возможные способы защиты от ошибок переполнения разрядной сетки  
При наличии инструментальной возможности (оценивается отдельно):
  1. Оценить аппаратный ресурс, требуемый для реализации схемы по результатам синтеза, выполненного в САПР Vivado или Quartus
  2. Оценить максимальную тактовую частоту работы схемы

## Результат:

Git репозиторий : <https://github.com/furperson/FormulaAccel>

Был разработан ускоритель для данной формулы на языке SystemVerilog , с конвейерной обработкой , с возможностью гибкой настройки ширины входных данных и длины конвейерной части , отвечающей за финальное умножение.

Совместно с самим ускорителем разработал testbench на языке SystemVerilog, для проверки корректности схемы.

Также предоставляю тестовый сценарий по интеграции разработанного ускорителя на fpga ep4ct10t22c8n , распаянной на плате ommdazz , с учётом максимальной утилизации ресурсов и ориентацией на минимальную латентность схемы.

Технические характеристики взятой fpga:

Семейство : Cyclone 4

Кол-во Lut'ов : 10к

Кол-во pll : 2

Кол-во dsp : 46

## Что не успел реализовать и идеи улучшения :

Можно выбрать формат для выхода модуля , в текущей реализации выход – целое знаковое число . Можно будет реализовать поддержку чисел с плавающей запятой или выбрать формат с фиксированной запятой , т.к. деление относительно маленькое .

## Пример использования: