

# 提高数据存取速度的数据分配方法

申请号：[CN200410027455.9](#)

申请日：20040531

申请(专利权)人 [深圳市朗科科技有限公司](#)

地址 518057广东省深圳市南山区高新南一道中国科技开发院孵化大楼六楼

发明(设计)人 [符运河](#) [黄文胜](#) [成晓华](#)

主分类号 [G06F3/06](#)

分类号 [G06F3/06](#) [G06F12/06](#)

公开(公告)号 CN100410864C

公开(公告)日 20080813

专利代理机构 [北京纪凯知识产权代理有限公司](#)

代理人 [沙捷](#)

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 3/06 (2006.01)

G06F 12/06 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200410027455.9

[45] 授权公告日 2008 年 8 月 13 日

[11] 授权公告号 CN 100410864C

[22] 申请日 2004.5.31

[21] 申请号 200410027455.9

[73] 专利权人 深圳市朗科科技有限公司

地址 518057 广东省深圳市南山区高新南  
一道中国科技开发院孵化大楼六楼

[72] 发明人 符运河 黄文胜 成晓华

[56] 参考文献

CN1635580A 2005.7.6

US6229737B1 2001.5.8

CN1677332A 2005.10.5

EP0784325A1 1997.7.16

CN1245580A 2000.2.23

CN1549134A 2004.11.24

CN1691195A 2005.11.2

审查员 牛晓丽

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 沙捷

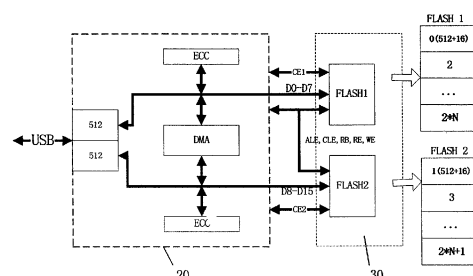
权利要求书 3 页 说明书 9 页 附图 6 页

[54] 发明名称

提高数据存取速度的数据分配方法

[57] 摘要

一种提高数据存取速度的数据分配方法，所述方法用于提高主机对移动存储装置的数据存取速度，所述移动存储装置包括可通过通信协议与主机进行数据传输的控制模块，用来存储数据的存储模块，所述存储模块中包括至少两片存储介质，所述方法包括如下步骤：1) 使所述控制模块从主机接收数据读/写命令，并获得所述命令所指数据的扇区地址；2) 若当前需要传输的扇区数目大于 1，则同时并分别对对应的存储介质进行奇数扇区和偶数扇区的数据读/写操作；3) 若所述扇区数目为 1，则根据所述扇区地址的奇偶性选择对应的存储介质进行数据读/写操作。



1. 一种提高数据存取速度的数据分配方法, 所述方法用于提高主机对移动存储装置的数据存取速度, 所述移动存储装置包括可通过通信协议与主机进行数据传输的控制模块, 用来存储数据的存储模块, 所述存储模块中包括至少两片存储介质, 所述方法包括如下步骤:

- 1) 使所述控制模块从主机接收数据读/写命令, 并获得所述命令所指数据的扇区地址;
- 2) 若当前需要传输的扇区数目大于 1, 则同时并分别对对应的存储介质进行奇数扇区和偶数扇区的数据读/写操作;
- 3) 若所述扇区数目为 1, 则根据所述扇区地址的奇偶性选择对应的存储介质进行数据读/写操作; 并且

所述方法进一步包括根据所述扇区地址计算对应的逻辑块地址, 所述逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数), 并由逻辑对照表得到对应的物理块地址;

其中, 所述控制模块通过数据线 D0-D7、控制线 CE1、控制线 ALE、CLE、RB、RE、WE 与一片存储介质连接, 通过数据线 D8-D15、控制线 CE2、控制线 ALE、CLE、RB、RE、WE 与另一片存储介质连接, 所述两片存储介质共用所述控制模块的控制线 ALE、CLE、RB、RE、WE。

2. 根据权利要求 1 所述的提高数据存取速度的数据分配方法, 其特征在于: 所述方法进一步包括根据所述物理块地址对所述对应的存储介质进行数据读/写操作。
3. 根据权利要求 1 所述的提高数据存取速度的数据分配方法, 其特征在于: 所述两片存储介质可共用一个逻辑对照表, 也可使用各自的逻辑对照表, 其中当共用一个逻辑对照表时, 如果有一片存储介质的某一个块坏了, 则另外一片存储介质的对应的物理块也要标记成坏块。
4. 根据权利要求 1 所述的提高数据存取速度的数据分配方法, 其特征在于: 所述存储介质可以是但不限于闪存介质、SDRAM、DRAM、EPPROM、铁磁随机存储器/铁电存储器、磁阻式随机存取存储器、超高密度存储芯

片。

5. 根据权利要求1所述的提高数据存取速度的数据分配方法,其特征在于:  
所述通信协议包括但不限于USB协议、Zigbee协议、IEEE1394协议、蓝牙协议、串行ATA协议、IDE协议、SCSI协议、HiperLAN协议、IrDA红外协议、HomeRF协议、IEEE802.11x、802.15、802.16、802.3协议、RS232协议、RS485协议、USB\_OTG协议、UWB协议、GPIO协议、UART协议、CF协议、SM协议、MMC协议、SD协议、MS协议、MD协议、X-D协议、PCMCIA协议、GSM、GPRS、CDMA、2.5G和/或3G协议。
6. 一种提高数据存取速度的数据分配方法,所述方法用于提高主机对移动存储装置的数据存取速度,所述移动存储装置包括可通过通信协议与主机进行数据传输的控制模块,用来存储数据的存储模块,所述存储模块中包括至少两片存储介质,所述方法包括如下步骤:
  - 1) 所述控制模块从主机接收数据读/写命令,并获得所述命令所指数据的扇区地址;
  - 2) 同时并分别对对应的存储介质进行所述扇区的奇数字节和偶数字节的数据读/写操作,或将所述扇区分成前256字节和后256字节同时并分别对对应的存储介质进行数据读/写操作;并且所述方法进一步包括根据所述扇区地址计算对应的逻辑块地址,所述逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数),并由逻辑对照表得到所述逻辑块地址对应的物理块地址;  
其中,所述控制模块通过数据线D0-D7、控制线CE、ALE、CLE、RB、RE、WE与一片存储介质连接,通过数据线D8-D15、控制线CE、ALE、CLE、RB、RE、WE与另一片存储介质连接,所述两片存储介质共用所述控制模块的控制线CE、ALE、CLE、RB、RE、WE。
7. 根据权利要求6所述的提高数据存取速度的数据分配方法,其特征在于:  
每一扇区的数据在块中的偏移地址为(256+8)的倍数。
8. 根据权利要求6所述的提高数据存取速度的数据分配方法,其特征在于:  
所述存储介质可以是但不限于闪存介质、SDRAM、DRAM、EPPROM、铁磁随机存储器/铁电存储器、磁阻式随机存取存储器、超高密度存储芯

片。

9. 根据权利要求6所述的提高数据存取速度的数据分配方法,其特征在于:  
所述通信协议包括但不限于 USB 协议、Zigbee 协议、IEEE1394 协议、  
蓝牙协议、串行 ATA 协议、IDE 协议、SCSI 协议、HiperLAN 协议、IrDA  
红外协议、HomeRF 协议、IEEE802.11x、802.15、802.16、802.3 协议、  
RS232 协议、RS485 协议、USB\_OTG 协议、UWB 协议、GPIO 协议、  
UART 协议、CF 协议、SM 协议、MMC 协议、SD 协议、MS 协议、MD  
协议、X-D 协议、PCMCIA 协议、GSM、GPRS、CDMA、2.5G 和/或 3G  
协议。

## 提高数据存取速度的数据分配方法

### 技术领域

本发明涉及存储控制技术，尤其涉及提高数据存取速度的数据分配方法。

### 背景技术

随着个人电脑的普及，各种数字产品与人们的工作生活关系日益密切，随之而来的大量数据的处理及携带便成为急需解决的问题，因而各种移动存储设备层出不穷，而半导体存储设备因体积小、容量大，高速存取、携带方便，性能稳定、不易损坏等优点而得到了越来越普及的应用。

目前的半导体存储设备由控制模块与存储介质构成，主机系统通过该控制模块对存储介质进行数据读写操作，该控制模块与主机系统之间可通过各种数据传输协议进行通信，该通信内容包括发送指令及进行数据传输，控制模块接收指令及数据后再根据该指令对存储介质进行相应的数据操作，因为存储介质固有的读写特性，主机系统与控制模块之间的数据传输速度远大于控制模块对存储介质的读写操作速度，所以控制模块对存储介质的读写操作速度便成为主机系统与存储介质之间进行数据传输的瓶颈。

例如，目前广泛应用的以 USB 协议进行数据传输、以闪存介质(FLASH Memory)作为存储介质的移动存储设备，USB2.0 推出后，主机系统与该存储设备的控制模块间的速度可达到 480Mbps，而因为闪存介质固有的读写特性的限制，对 8bit 闪存介质的数据操作速度最高只能达到 160Mbps，且目前上述移动存储设备的控制模块对于闪存介质采用单通道的方法，每次只能对一片闪存介质读写，如果是单片 8bit 闪存介质，实验室最高传输速度为：读数据 80Mbps，写速度 64Mbps；如果是单片 16bit 闪存介质，实验室最高传输速度为：读数据 160Mbps，写速度 128Mbps，显然这种控制模式下的控制模块对闪存介质的数据存取速度远低于主机系统与控制模块之间的数据传输速度，未能充分利用主机系统与控制模块之间的高数据传输率，进而限制了主机系统与存储介质之间数据传输速度。

因此, 如何提供一种提高数据存取速度的数据分配方法成为亟待解决的问题。

## 发明内容

本发明的目的是在现有技术基础上, 针对现有技术应用领域的不足, 提供一种提高数据存取速度的数据分配方法。

本发明提高数据存取速度的数据分配方法可以通过以下技术方案实现:

一种提高数据存取速度的数据分配方法, 所述方法用于提高主机对移动存储装置的数据存取速度, 所述移动存储装置包括可通过通信协议与主机进行数据传输的控制模块, 用来存储数据的存储模块, 所述存储模块中包括至少两片存储介质, 所述方法包括如下步骤:

- 1) 使所述控制模块从主机接收数据读/写命令, 并获得所述命令所指数据的扇区地址;
- 2) 若当前需要传输的扇区数目大于 1, 则同时并分别对对应的存储介质进行奇数扇区和偶数扇区的数据读/写操作;
- 3) 若所述扇区数目为 1, 则根据所述扇区地址的奇偶性选择对应的存储介质进行数据读/写操作。

所述方法进一步包括根据所述扇区地址计算对应的逻辑块地址, 逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数), 并由逻辑对照表得到对应的物理块地址。

所述方法进一步包括根据所述物理块地址对所述对应的存储介质进行数据读/写操作。

所述两片存储介质可共用一个逻辑对照表, 也可使用各自的逻辑对照表, 其中当共用一个逻辑对照表时, 如果有一片存储介质的某一个块坏了, 则另外一片存储介质的对应的物理块也要标记成坏块。

所述控制模块通过数据线 D0-D7、控制线 CE1、控制线 ALE、CLE、RB、RE、WE 与一片存储介质连接, 通过数据线 D8-D15、控制线 CE2、控制线 ALE、CLE、RB、RE、WE 与另一片存储介质连接, 所述两片存储介质共用所述控制模块的控制线 ALE、CLE、RB、RE、WE。

所述存储介质可以是但不限于闪存介质 (FLASH Memory)、SDRAM、DRAM、EPPROM、铁磁随机存储器/铁电存储器 (FRAM)、磁阻式随机存取存储器 (MRAM)、超高密度存储芯片 (MILLIPEDE)。

所述通信协议包括但不限于 USB 协议、Zigbee 协议、IEEE1394 协议、蓝牙协议、串行 ATA 协议、IDE 协议、SCSI 协议、HiperLAN 协议、IrDA 红外协议、HomeRF 协议、IEEE802.11x、802.15、802.16、802.3 协议、RS232 协议、RS485 协议、USB\_OTG 协议、UWB 协议、GPIO 协议、UART 协议、CF 协议、SM 协议、MMC 协议、SD 协议、MS 协议、MD 协议、X-D 协议、PCMCIA 协议、GSM、GPRS、CDMA、2.5G 和/或 3G 协议。

本发明提高数据存取速度的方法还可通过以下技术方案实现：

一种提高数据存取速度的数据分配方法，所述方法用于提高主机对移动存储装置的数据存取速度，所述移动存储装置包括可通过通信协议与主机进行数据传输的控制模块，用来存储数据的存储模块，所述存储模块中包括至少两片存储介质，所述方法包括如下步骤：

- 1) 所述控制模块从主机接收数据读/写命令，并获得所述命令所指数据的扇区地址；
- 2) 同时并分别对对应的存储介质进行所述扇区的奇数字节和偶数字节的数据读/写操作，或将所述扇区分成前 256 字节和后 256 字节同时并分别对对应的存储介质进行数据读/写操作。

该方法进一步包括根据所述扇区地址计算对应的逻辑块地址，逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数)，并由逻辑对照表得到逻辑块地址对应的物理块地址。

所述方法中的每一扇区的数据在块(Block)中的偏移地址为(256+8)的倍数。

所述控制模块通过数据线 D0-D7、控制线 CE、ALE、CLE、RB、RE、WE 与一片存储介质连接，通过数据线 D8-D15、控制线 CE、ALE、CLE、RB、RE、WE 与另一片存储介质连接，所述两片存储介质共用所述控制模块的控制线 CE、ALE、CLE、RB、RE、WE。

所述存储介质可以是但不限于闪存介质(FLASH Memory)、SDRAM、DRAM、EPPROM、铁磁随机存储器/铁电存储器(FRAM)、磁阻式随机存取存储器(MRAM)、超高密度存储芯片(MILLIPEDE)。

所述通信协议包括但不限于 USB 协议、Zigbee 协议、IEEE1394 协议、蓝牙协议、串行 ATA 协议、IDE 协议、SCSI 协议、HiperLAN 协议、IrDA



红外协议、HomeRF 协议、IEEE802.11x、802.15、802.16、802.3 协议、RS232 协议、RS485 协议、USB\_OTG 协议、UWB 协议、GPIO 协议、UART 协议、CF 协议、SM 协议、MMC 协议、SD 协议、MS 协议、MD 协议、X-D 协议、PCMCIA 协议、GSM、GPRS、CDMA、2.5G 和/或 3G 协议。

本发明通过同时对存储介质进行数据存取操作，进而大大提高数据存取速度。

## 附图说明

图 1 是本发明第一实施例的数据分配示意图。

图 2 是本发明第一实施例的写数据流程图。

图 3 是本发明第一实施例的读数据流程图。

图 4 是本发明另一实施例的数据分配示意图。

图 5 是本发明另一实施例的写数据流程图。

图 6 是本发明另一实施例的读数据流程图。

## 具体实施方式

本发明提高数据存取速度的数据分配方法适用于移动存储装置的数据传输及存储过程。

请参阅图 1，图 1 是本发明提高数据存取速度的数据分配方法的第一实施例的数据分配示意图，如图 1 所示，移动存储装置包括控制模块 20 和存储模块 30，所述控制模块 20 中包括 DMA、ECC 单元及其它必要器件（所述器件凡业界之普通人士均可知道，不再赘述）。

所述控制模块 20 的一端可与主机通过通信协议进行数据传输，所述通信协议包括但不限于 USB 协议、Zigbee 协议、IEEE1394 协议、蓝牙协议、串行 ATA 协议、IDE 协议、SCSI 协议、HiperLAN 协议、IrDA 红外协议、HomeRF 协议、IEEE802.11x、802.15、802.16、802.3 协议、RS232 协议、RS485 协议、USB\_OTG 协议、UWB 协议、GPIO 协议、UART 协议、CF 协议、SM 协议、MMC 协议、SD 协议、MS 协议、MD 协议、X-D 协议、PCMCIA 协议、GSM、GPRS、CDMA、2.5G 和/或 3G 协议。

所述控制模块 20 的另一端与存储模块 30 连接，所述存储模块 30 可采用的存储介质可以是但不限于闪存介质（FLASH Memory）、SDRAM、

DRAM、EPPROM、铁磁随机存储器/铁电存储器 (FRAM)、磁阻式随机存取存储器 (MRAM)、超高密度存储芯片 (MILLIPEDE)。本实施例中存储模块 30 采用的存储介质为两片闪存 (Flash) FLASH1 和 FLASH2, 如图所示, 逻辑扇区地址为偶数的扇区存储于 FLASH1, 逻辑扇区地址为奇数的扇区存储于 FLASH2, 图中所示的 FLASH1 和 FLASH2 中的扇区地址的分配均以一块 (Block) 中的扇区地址分布为例, 其中 N 指一块可容纳的最大扇区 (512 字节) 数。所述控制模块 20 通过数据线 D0-D7、控制线 CE1、控制线 ALE、CLE、RB、RE、WE 与 FLASH1 连接, 通过数据线 D8-D15、控制线 CE2、控制线 ALE、CLE、RB、RE、WE 与 FLASH2 连接, 也就是 FLASH1 与 FLASH2 共用所述控制模块 40 的控制线 ALE、CLE、RB、RE、WE。

在本实施例中: 从主机输入的数据是分时进入控制模块 20 的, 这种结构的数据传输过程有两种情况:

1) 当数据包 (数据包是以 1 个扇区即 sector 为单位的) 大于 2 个 sector 时, 控制模块 20 将等两个 sector 接收完后, 同时分别把相应的 sector 分别送往 FLASH1 和 FLASH2, 由于两片 FLASH 同时操作的, 这样可以让两片 FLASH 共用控制信号 ALE, CLE, RE, WE, RB, 如此可以节省控制信号。

2) 当数据包只有一个 sector 时, 此时只能是一片 FLASH 在传送数据, 只能选中其中一片 FLASH 来操作, 因此这两片 FLASH 的片选 (CE) 控制信号不能共用。

请参阅图 2, 图 2 是第一实施例写数据的流程。

下面对本实施例的数据写流程予以说明:

首先, 由步骤 201 开始, 控制模块 20 从主机接收到写命令;

然后进入步骤 203, 根据写起始扇区地址求出逻辑块地址:

所述逻辑块地址 = 逻辑扇区地址 / (2 \* 逻辑块的扇区个数);

然后进入步骤 205, 由逻辑对照表找到所述逻辑块地址对应的物理块地址, 所述逻辑对照表有两种建法, 可以使每一片 FLASH 建立自己的对照表, 也可以两片 FLASH 共用一个表, 不过共用一个对照表时, 如果有一片 FLASH 的某一个块坏了, 则另外一片 FLASH 对应的物理块也要标记成坏块;

进入步骤 206, 判断当前需要传输的扇区数目是小于 1, 即数据包中所含的扇区数是否小于 1;

若否, 即数据包中所含的扇区数不小于 1, 也就是数据包中所含的扇区数大于或等于 2 时, 则进入步骤 208, 准备两个扇区的数据以供 DMA 同时传输到两片 FLASH 中; 接着进入步骤 210, 发送编程命令并把相应的物理地址送到对应的 FLASH; 然后进入步骤 212, 开启所述 DMA 使奇数扇区和偶数扇区同时并分别写入 FLASH1 和 FLASH2; 然后返回步骤 206, 判断数据包中所含的扇区数是否小于 1;

若是, 即数据包中所含的扇区数小于 1, 则进入步骤 207, 判断当前需要传输的扇区数目是否为 0, 即数据包中所含的扇区数是否为 0;

若是, 即数据包中所含的扇区数为 0, 则进入步骤 215 结束流程;

若否, 即数据包中的扇区数为 1, 则判断当前要传输的扇区地址的奇偶性;

若当前要传输的扇区地址为奇数, 则进入步骤 213, 将所述扇区的数据写入 FLASH2; 然后进入步骤 215 结束流程。

若当前要传输的扇区地址是为偶数, 则进入步骤 211, 将所述扇区的数据写入 FLASH1; 然后进入步骤 215 结束流程。

请参阅图 3, 图 3 是第一实施例读数据的流程。

下面对本实施例的读数据的流程予以说明:

该流程由步骤 301 开始, 控制模块 20 从主机接收到读数据的命令;

然后进入步骤 303, 根据写起始扇区地址求出逻辑块地址:

所述逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数);

并由逻辑对照表找到所述逻辑块地址对应的物理块地址, 所述逻辑对照表有两种建法, 可以使每一片 FLASH 建立自己的对照表, 也可以两片 FLASH 共用一个表, 不过共用一个对照表时, 如果有一片 FLASH 的某一个块坏了, 则另外一片 FLASH 对应的物理块也要标记成坏块;

然后进入步骤 305, 判断当前需要传输的扇区数目是否小于 1;

若否, 即当前需要传输的扇区数目大于 1, 则进入步骤 306, DMA 同时并分别从 FLASH1 和 FLASH2 读出奇数扇区和偶数扇区的数据; 然后返回步骤 305, 判断当前需要传输的扇区数目是否小于 1;

若是，即当前需要传输的扇区数目小于 1，则进入步骤 307 判断当前要传输的扇区数目是否为 0；

若是，即当前需要传输的扇区数为 0，则进入步骤 311 结束流程；

若否，即当前需要传输的扇区数不为 0（即为 1），则进入步骤 308，判断当前要传输的扇区地址的奇偶性；

若当前要传输的扇区地址为奇数，则进入步骤 310，从 FLASH2 读取所述扇区的数据；然后进入步骤 311 结束流程。

若当前要传输的扇区地址是为偶数，则进入步骤 309，从 FLASH1 读取所述扇区的数据；然后进入步骤 311 结束流程。

请参阅图 4，图 4 是本发明另一实施例的数据分配示意图。

如图 4 所示，移动存储装置包括控制模块 40 和存储模块 50，所述控制模块 40 中包括 DMA、ECC 单元及其它必要器件（所述器件凡业界之普通人士均可知道，不再赘述）。

所述控制模块 40 的一端可与主机通过通信协议进行数据传输，所述通信协议包括但不限于 USB 协议、Zigbee 协议、IEEE1394 协议、蓝牙协议、串行 ATA 协议、IDE 协议、SCSI 协议、HiperLAN 协议、IrDA 红外协议、HomeRF 协议、IEEE802.11x、802.15、802.16、802.3 协议、RS232 协议、RS485 协议、USB\_OTG 协议、UWB 协议、GPIO 协议、UART 协议、CF 协议、SM 协议、MMC 协议、SD 协议、MS 协议、MD 协议、X-D 协议、PCMCIA 协议、GSM、GPRS、CDMA、2.5G 和/或 3G 协议。

所述控制模块 40 的另一端与存储模块 50 连接，所述存储模块 50 可采用的存储介质可以是但不限于闪存介质（FLASH Memory）、SDRAM、DRAM、EPPROM、铁磁随机存储器/铁电存储器（FRAM）、磁阻式随机存取存储器（MRAM）、超高密度存储芯片（MILLIPEDE）。

本实施例中存储模块 50 采用的存储介质为两片闪存（Flash）FLASH1 和 FLASH2，所述控制模块 40 通过数据线 D0-D7、控制线 CE、ALE、CLE、RB、RE、WE 与 FLASH1 连接，通过数据线 D8-D15、控制线 CE、ALE、CLE、RB、RE、WE 与 FLASH2 连接，也就是 FLASH1 与 FLASH2 共用所述控制模块 40 的控制线 CE、ALE、CLE、RB、RE、WE。

在本实施例中，由于一个扇区的数据是分开存在两片 FLASH 中，因此当一个扇区的数据包到达时，就可以往两片 FLASH 里送，这样不存在某一时刻操作一片 FLASH 的情况。因此 FLASH 的所有控制信号可以完全共用。在把 512 字节的数据分成各 256 送往两片 FLASH 时，可以有两种分法：1) 将 512 字节分成前 256 字节和后 256 字节分别送往两片 FLASH。2) 将 512 字节分成奇数字节和偶数字节分别送往两片 FLASH。由于一个扇区的数据拆成两半，因此其在块 (BLOCK) 里的偏移地址变成原来的一半，即每一个扇区的数据在 BLOCK 里的偏移是 (256+8) 的倍数，如图所示，其中 FLASH1 和 FLASH2 中的扇区地址的分配均以一块 (Block) 中的扇区地址分布为例，其中 N 指一块可容纳的最大扇区 (512 字节) 数。该数据分配方法使得传输速度不会因为传输数据包为一个扇区时不能同时往 FLASH 里传送而受影响。

请参阅图 5，写流程由步骤 501 从主机接收到写命令开始；

然后进入步骤 503，根据写起始扇区地址求出逻辑块地址：

所述逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数)；

并由逻辑对照表找到所述逻辑块地址对应的物理块地址，所述逻辑对照表有两种建法，可以使每一片 FLASH 建立自己的对照表，也可以两片 FLASH 共用一个表，不过共用一个对照表时，如果有一片 FLASH 的某一个块坏了，则另外一片 FLASH 对应的物理块也要标记成坏块；

然后进入步骤 505，判断当前需要传输的扇区数目是否为 0；

若为零，则进入步骤 511 结束流程。

若当前需要传输的扇区数目不为 0，则进入步骤 507，准备一个扇区的数据以供 DMA 同时传输到两片 FLASH 中；

然后进入步骤 509，开启 DMA 将当前扇区的奇数字节和偶数字节的数据同时并分别写入 FLASH1 和 FLASH2 中；或者，将当前扇区的 512 字节分成前 256 字节和后 256 字节分别送往 FLASH1 和 FLASH2；

然后返回步骤 505，判断当前需要传输的扇区数目是否为 0。

请参阅图 6，读数据流程由步骤 601 从主机接收到读命令开始；

然后进入步骤 603，根据读起始扇区地址求出逻辑块地址：

所述逻辑块地址=逻辑扇区地址/(2\*逻辑块的扇区个数)；

并由逻辑对照表找到所述逻辑块地址对应的物理块地址，所述逻辑对照表有两种建法，可以使每一片 FLASH 建立自己的对照表，也可以两片 FLASH 共用一个表，不过共用一个对照表时，如果有一片 FLASH 的某一个块坏了，则另外一片 FLASH 对应的物理块也要标记成坏块；

然后进入步骤 605，判断当前需要传输的扇区数目是否为 0；

若为零，则进入步骤 611 结束流程。

若当前需要传输的扇区数目不为 0，则进入步骤 607，准备一个扇区的数据以供 DMA 从两片 FLASH 上读取；

然后进入步骤 609，开启 DMA 同时并分别从 FLASH1 和 FLASH2 中读出当前扇区的奇数字节和偶数字节的数据；或者，分别从 FLASH1 和 FLASH2 读取当前扇区的前 256 字节和后 256；

然后返回步骤 605，判断当前需要传输的扇区数目是否为 0。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

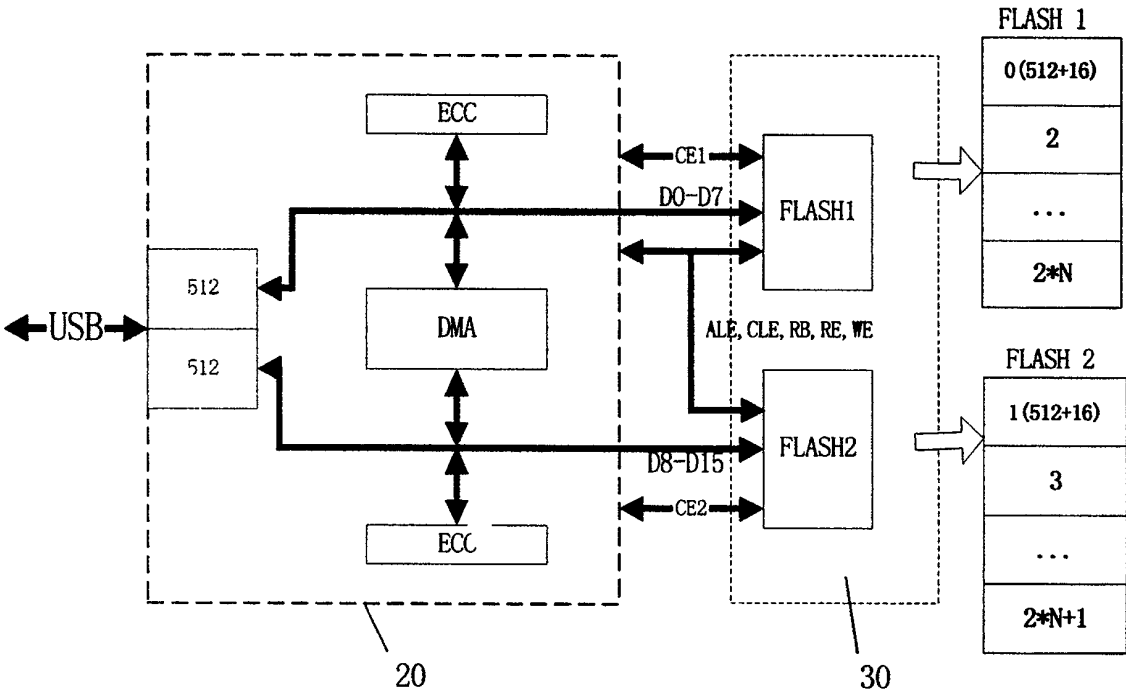


图 1

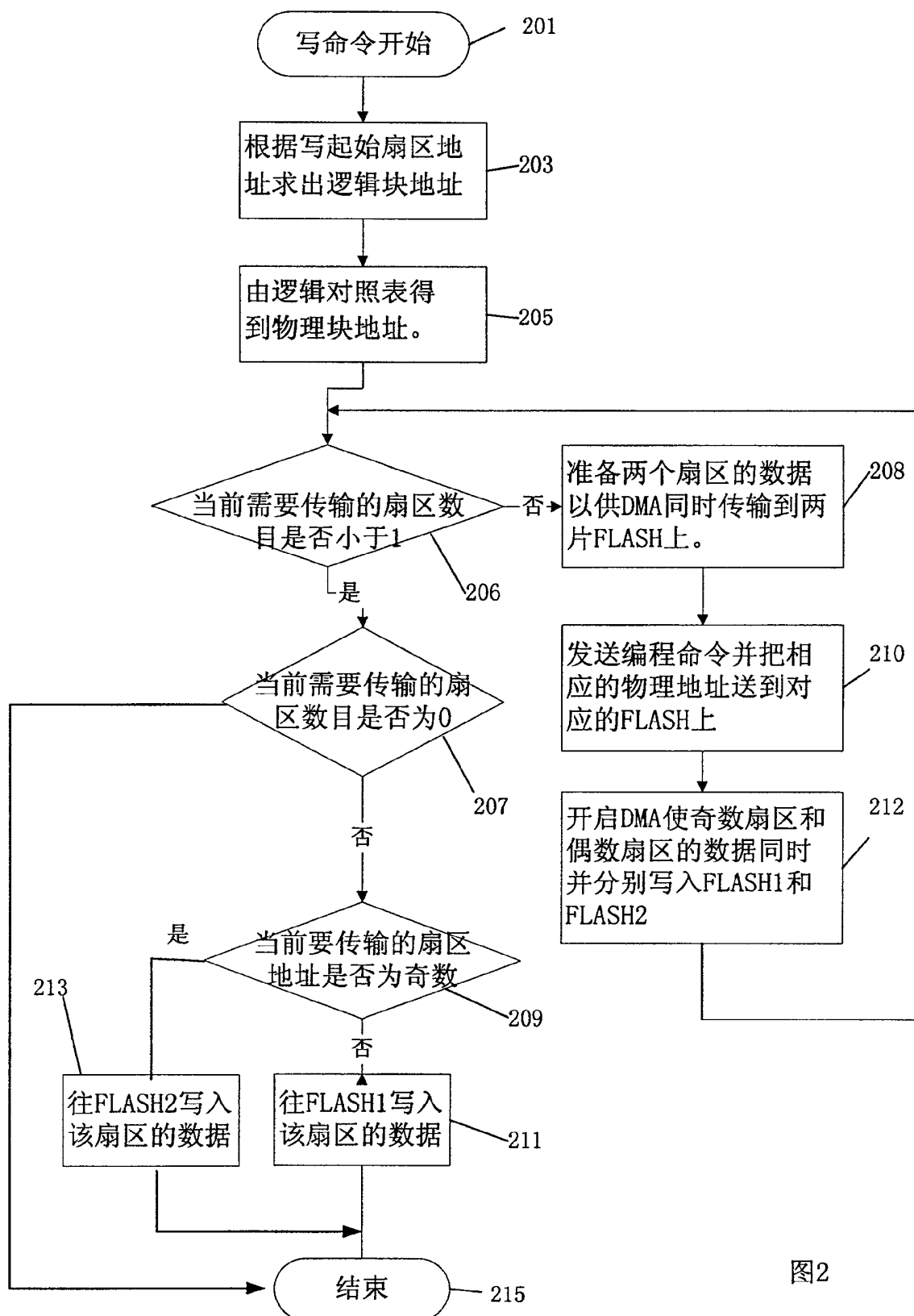


图2



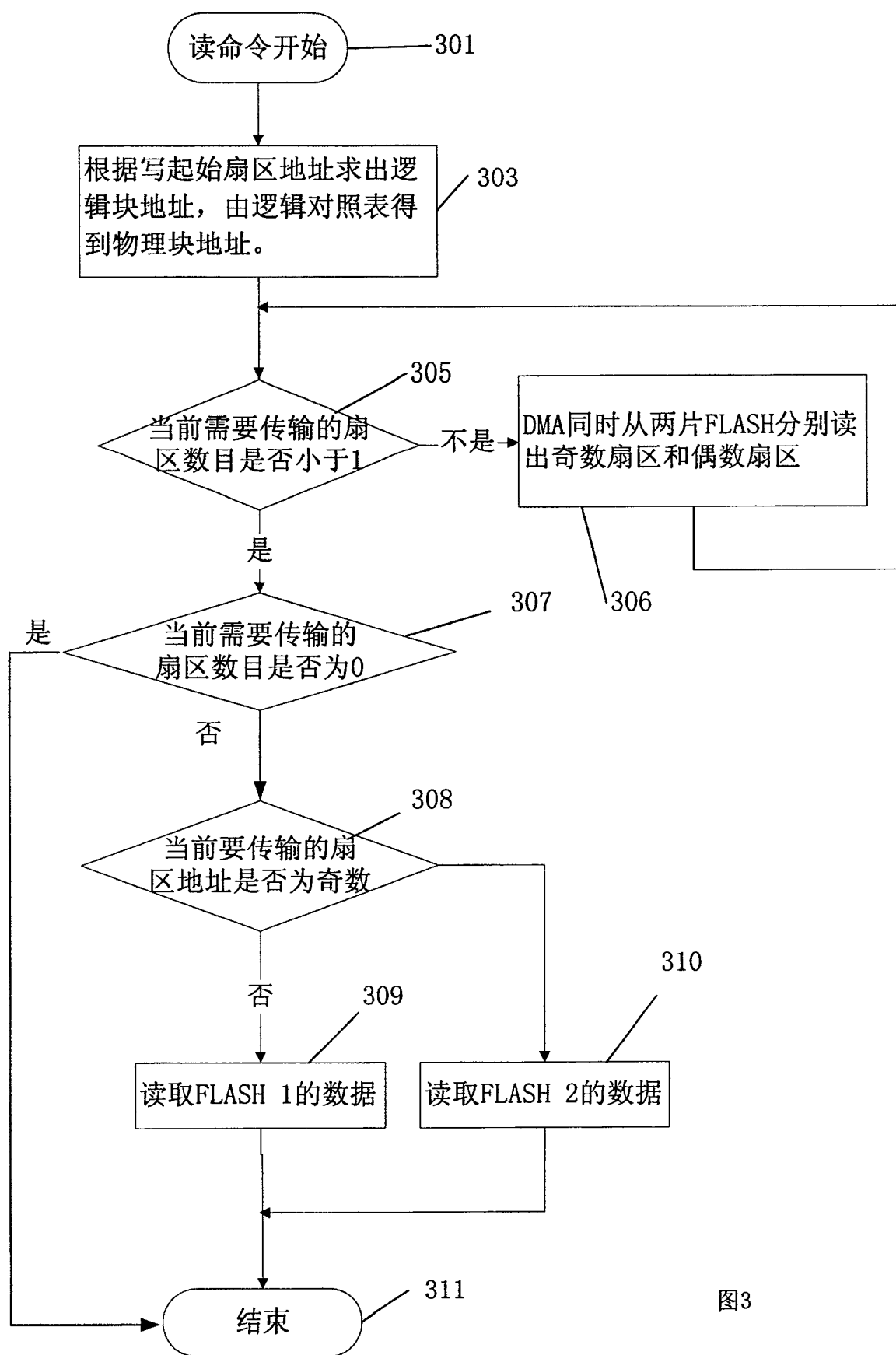


图3

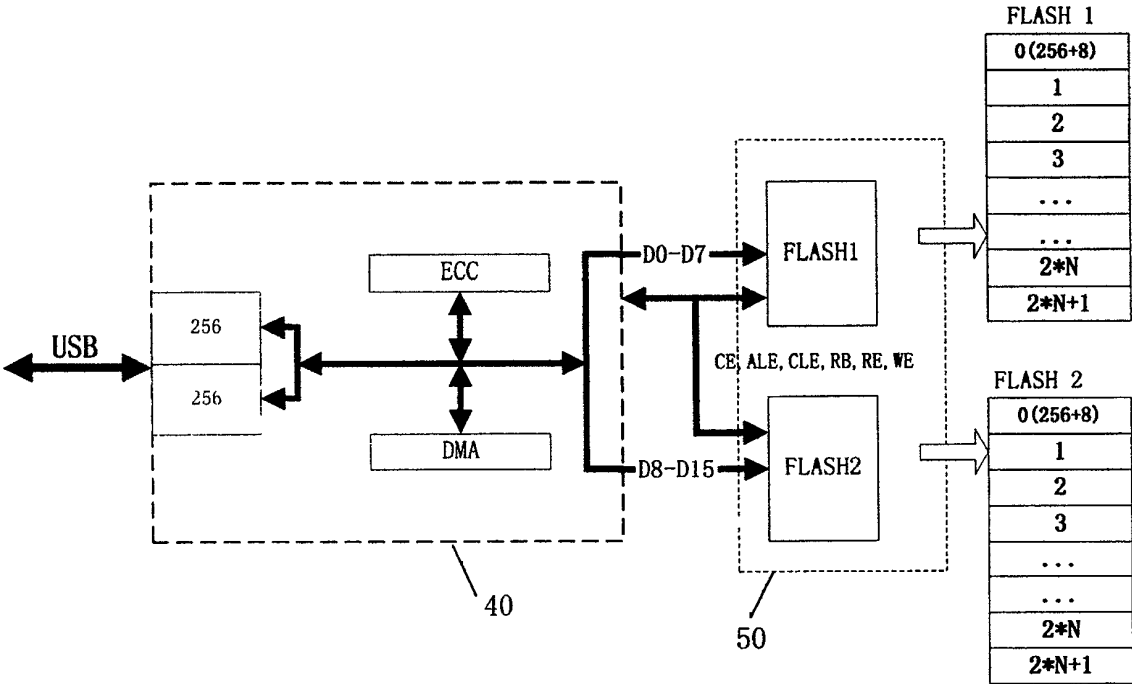
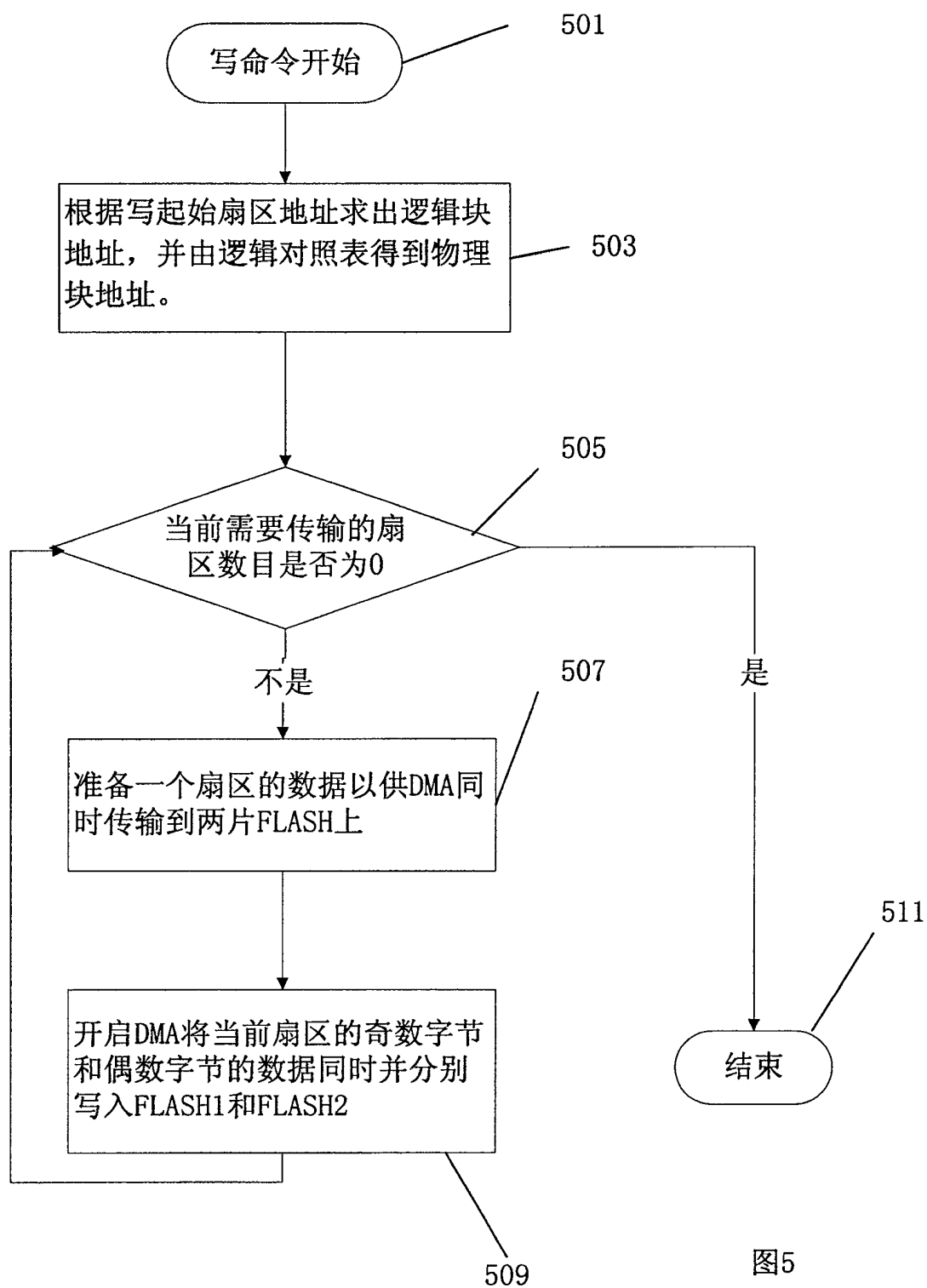


图 4



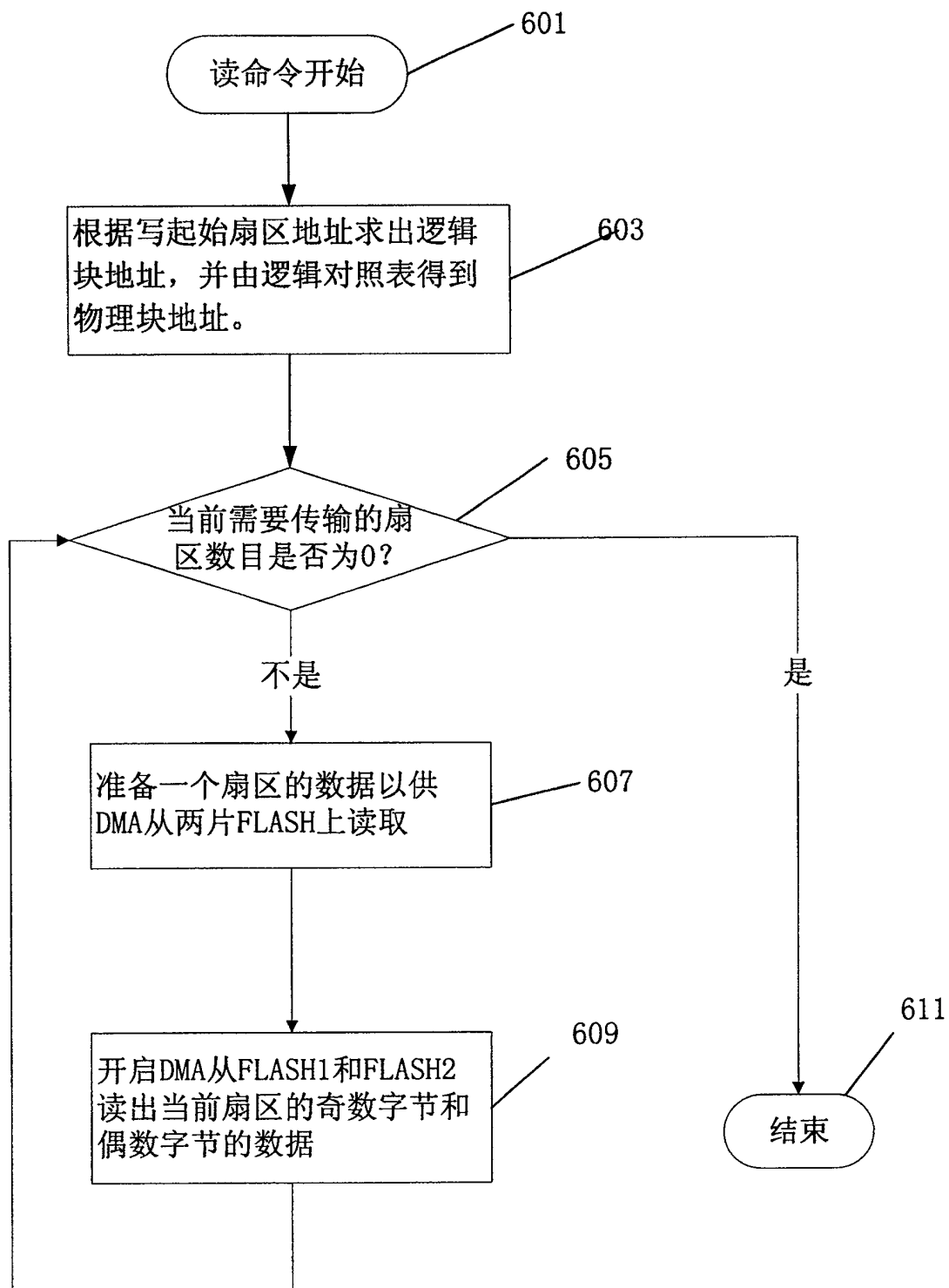


图6