

1 组合逻辑电路

1. 特点:1) 输出是输入的逻辑运算组合, 输出在任何时刻只和输入有关 2) 不具有反馈电路或记忆, 延迟单元, 电路中的信息单向传递

1.1 组合逻辑电路分析

1. 分析步骤: 1) 从每一级写出输入输出
- 2) 写出各个器件的输出函数表达式并合并
- 3) 列逻辑函数的真值表达式
- 4) 分析逻辑功能 (功能可能不是单一的)

1.2 组合逻辑电路设计

为电路分析的逆过程, 有一个目标反推出相应电路

1.3 编码器

用于把输入的信号编成二进制代码, 一般 N 个信号, 至少需要 n 位二进制数来编码 $2^n \geq N$

1.3.1 普通编码器

1.8 线-3 线编码器

输入 8 个信号 (0 7), 输出 3 (2 1 0) 个信号, 且输入信号互斥, 在相同时刻只能由一个信号输入。

输入高电平信号转化为三位的二进制为多少, 则输出对应表现为多少的高电平二进制

1.4 译码器

与编码过程相反, 输入二进制代码, 以标准形式输出特定的高低电平

使能端: 决定整个译码器系统是否工作的输入, 只有满足特定输入时译码器才能工作使用不同的门电路来构建译码器电路时, 使能端也会有所不同

1.4.1 二进制编码器

1.2 线-4 线译码器

2 个输入端, 作为二进制可以表示 0, 1, 2, 3 一共四位, 所以可以有四位标准形式的输出

1) 输出高电平有效

输出高电平有效 0001, 0010, 0100, 1000

2) 输出低电平有效

输出低电平有效 1110, 1101, 1011, 0111

2.3 线-8 线译码器

输出低电平有效 IC74138

三位二进制输入, 可以表示十进制 0, 1, 2, 3, 4, 5, 6, 7 一共八位

分别对应八个输出端的其中一个

使能端: $S_1, \overline{S_2S_3}$, 固定输入 100 时译码器工作, 其余锁死

3. 译码器实现逻辑函数

思路: 译码器可以输出标准形式, 将逻辑函数化为标准形式, 在配合或门或者与门, 就可以使用译码器实现逻辑函数

步骤: 1) 将逻辑函数化为标准形式; 2) 将译码器的输出连接到对应的与, 或门上; 3) 对标准形式进行变换, 可以将与, 或门换为其他门

总结: 1) 高电平有效译码器 + 或门 (最小项) 2) 低电平有效译码器 + 与门最大项 (与非门最小项)

1.4.2 码制变换译码器

将一种进制变换为另一种进制, 例如 IC7447, 4 线-10 线译码器

1.4 线-10 线译码器

输入 8421BCD 码, 输出低电平有效十进制数字 0 9.

1.4.3 显示译码器

1. 七段数码管

利用七段灯的亮灭表示数字, 根据连接方式分为两种

1) 共阴极: 阳极为高电平亮

2) 共阳极: 阴极为低电平亮

2. 显示译码器 7448

七段数码管在使用时, 和译码器配合使用, 译码器作为驱动。

7448: 4 线-7 线, 输出高有效, 驱动共阴极管。

可以通过卡诺图来写出每一个数码管的逻辑函数

1.5 数据选择器

MUX

在输入的多线数据中选择一个作为输出

1.5.1 数据选择器举例

1.4 线-1 线 MUX

输入信号有四个 D_0, \dots, D_3 ; 两个地址信号 A, B ; 使能端 \overline{E}

A, B 以二进制表示选择哪一个信号

2.8 线-1 线 MUX

3 位地址线, 8 位数据线

3. MUX 实现逻辑函数

思路: 查询对应最小项是否为 1。

实现方法: 例如三变量逻辑函数, 选择 8 线-1 线 MUX, 将变量对应连接到地址线, 在逻辑函数对应最小项的数据线输入 1, 其余输入 0; 则在变量输入到对应最小项时, 输出为 1, 其余时刻输出为 0, 符合逻辑函数

1.6 数据分配器

DEMUX

为数据选择器的逆过程

有一个数据输入线， n 个地址线， 2^n 个数据输出线，由地址线决定输入由哪一条输出
将 MUX 和 DEMUX 配合使用，可以得到多路数字开关。

1.7 数值比较器

1.7.1 1 位数值比较器

2 线输入，3 线输出

1. 输入两个一位数字 A, B ；输出 $L (A > B), E(A = B), S(A < B)$
2. 逻辑函数 $L = A\bar{B}, E = A \odot B, S = \bar{A}B$

1.7.2 4 位数值比较器

7485

7 线输入，其中 4 线数字输入，3 线级联输入用来表述低位的大小结果，三线输出
从高位开始比较，若高位能得到大小不同，直接输出，若高位大小相同再比较低位

1.7.3 比较器级联扩展

若要比 8 位数字，使用两个 4 位 7485 比较器串联，将低位片的输出端作为级联输入连接到高位片

输出在高位片输入能区别大小时，低位片输出不作用，高位相等时，低位片输出决定最终结果

1.8 加法器

1.8.1 半加器

进行两位二进制数字的加分，不考虑低位进位。

输入两个二进制数字 A, B ；输出本位 S ，进位 C

逻辑函数 $S = A \oplus B, C = AB$

1.8.2 全加器

考虑来自低位的进位 C_i ，输入两个二进制数字 A, B ，输出本位 S ，进位 C_{i+1}

逻辑函数： $S = A \oplus B \oplus C_i, C_{i+1} = AB + AC_i + BC_i$

在进行多位二进制数字的加法时，每位使用一个全加器，将进位输出连接到更高位的进位输出，构成并行输出，串行进位的加法器但是这种加法器的速度较慢

1.8.3 超前进位加法器

课本 P82，可以实现并行进位的计算

1.9 组合逻辑电路的竞争冒险

1. 竞争: 从输入到输出的途径不同, 延时时间不同, 到达输出端的时间不同, 这种现象为竞争
2. 冒险: 竞争结果导致逻辑电路产生错误输出, 称为冒险或险象

1.9.1 竞争冒险消除方法

- 1, 接入滤波电容
2. 引入取样脉冲
3. 修改设计方案