

## 1 触发器

1. 触发器: 具有记忆功能的基本逻辑单元, 可以储存一位二值信号
2. 特点: 1) 能保持稳定的状态
- 2) 在外加信号的影响下能够改变状态, 而且可以保持新状态

### 1.1 电平触发的触发器

#### 1.1.1 与非门构成的基本 RS 触发器

1. 有两个输入端  $\overline{S}, \overline{R}$ , 前者为置 1 端后者为置 0 端且为低电平有效, 要求  $\overline{S}, \overline{R}$  不能同时为 0. 两个输出端  $Q, \overline{Q}$ 。Q 的状态为触发器的状态。
2.  $\overline{S}, \overline{Q}$  同时为 0 时, 触发器的状态由门的延迟决定, 是不确定状态

#### 1.1.2 触发器逻辑功能的描述方法

- 1) 状态转移真值表: 以输入端和现在的稳定状态为输入, 下一状态的稳定状态为输出
- 2) 状态方程: 由卡诺图化简而成的逻辑函数, 切记要写要求
- 3) 状态转移图: 由图表示的状态转移, 在箭头上写转移的要求
- 4) 激励表: 触发器的状态由上一时刻到下一时刻要求激励输入时什么
- 5) 波形图

#### 1.1.3 或非门组成的基本 RS 触发器

高电平有效

#### 1.1.4 基本 RS 触发器特点

1. 输入信号在所有时间都能改变输出的状态
2. 没有统一的控制信号控制触发器的转换时刻, 为异步时序电路
3. 有输入条件的限制, 存在非法输入

#### 1.1.5 时钟触发器

为了统一动作引入时钟 CLK 作为控制, 只允许在  $CLK = 1$  的时候 Q 发生改变

##### 1. 时钟 RS 触发器

高电平有效, 加入了 CLK 信号作为控制

##### 2. 时钟 D 触发器

使用一个信号 D 同时控制 RS, 还能满足  $RS = 0$  的要求

##### 3. 时钟 JK 触发器

克服了  $RS = 0$  的限制, 增加了反转功能

##### 4. 时钟 T 触发器

仅有反转功能

##### 5. 时钟触发器的特点

- 1) 在整个时钟  $CLK = 1$  的期间, 输入信号都可以影响到输出信号
- 2) 可能出现空翻: 在一个 CLK 期间触发器状态 Q 变化了不止一次

## 1.2 脉冲触发的触发器

### 1.2.1 主从 RS 触发器

要求在每个 CLK 脉冲期间状态只能变化一次, 主从 RS 触发器在正常工作时, 需要一个完整的脉冲周期: 时钟从 0 到 1 再回到 0 才能完成状态的改变

1. 电路: 使用了两个时钟 RS 触发器, 且两个触发器之间的时钟置反, 则只有 CLK 完成 0-1-0 的一个完整脉冲周期, 才能使结果发生改变
2. 下边沿触发器完成次态的转移

### 1.2.2 主从 JK 触发器

1. 解决了输入限制, 增加了反转功能
2. 下边沿触发器完成次态的转移
3. 有直接接入的异步信号  $\bar{S}_D, \bar{R}_D$  输入, 可以无视时钟直接改变触发器的输出状态

### 1.2.3 主从 D 触发器

1. 使用一个信号控制主从 JK 触发器的两个输入, 是主从 JK 触发器中的  $J \neq K$  的部分

### 1.2.4 主从 T 触发器

1. 是主从 JK 触发器中的  $J = K$  的部分, 仅有反转功能

### 1.2.5 一次变化

主从 JK 触发器在  $CLK = 1$  期间, 输入信号若是发生变化, 则会发生一次变化现象, 表现为逻辑关系的破坏, 因此只能在 CLK 窄脉冲触发时使用主从 JK 触发器

### 1.2.6 时序波形图的注意点

1. 异步置 1 端和异步置 0 端优先级高于时钟
2. 如果异步信号无效, 在时钟信号的有效沿按输入信号确定触发器状态。如果时钟有效沿和输入信号的变化同时发生, 取时钟有效沿前的信号确定触发器的状态
3. 如果异步信号从有效变无效的时刻和时钟有效沿重合, 则当前时钟有效沿失效, 按照之前瞬间异步信号确定触发器状态

## 1.3 边沿触发的触发器

希望触发器的次态仅取决于 CLK 的下降沿 (或上升沿) 到达前输入信号的状态, 边沿触发的触发器不要求一个完整的脉冲周期就能实现状态的转换

**1.3.1 维持阻塞 D 触发器**

上升沿有效，输出 D

**1.4 触发器之间的转换**

p112