

1. 假定主存地址为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为 4 个字，每字 32 位，采用回写（Write Back）方式，则能存放 4K 字数据的 Cache 的总容量的位数至少多少？

解析：按字节编址，块大小为 $4 \times 32\text{bit} = 16\text{B} = 24\text{B}$ ，则“字块内地址”占 4 位；能存放 4K 字数据的 Cache 即 Cache 的存储容量为 4K 字节，则 Cache 共有 $1\text{K} = 2^{10}$ 个 Cache 行，则 Cache 字块标记占 10 位；则主存字块标记占 $32 - 10 - 4 = 18$ 位。Cache 的总容量包括：存储容量和标记阵列容量（有效位、标记位、一致性维护位和替换算法控制位）。标记阵列中的有效位和标记位是一定有的，而一致性维护位（脏位）和替换算法控制位的取舍标准是看题眼，题目中，明确说明了采用写回法，则一定包含一致性维护位，而关于替换算法的词眼题目中未提及，所以不予考虑。从而每个 Cache 行标记项包含 $18 + 1 + 1 = 20$ 位，则标记阵列容量为： $2^{10} \times 20$ 位 = 20K 位，存储容量为： $4\text{K} \times 32$ 位 = 128K 位，则总容量为： $128\text{K} + 20\text{K} = 148\text{K}$ 位。

2. 在 SRAM, SDRAM, ROM, FLASH 这些存储器中，在工作期间需要周期性刷新的是？

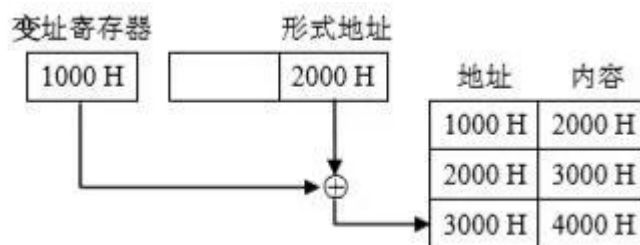
解析：DRAM 使用电容存储，所以必须隔一段时间刷新一次，如果存储单元没有被刷新，存储的信息就会丢失。SDRAM 表示同步动态随机存储器。

3. 假设变址寄存器 R 的内容为 1000H，指令中的形式地址为 2000 H；

地址 1000H 中的内容为 2000H，地址 2000H 中的内容为 3000H，地址 3000H 中的内容为 4000H。则变址寻址方式下访问到的操作数是（ ）

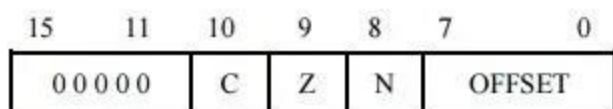
- A. 1000H
B. 2000H
C. 3000H
D. 4000H

解析：根据变址寻址的主要方法，变址寄存器的内容与形式地址的内容相加之后，得到操作数的实际地址，根据实际地址访问内存，获取操作数 4000H。所以选择 **A** 正确



4. 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转

移指令，其格式如下：



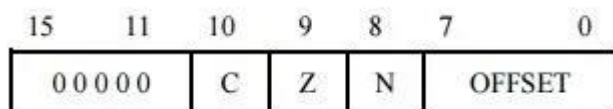
其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则不转移，例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC) + 2 + 2 \times \text{OFFSET}$ ；顺序执行时，下条指令地址为 $(PC) + 2$ 。

请回答下列问题。

(1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？

答：因为指令长度为 16 位，且下条指令地址为 $(PC) + 2$ ，故编址单位是字节。偏移 OFFSET 为 8 位补码，范围为 $-128 \sim 127$ ，故相对于当前条件转移指令，向后最多可跳转 127 条指令。

(2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。



答：指令中 C = 0，Z = 1，N = 1，故应根据 ZF 和 NF 的值来判断是否转移。当 CF=0，ZF=0，NF=1 时，需转移。

已知指令中偏移量为 1110 0011B=E3H，符号扩展后为 FFE3 H，左移一位（乘 2）后为 FFC6 H，故 PC 的值（即转移目标地址）为 $200CH + 2 + FFC6H = 1FD4H$ 。当 CF = 1，ZF = 0，NF = 0 时不转移。PC 的值为： $200CH + 2 = 200EH$ 。

(3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？

答：指令中的 C、Z 和 N 应分别设置为 C=Z=1，N=0。

(4) 以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功能说明。

答：部件①：指令寄存器（用于存放当前指令）；部件②：移位寄存器（用于左移一位）；部件③：加法器（地址相加）

5. 某计算机采用微程序控制器，共有 32 条指令，公共的取指令微程序包含 2

条微指令，各指令对应的微程序平均由 4 条微指令组成，采用断定法（下地址字段法）确定下条微指令地址，则微指令中地址字段的位数至少是（ ）

- A. 5
- B. 6
- C. 8
- D. 9

答：32*4+2=130，27=1288=256，所以至少需要 8 位才能表示完 130 个地址。所以至少需要 8 位才能表示完 130 个地址。所以选择答案 C

6. 某计算机主存地址空间大小为 256 MB，按字节编址。虚拟地址空间大小为 4 GB，采用页 式存储管理，页面大小为 4 KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示。

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 03FF F180H 进行虚实地址变换的结果是（ ）

- A. 015 3180H
- B. 003 5180H
- C. TLB 缺失
- D. 缺页

解析：虚拟地址为 03FF F180H，其中页号为 03FFFH，页内地址为 180H，根据题目中给出的页表项可知页标记为 03FFFH 所对应的页框号为 0153H，页框号与页内地址之和即为物理地址 015 3180 H

7. 今有 4 级流水线，分别完成取指、指令译码并取数、运算、送结果四步操作。

今假设完成各步操作的时间依次为 100ns，100ns，80ns，50ns。请问：

(1)流水线的操作周期应设计为多少？

答：流水操作周期为 $\max(100, 100, 80, 50)=100\text{ns}$

(2)若相邻两条指令发生数据相关，而且在硬件上不采取措施，那么第 2 条指令要推迟多少时间进行？

答：若相邻两条指令发生数据相关，而且在硬件上不采取措施，那么在第 1 条指令“送结果”步骤完成后，第 2 条指令的“取数”步骤才能开始，也就是说，第 2 条指令要推迟两个操作周期，即 200ns 才能进行。

(3) 如果在硬件设计上加以改进，至少需推迟多少时间？

答：如果在硬件设计上加以改进，采用定向传送的技术，则只要第 1 条指令完成“运算”的步骤，第 2 条指令就可以“取数”了，因此至少需推迟 100ns。