Prova Finale (Progetto di Reti Logiche)

Scaglione P-ZZZZ – Prof. Gianluca Palermo – A.A. 2019-2020

Marco Petri (10569751) e Giuseppe Piccirillo (10568059)

Indice

## Tabella dei contenuti

[Introduzione 1](#_Toc34601746)

[Architettura 2](#_Toc34601747)

[2.1 Idle 2](#_Toc34601748)

[2.2 Ask 2](#_Toc34601749)

[2.3 Wait\_mem1 2](#_Toc34601750)

[2.4 Save 2](#_Toc34601751)

[2.5 Ask\_addr 2](#_Toc34601752)

[2.6 Wait\_mem2 2](#_Toc34601753)

[2.7 Analize 2](#_Toc34601754)

[2.8 Enc\_wrt 2](#_Toc34601755)

[2.9 Wait\_mem3 2](#_Toc34601756)

[2.10 Done 2](#_Toc34601757)

[2.11 Wait1 2](#_Toc34601758)

[Risultati sperimentali 4](#_Toc34601759)

[Testing 5](#_Toc34601760)

[Conclusione 6](#_Toc34601761)

# Introduzione

# Architettura

## 2.1 Idle

Lo stato

## 2.2 Ask

Lo stato

## 2.3 Wait\_mem1

Lo stato

## 2.4 Save

Lo stato

## 2.5 Ask\_addr

Lo stato

## 2.6 Wait\_mem2

Lo stato

## 2.7 Analize

Lo stato ANALIZE salva in una variabile il valore da codificare e analizza che tipo di codifica deve essere effettuata.

## 2.8 Enc\_wrt

Lo stato

## 2.9 Wait\_mem3

Lo stato

## 2.10 Done

Lo stato DONE alza il segnale DONE a 1 e aspetta che il segnale di START venga riportato a 0, una volta che START viene riportato a 0 si ha la transizione allo stato WAIT1.

## 2.11 Wait1

Lo stato

rst=1

start=1

start=1

start=1

start=0

start=0

start=0

# Risultati sperimentali

# Testing

# Conclusione