

小テスト解説（２）

(注) 小テストの解説は、Web公開しません。

第 6 回 小テスト

- 問題1
 - メインメモリへのアクセス時間を45ns、キャッシュへのアクセス時間を3ns、ヒット率を0.9としたときの、実効アクセス時間を求めよ。

第 6 回 小テスト

- 問題1
 - メインメモリへのアクセス時間を45ns、キャッシュへのアクセス時間を3ns、ヒット率を0.9としたときの、実効アクセス時間を求めよ。
- 問題1 解答
 - $T_{ea} = 0.9 \times 3 + (1-0.9) \times 45$
 $= 2.7 + 4.5$
 $= 7.2 \text{ (ns)}$

第 6 回 小テスト

- 問題2
 - 以下に示すようなキャッシュがある。
 - ブロック数: $B=4$
 - ダイレクトマッピング方式
 - ここで、メインメモリの第 i ブロックは、
 $j = (i \bmod B)$
を用いて、キャッシュの第 j ブロックにマッピングされる。
 - 以下の順番でブロックをアクセスするときに、キャッシュでミスする回数を求めよ。
 - 0, 1, 2, 0, 1, 2, 4, 4, 4, 0, 1, 2
 - なお、キャッシュの初期状態は空であるものとする。(すなわち、初期状態においては、必ずミスが発生することになる。)

第 6 回 小テスト

- 問題2 解答
 - ミスの回数 : 5回

アクセスブロック	0	1	2	0	1	2	4	4	4	0	1	2
キャッシュブロック 0	BK	BK	BK	BK	BK	BK	BK	BK	BK	BK	BK	BK
キャッシュブロック 1	空	1	1	1	1	1	1	1	1	1	1	1
キャッシュブロック 2	空	空	BK	BK	BK	BK	BK	BK	BK	BK	BK	BK
キャッシュブロック 3	空	空	2	2	2	2	2	2	2	2	2	2

第 7 回 小テスト

- 問題1
 - 以下に示すようなページングを用いた仮想記憶方式がある。ページテーブルのエントリ数を求めよ。
 - 仮想アドレス : 36ビット
 - ページサイズ : 8Kバイト
 - エントリのサイズ : 4バイト

第7回 小テスト

- 問題1
 - 以下に示すようなページングを用いた仮想記憶方式がある。ページテーブルのエントリ数を求めよ。
 - 仮想アドレス : 36ビット
 - ページサイズ : 8Kバイト
 - エントリのサイズ : 4バイト
- 問題1 解答
 - 仮想空間のサイズ : 2^{36}
 - ページサイズ : $8K = 2^{13}$
 - よって、
 - ページテーブルのエントリ数 : $2^{36} / 2^{13} = 2^{23}$

第7回 小テスト

- 問題2
 - 以下に示すようなページングを用いた仮想記憶方式がある。ページテーブルのサイズを求めよ。
 - 仮想アドレス : 36ビット
 - ページサイズ : 8Kバイト
 - エントリのサイズ : 4バイト

第7回 小テスト

- 問題2
 - 以下に示すようなページングを用いた仮想記憶方式がある。ページテーブルのサイズを求めよ。
 - 仮想アドレス : 36ビット
 - ページサイズ : 8Kバイト
 - エントリのサイズ : 4バイト
- 問題2 解答
 - 仮想空間のサイズ : 2^{36}
 - ページサイズ : $8K = 2^{13}$
 - よって、
 - ページテーブルのエントリ数 : $2^{36} / 2^{13} = 2^{23}$
 - ページテーブルのサイズ : $4 \times 2^{23} = 2^{25} = 32M$ バイト

第7回 小テスト

- 問題3
 - 実メモリが4個のページで構成されている仮想メモリシステムがあるものとする。
 - 以下に示される順番で仮想ページが参照された場合の、ページフォールトの発生回数を求めよ。
 - なお、ページ置換アルゴリズムはLRU (Least Recently Used)を用い、初期状態において、実メモリには何も格納されていない(すなわち、初期状態においては、必ずページフォールトが発生することになる)ものとする。
 - 参照ページ番号 : 1 2 3 4 1 2 5 6 1 2 5 6 1 2 3 4

第7回 小テスト

- 問題3 解答
 - ページフォールト : 8回

参照 ページ番号	1	2	3	4	1	2	5	6	1	2	5	6	1	2	3	4
ページ1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
ページ2		2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
ページ3			3	3	3	3	5	5	5	5	5	5	5	5	3	3
ページ4				4	4	4	4	6	6	6	6	6	6	6	6	4

第8回 小テスト

- 問題1
 - 5段の命令パイプラインを用いたアーキテクチャが、パイプライン処理なしに比べて4.9倍以上の性能向上を得るためには、パイプラインに何個の命令を投入する必要があるか。

第8回 小テスト

- ▶ 問題1
 - ▶ 5段の命令パイプラインを用いたアーキテクチャが、パイプライン処理なしに比べて4.9倍以上の性能向上を得るためには、パイプラインに何個の命令を投入する必要があるか。
- ▶ 問題1 解答
 - ▶ 速度性能向上の度合Pは

$$P = S_N / S_P = (DM) / (D + M - 1)$$
 と表されるので、

$$P = (5M) / (5 + M - 1) \geq 4.9$$

$$5M \geq 4.9 (5 + M - 1)$$

$$0.1M \geq 19.6$$

$$M \geq 196$$

13

第8回 小テスト

- ▶ 問題2～問題4
 - ▶ 以下の記述は、パイプライン処理におけるハザードについて説明したものである。該当するハザードの名称を選択せよ。
- ▶ 問題2
 - ▶ [説明文]

先行命令がデータを書き込んでいないのに、後続命令がデータを書き込もうとする状態。
- ▶ 問題3
 - ▶ [説明文]

分岐命令に起因して、新たに命令をフェッチしなおさなければならないような状態。
- ▶ 問題4
 - ▶ [説明文]

複数の命令が、ある特定のメモリやレジスタなどを、同時に使用しなければならないような状態。

14

第8回 小テスト

- ▶ 問題2～問題4
 - ▶ 以下の記述は、パイプライン処理におけるハザードについて説明したものである。該当するハザードの名称を選択せよ。
- ▶ 問題2 解答
 - ▶ [説明文] (解答)データハザード

先行命令がデータを書き込んでいないのに、後続命令がデータを書き込もうとする状態。
- ▶ 問題3 解答
 - ▶ [説明文] (解答)制御ハザード

分岐命令に起因して、新たに命令をフェッチしなおさなければならないような状態。
- ▶ 問題4 解答
 - ▶ [説明文] (解答)構造ハザード

複数の命令が、ある特定のメモリやレジスタなどを、同時に使用しなければならないような状態。

15

第8回 小テスト

- ▶ 問題5、問題6
 - ▶ 以下の記述は、パイプライン処理におけるハザードの解決方法について説明したものである。どのようなハザードに対して有効であると考えられるか、該当するハザードの名称を選択せよ。
- ▶ 問題5
 - ▶ [説明文]

分岐の有無を予測して処理を進め、予測がはずれた場合には、分岐命令以降に投入した命令を破棄する。
- ▶ 問題6
 - ▶ [説明文]

先行命令における実行結果を、後続命令の実行ステージに直接供給する。

16

第8回 小テスト

- ▶ 問題5、問題6
 - ▶ 以下の記述は、パイプライン処理におけるハザードの解決方法について説明したものである。どのようなハザードに対して有効であると考えられるか、該当するハザードの名称を選択せよ。
- ▶ 問題5 解答
 - ▶ [説明文] (解答)制御ハザード

分岐の有無を予測して処理を進め、予測がはずれた場合には、分岐命令以降に投入した命令を破棄する。
- ▶ 問題6 解答
 - ▶ [説明文] (解答)データハザード

先行命令における実行結果を、後続命令の実行ステージに直接供給する。

17

第9回 小テスト

- ▶ 問題1
 - ▶ 2並列6ステージからなる命令パイプラインを用いたアーキテクチャが、100命令を実行するためには、何クロック期間(何ステージ期間)必要となるか。

18

第9回 小テスト

- ▶ 問題1
 - ▶ 2並列6ステージからなる命令パイプラインを用いたアーキテクチャが、100命令を実行するためには、何クロック期間(何ステージ期間)必要となるか。
- ▶ 問題1 解答
 - ▶ $S_{PL}=6+(100-2)/2=55$ (ステージ)

19

第9回 小テスト

- ▶ 問題2
 - ▶ VLIWのような静的な複数命令発行において、命令スケジューリングを主体的に行うものは、以下の中のどれであるか。選択肢の中から一つ選べ。
- ▶ 問題3
 - ▶ スーパースカラのような動的な複数命令発行において、命令スケジューリングを主体的に行うものは、以下の中のどれであるか。選択肢の中から一つ選べ。

【選択肢】
 オペレーティングシステム
 コンパイラ
 ハードウェア
 プログラマ
 システムエンジニア

20

第9回 小テスト

- ▶ 問題2 解答
 - ▶ VLIWのような静的な複数命令発行において、命令スケジューリングを主体的に行うものは、以下の中のどれであるか。選択肢の中から一つ選べ。 (解答)コンパイラ
- ▶ 問題3 解答
 - ▶ スーパースカラのような動的な複数命令発行において、命令スケジューリングを主体的に行うものは、以下の中のどれであるか。選択肢の中から一つ選べ。 (解答)ハードウェア

【選択肢】
 オペレーティングシステム
 コンパイラ
 ハードウェア
 プログラマ
 システムエンジニア

21

第9回 小テスト

- ▶ 問題4
 - ▶ VLIWとスーパースカラでは、一般に、どちらの方がハードウェアの構築が簡単であるか。
- ▶ 問題5
 - ▶ VLIWとスーパースカラにおいて、プロセッサごとにコンパイラ方法を変える必要がある(プロセッサごとにコンパイラ方法を変える必要があるかもしれない)のはどちらか。

22

第9回 小テスト

- ▶ 問題4 解答
 - ▶ VLIWとスーパースカラでは、一般に、どちらの方がハードウェアの構築が簡単であるか。 (解答)VLIW
- ▶ 問題5 解答
 - ▶ VLIWとスーパースカラにおいて、プロセッサごとにコンパイラ方法を変える必要がある(プロセッサごとにコンパイラ方法を変える必要があるかもしれない)のはどちらか。 (解答)VLIW

23

第10回 小テスト

- ▶ 問題1～問題3
 - ▶ ある処理を、単一プロセッサによって処理した場合の実行時間をSとする。いま、上記処理における並列化できない処理の割合をaとしたとき(ここで、aは、0以上1以下である)、上記処理をN個のプロセッサで並列に処理した場合の実行時間Mは、以下の式のように表わすことができる。式中の(ア)～(ウ)に適切な値を、それぞれ選択肢の中から一つ選び、問題1～問題3の解答として答えよ。

$$M=((ア)) \times S + ((イ)) \times (S / (ウ))$$

24

第10回 小テスト

- 問題1～問題3 解答
 - ある処理を、単一プロセッサによって処理した場合の実行時間をSとする。いま、上記処理における並列化できない処理の割合をaとしたとき(ここで、aは、0以上1以下である)、上記処理をN個のプロセッサで並列に処理した場合の実行時間Mは、以下の式のように表わすことができる。式中の(ア)～(ウ)に適切な値を、それぞれ選択肢の中から一つ選び、問題1～問題3の解答として答えよ。
 - M=(**ア**)×S+(**1-**ア****)×(S/**ウ**)

第10回 小テスト

- 問題4
 - いま、対象とする処理は、その10%が並列化できない処理であるものとする。この処理に対して、並列処理により、単一のプロセッサに比べて8倍以上の高速化を実現するためには、何台以上のプロセッサを用いる必要があるか。
なお、解答は、整数2桁で答えること。また、すべて半角で入力すること。(計算結果が小数部を含む場合には、小数点以下を四捨五入して答えること。)

第10回 小テスト

- 問題4
 - いま、対象とする処理は、その10%が並列化できない処理であるものとする。この処理に対して、並列処理により、単一のプロセッサに比べて8倍以上の高速化を実現するためには、何台以上のプロセッサを用いる必要があるか。
なお、解答は、整数2桁で答えること。また、すべて半角で入力すること。(計算結果が小数部を含む場合には、小数点以下を四捨五入して答えること。)

- 問題4 解答
$$S_N = \frac{N}{1+(N-1)\alpha} \geq 8.0$$
$$N \geq 8 \cdot \{1+(N-1) \cdot 0.1\}$$
$$0.2N \geq 7.2$$
$$\therefore N \geq 36$$

第10回 小テスト

- 問題5
 - バス結合型並列アーキテクチャにおける、キャッシュとメインメモリ間、キャッシュ間のコヒーレンスを保つための方法を以下に示す。この方法は、一般に何と呼ばれる手法であるか。適切な名称を、選択肢の中から一つ選べ。
 - (方法)
あるキャッシュブロックに書き込みが行われた場合には、共有メモリにも、即座に書き込みを行う。
また、書き込まれたキャッシュブロックを共有している他のキャッシュでは、該当するキャッシュブロックを更新する。
 - (選択肢)
 - ライト・スルー・インバリデイト
 - ライト・スルー・アップデイト
 - ライト・バック・インバリデイト
 - ライト・バック・アップデイト

第10回 小テスト

- 問題5 解答
 - バス結合型並列アーキテクチャにおける、キャッシュとメインメモリ間、キャッシュ間のコヒーレンスを保つための方法を以下に示す。この方法は、一般に何と呼ばれる手法であるか。適切な名称を、選択肢の中から一つ選べ。
 - (方法)
あるキャッシュブロックに書き込みが行われた場合には、共有メモリにも、即座に書き込みを行う。
また、書き込まれたキャッシュブロックを共有している他のキャッシュでは、該当するキャッシュブロックを更新する。
 - (選択肢)
 - ライト・スルー・インバリデイト
 - ライト・スルー・アップデイト **○**
 - ライト・バック・インバリデイト
 - ライト・バック・アップデイト

第10回 小テスト

- 問題5
 - バス結合型並列アーキテクチャにおける、キャッシュとメインメモリ間、キャッシュ間のコヒーレンスを保つための方法を以下に示す。この方法は、一般に何と呼ばれる手法であるか。適切な名称を、選択肢の中から一つ選べ。
 - (方法)
あるキャッシュブロックに書き込みが行われた場合には、そのキャッシュブロックが追い出されることになったときに、そのキャッシュブロックを共有メモリに転送する。
また、書き込まれたキャッシュブロックを共有している他のキャッシュでは、該当するキャッシュブロックを即座に無効化する。
 - (選択肢)
 - ライト・スルー・インバリデイト
 - ライト・スルー・アップデイト
 - ライト・バック・インバリデイト
 - ライト・バック・アップデイト

第10回 小テスト

- ▶ 問題5
 - ▶ バス結合型並列アーキテクチャにおける、キャッシュとメインメモリ間、キャッシュ間のコヒーレンスを保つための方法を以下に示す。この方法は、一般に何と呼ばれる手法であるか。適切な名称を、選択肢の中から一つ選べ。
 - ▶ (方法)
あるキャッシュブロックに書き込みが行われた場合には、そのキャッシュブロックが追い出されることになったときに、そのキャッシュブロックを共有メモリに転送する。
また、書き込まれたキャッシュブロックを共有している他のキャッシュでは、該当するキャッシュブロックを即座に無効化する。
 - ▶ (選択肢)
 - ▶ ライト・スルー・インバリデイト
 - ▶ ライト・スルー・アップデート
 - ▶ ライト・バック・インバリデイト ○
 - ▶ ライト・バック・アップデート

31

第11回 小テスト

- ▶ 問題1～問題5
 - ▶ 以下の記述は、ある語句について説明したものである。該当する語句を選択せよ。
- ▶ 問題1
 - ▶ [説明文]
「連続的に行う複数の演算を独立に実行することができるようなハードウェア」を装備し、複数の対象データを少しずつずらして同時並行的に実行する処理方式。この処理方式を用いることにより、大量均質データに対する同一演算シーケンスを高速に処理することができる。
- ▶ 問題2
 - ▶ [説明文]
演算パイプライン処理を装備し、大量均質データに対する同一演算シーケンスの高速処理を可能とするコンピュータ。

32

第11回 小テスト

- ▶ 問題1～問題5
 - ▶ 以下の記述は、ある語句について説明したものである。該当する語句を選択せよ。
- ▶ 問題1 解答
 - ▶ [説明文] (解答) [演算パイプライン処理](#)
「連続的に行う複数の演算を独立に実行することができるようなハードウェア」を装備し、複数の対象データを少しずつずらして同時並行的に実行する処理方式。この処理方式を用いることにより、大量均質データに対する同一演算シーケンスを高速に処理することができる。
- ▶ 問題2 解答
 - ▶ [説明文] (解答) [ベクトルコンピュータ](#)
演算パイプライン処理を装備し、大量均質データに対する同一演算シーケンスの高速処理を可能とするコンピュータ。

33

第11回 小テスト

- ▶ 問題3
 - ▶ [説明文]
トランジスタの集積度は、18カ月～24カ月で2倍になるという経験則。
- ▶ 問題4
 - ▶ [説明文]
物理的な1つのコアを、論理的な2つのコアのふりをさせる技術であり、インテル社のプロセッサに搭載されている。OSは、1コアに、2つのスレッドを同時にスケジューリングすることが可能となる。
- ▶ 問題5
 - ▶ [説明文]
タブレットPCやスマートフォンで多く用いられているRISC CPUのアーキテクチャ。Qualcomm社やNVIDIA社など多くの企業において、このアーキテクチャをベースにしたCPUが開発されている。

34

第11回 小テスト

- ▶ 問題3 解答
 - ▶ [説明文] (解答) [ムーアの法則](#)
トランジスタの集積度は、18カ月～24カ月で2倍になるという経験則。
- ▶ 問題4 解答
 - ▶ [説明文] (解答) [ハイパースレッディング](#)
物理的な1つのコアを、論理的な2つのコアのふりをさせる技術であり、インテル社のプロセッサに搭載されている。OSは、1コアに、2つのスレッドを同時にスケジューリングすることが可能となる。
- ▶ 問題5 解答
 - ▶ [説明文] (解答) [ARMアーキテクチャ](#)
タブレットPCやスマートフォンで多く用いられているRISC CPUのアーキテクチャ。Qualcomm社やNVIDIA社など多くの企業において、このアーキテクチャをベースにしたCPUが開発されている。

35