

ベクトルコンピュータ

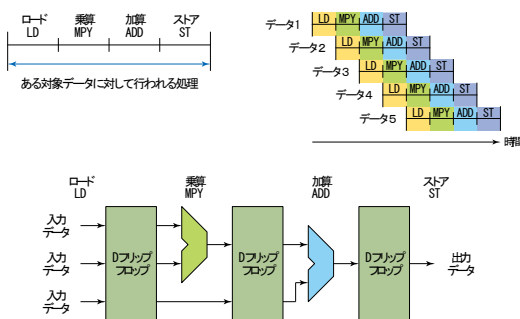
1

演算パイプライン処理とは

- ▶ 演算パイプライン処理方式
 - ▶ 連続的に行う複数の演算を、独立に実行することができるようなハードウェアを装備する。
 - ▶ そして、これらのハードウェアを使用して、複数の対象データに対する処理を、少しずつずらして、同時並行的に実行する。

2

演算パイプライン処理の概念



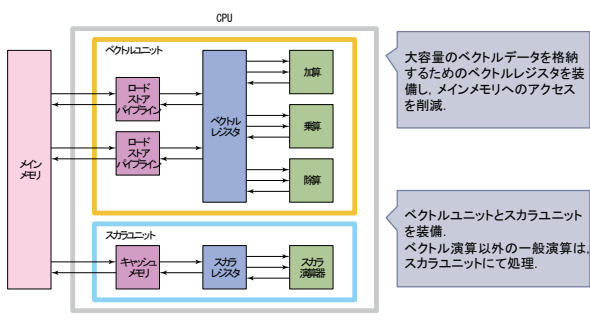
3

ベクトルコンピュータとは

- ▶ 科学技術計算には、2つの配列の対応する各要素に対して、加減算や乗除算を行うものが多い。
- ▶ このような大量均質データに対する同一演算シーケンスは、演算パイプライン処理により高速に処理することができる。
- ▶ 上記大量均質データをベクトルデータと呼ぶ。
- ▶ また、演算パイプライン処理を用いて、ベクトルデータ処理の高速化を図ったコンピュータを、ベクトルコンピュータと呼ぶ。
- ▶ ベクトルコンピュータは、スーパーコンピュータの代表的なアーキテクチャである。

4

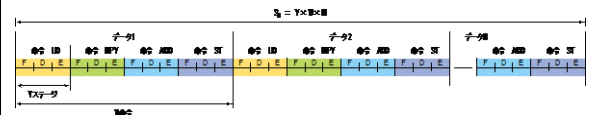
ベクトルコンピュータの概略構成



5

演算パイプライン処理の性能（1）

- ▶ 命令パイプライン処理なし・演算パイプライン処理なし



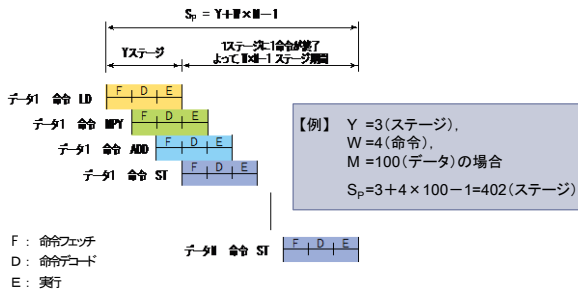
F: 命令フェッチ
D: 命令デコード
E: 実行

【例】 $Y = 3$ (ステージ), $W = 4$ (命令), $M = 100$ (データ) の場合
 $S_N = 3 \times 4 \times 100 = 1200$ (ステージ)

6

演算パイプライン処理の性能 (2)

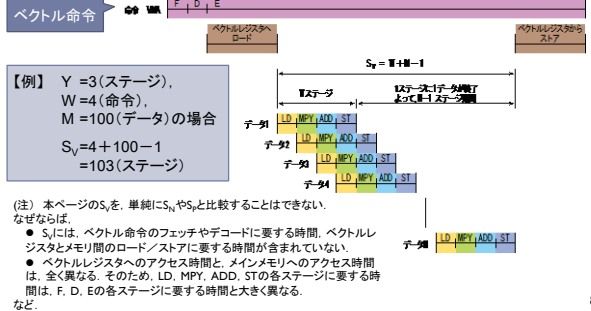
命令パイプライン処理あり



7

演算パイプライン処理の性能 (3)

演算パイプライン処理あり



8

演習問題

問題1

- ベクトルコンピュータでは、演算の高速化を実現するために、どのようなアーキテクチャ上の工夫を行っているのかを説明せよ。

9

現代のプロセッサ

10

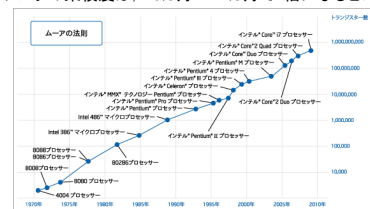
現代のプロセッサを支える技術

- 現代のプロセッサを支える主要な技術
 - 半導体集積技術
 - マルチコア技術
 - 省電力技術
 - など

11

半導体集積技術

- プロセッサを構成するトランジスタ数
 - インテル 4004マイクロプロセッサ (1971) : 2,300個
 - インテル core i7 (2008) : 7億7400万個
- ムーアの法則
 - トランジスタの集積度は、18ヵ月～24ヵ月で2倍になるという経験則。



12

マルチコア技術

- ▶ マルチコア技術
 - ▶ プロセッサに複数の実行コア (実際に命令を実行する回路) を搭載する技術のこと。
 - ▶ 実行コアを単純に高速化しようすると消費電力が増大してしまうが、消費電力と処理性能のバランスがとれた複数の実行コアを搭載することにより、マイクロプロセッサ全体の消費電力を増やすことなく、トータルの処理性能を高めることができる。
 - ▶ マルチコア技術は、複数のタスクを同時に実行するマルチタスク性能を飛躍的に向上させる。

13

省電力技術

- ▶ 省電力技術
 - ▶ 使用していない回路を積極的に止めることにより、プロセッサ全体の消費電力を最小限に抑える。
 - ▶ 動作不要の周辺機器の電源をオフにすることにより、システム全体における消費電力を削減する。
 - ▶ AC電源動作時には最高性能で動作させるが、バッテリー駆動時には動作周波数と駆動電圧を下げることでバッテリーの持続時間を向上させる。

14

現代のプロセッサ (パソコン用)

- ▶ 多くのパソコンでは、インテル社が開発したx86系のCPUが使用されている。
 - ▶ intel
 - ▶ Core i7 / i5 / i3など
 - ▶ AMD
 - ▶ Phenom, Athlonなど

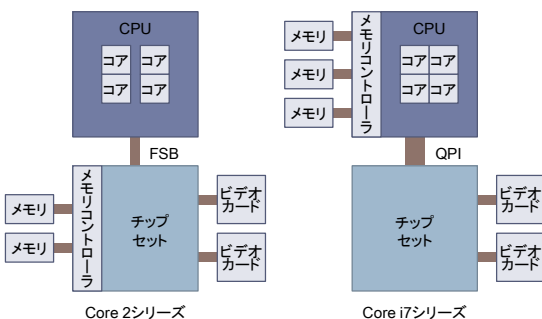
15

Core i7

- ▶ 特長
 - ▶ メモリコントローラ内蔵
 - ▶ 高速システムバス
 - ▶ 高性能キャッシュ
 - ▶ ハイバースレディング
 - ▶ 自動オーバークロック
 - ▶ ループストリームディテクタなど

16

Core i7 接続図



17

Core i7 メモリコントローラ内蔵

- ▶ メモリコントローラをCPUに搭載
 - ▶ チップセットに搭載されていたメモリコントローラをCPUに搭載することにより、低遅延でのメモリアクセスが可能。
 - ▶ メモリアクセスの性能がシステムバスの帯域に左右されることなく、高速メモリのパフォーマンスをフルに発揮可能。
 - ▶ DDR3-1066をサポートすることにより、25.6GB/sのメモリ帯域を確保。(トリプルチャンネル同時アクセスの際の理論値)

(注) DDR3 SDRAM (Double-Data-Rate3 Synchronous Dynamic Random Access Memory)
半導体集積回路で構成されるDRAMの規格の一種

18

Core i7
高速システムバス

- ▶ 高速システムバス
 - ▶ システムバスにQPI(Quick Path Interconnect)という高速バスを採用。
 - ▶ QPIは、シリアルバスの技術を取り入れており、少ない信号線で高速なデータ転送を可能とする。
 - ▶ Core i7では19.2GB/sの帯域幅をサポートしている。

Core i7
高性能キャッシュ

- ▶ 3階層のキャッシュ構造
 - ▶ 各コアに、1次キャッシュ(命令32KB+データ32KB)と、2次キャッシュ(256KB)を内蔵。
 - ▶ 4コアで共有する3次キャッシュ(8MB)を搭載。

Core i7
ハイパースレッディング (Hyper-Threading)

- ▶ ハイパースレッディング
 - ▶ 物理的な1つのコアを、論理的な2つのコアのふりをさせる技術。
 - ▶ OSは、1コアに、2つのスレッドを同時にスケジューリングすることが可能となる。
 - ▶ コア内部には、命令パイプライン化により、各種回路が多重化されているため、それらを活かして2つのスレッドを同時に処理することを意図した技術。
- (注) スレッド
CPUを利用するための、処理の分割の単位。

Core i7
自動オーバークロック

- ▶ 自動オーバークロック機能(Turbo Boost)
 - ▶ CPUの動作条件(電流、電力、温度)に余裕がある場合に、その余裕の範囲内で、動作中のコアの動作クロックを上昇させる。
 - ▶ 上記制御を行うために、CPUコアとは独立してPCU(Power Control Unit)というマイクロコントローラを実装している。
 - ▶ PCUは、4つのコアそれぞれの電流、電力、温度の状態をリアルタイムで監視し、コアの省電力機能の制御やオーバークロックできるか否かの判断を行う。

Core i7
ループストリームディテクター

- ▶ ループストリームディテクター(LSD)
 - ▶ ループストリームディテクターとは、LSDは何度も繰り返し実行される命令を見付けて保持するバッファである。頻繁に使用する命令を、プロセッサの深部にキャッシュする機能を実現する。
 - ▶ Core i7では、LSDを命令デコーダの後ろに配置転換している。これがある機能した場合、分岐予測、フェッチに加えて、デコードの手間も省けるため、より高い性能向上と電力削減効果が得られる。

PC用プロセッサ 仕様例 (1)
Core i7 (Ivy Bridge)

仕様概略	
コードネーム	Ivy Bridge (第3世代 Core i7)
プロセスルール	28nm
トランジスタ構造	Tri-Gate (トライゲート)トランジスタ
コア数(スレッド数)	4(8)
クロック周波数	～3.5GHz (最大3.9GHz)
メモリ幅	Dual Channel DDR3-1600
GPU	HD 4000
省電力	コアごとにクロックを独立制御

- (注) プロセス・ルール：集積回路をウェハーに製造するプロセス条件をいい、最小加工寸法を用いて表す
- (注) Tri-Gate トランジスタ：3次元構造を取り入れてリーク電流を抑えることにより、消費電力を低減化したトランジスタ
- (注) DDR SDRAM：Double DataRate SDRAM

PC用プロセッサ 仕様例（２）
Core i7（Ivy Bridge）

仕様概略	
同時デコード数	4
パイプライン	16ステージ
同時命令発行数(最大)	6
命令実行ポート数	6
アウトオブオーダー実行	Yes
L1キャッシュ	命令32KB+データ32KB(各コア)
L2キャッシュ	256KB(各コア)
L3キャッシュ	8MB(共有)

25

現代のプロセッサ（タブレット，スマートフォン用）

- ▶ 多くのタブレット，スマートフォンでは，ARM社が開発したARM系のCPUが使用されている。
 - ▶ Qualcomm(クアルコム)
 - ▶ Snapdragon(スナップドラゴン)など
 - ▶ NVIDIA(エヌビディア)
 - ▶ Tegra(テグラ)など
 - ▶ TI(テキサス・インスツルメンツ)
 - ▶ OMAP(オーマップ)など
 - ▶ Apple
 - ▶ A4など

26

スマートフォン用プロセッサ 仕様例（１）
Snapdragon S4（MSM8960 with Krait）

仕様概略	
型名	MSM8960
プロセスルール	28nm
命令セット	ARMv7(32ビット固定長)
CPU	通常1.5GHz(最大2.5GHz) Dual-Core Krait(クライト)
メモリ幅	Dual Channel (2×32bits) 500MHz LPDDR2
GPU	Adreno 225
省電力	コアごとにクロックと電源電圧を独立制御

(注) LPDDR SDRAM : Low-Power Double DataRate SDRAM

27

スマートフォン用プロセッサ 仕様例（２）
Snapdragon S4（MSM8960 with Krait）

仕様概略	
同時デコード数	3
パイプライン	11ステージ
同時命令発行数(最大)	4
命令実行ポート数	7
アウトオブオーダー実行	Yes
L1キャッシュ	4KB + 4KB direct mapping
L2キャッシュ	16KB + 16KB 4-way set associative mapping
L3キャッシュ	1 MB 8-way set associative mapping

28

現代のプロセッサ（ゲーム機用）

- ▶ Wii
 - ▶ IBM
 - ▶ Broadway(ブロードウェイ)
- ▶ Xbox360
 - ▶ IBM
 - ▶ Xenon(ゼノン)
- ▶ PS3
 - ▶ SONY+IBM+東芝
 - ▶ Cell Broadband Engine(セル・ブロードバンド・エンジン)
略称 Cell(セル)

29

ゲーム機用プロセッサ 仕様例（１）
Broadway

仕様概略	
ベースアーキテクチャ	PowerPC G3 750CL
プロセスルール	90nm
クロック周波数	729MHz

(注) 仕様の詳細は非公開

30

ゲーム機用プロセッサ 仕様例（２）
Xenon

仕様概略	
アーキテクチャ	PowerPCをベース
プロセスルール	65nm
命令セット	PowerPCの命令セットアーキテクチャをベース
コア数(スレッド数)	3(6)
クロック周波数	3.2GHz
L1キャッシュ	命令32KB+データ32KB(各コア)
L2キャッシュ	1 MB

ゲーム機用プロセッサ 仕様例（３）
Cell

仕様概略	
アーキテクチャ	独自
プロセスルール	65nm
命令セット	PowerPC G5互換
コア数(スレッド数)	PPE 1(2) + SPE 8
クロック周波数	3.2GHz
PPE : L1キャッシュ	命令32KB+ データ32KB
PPE : L2キャッシュ	512KB
SPE : Local Store	512KB SRAM専用メモリ(キャッシュの役割)

(注) PPE : PowerPC Processor Element(汎用処理を担当)
SPE : Synergistic Processor Element(マルチメディア処理を担当)

演習問題

- ▶ 問題2
 - ▶ ムーアの法則とはどのようなものか、説明せよ。
- ▶ 問題3
 - ▶ プロセッサの省電力化を図るための技術にはどのようなものがあるか、説明せよ。