Computer Architecture II

小テスト解説(1)

(注) 小テストの解説は、Web公開しません。

Computer Architecture II

第1回 小テスト

- > 2進数 1010.0001 を10進数に変換せよ.
- ▶ 問題2
 - ▶ 10進数 5.625 を2進数に変換せよ.
- - ▶ 10進数 -16 を, 2の補数表現を用いた1バイトの2進数で表せ.

Computer Architecture II

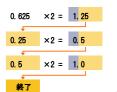
第1回 小テスト

- ▶ 2進数 1010.0001 を10進数に変換せよ.
- ▶ 問題1 解答
- $1 \times 2^3 + 1 \times 2^1 + 1 \times 2^{-4}$
- = 8 + 2 + 0.0625
- = 10.0625

第1回 小テスト

- - ▶ 10進数 5.625 を2進数に変換せよ.
- ▶ 問題2 解答
 - ▶ 整数部は, (101)₂
 - ▶ 小数部は, (0.101)2 よって、 (101.101)₂
- 1 ... 0

2)



Computer Architecture II

Computer Architecture II

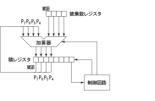
第1回 小テスト

- 10進数 -16 を, 2の補数表現を用いた1バイトの2進数で表せ.
- ▶ 問題3 解答
 - ▶ 10進数 16 の2の補数表現は, (00010000)2
- ▶ (00010000)₂の1の補数は, (11101111)2
- ▶ これより、(00010000)2 の2の補数は、(11110000)2
- ▶ よって, -16 の2の補数表現は, (11110000)2

Computer Architecture II

第2回 小テスト

- ▶ 問題1
 - ▶ 以下に示す乗算アルゴリズムを用いて 5×6を計算するものとする.
 - 各処理を行った後の、各レジスタの値を解答せよ。



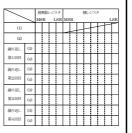
Computer Architecture II

第2回 小テスト

▶ 問題1 (続き)

<乗算アルゴリズム>

- 1. 被乗数レジスタに被乗数を格納する.
- 2. 積レジスタの下位4ビットに乗数を,上位4 ビットに0を格納する.
- 3. 積レジスタの最下位ビットが1ならば、被乗数レジスタの値を積レジスタの上位4 ビット値に加算し、その加算結果を積レジスタの上位4ビット値に加算し、その加算結果を積レジスタの上位4ビットに格納する。 積レジスタの最下位ビットが0ならば、何も行わない。
- 積レジスタを1ビット右にシフトする. ここで, 最上位ビットには, 0を格納する.
- 5. 上記(3)~(4)を乗数のビット数だけ繰り返す、乗数のビット数だけ繰り返したら終了。

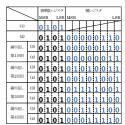


第2回 小テスト

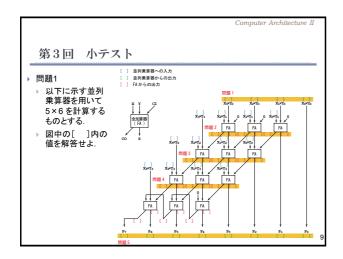
▶ 問題1 解答

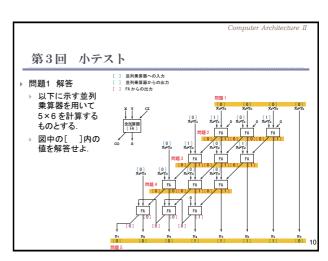
<乗算アルゴリズム>

- 1. 被乗数レジスタに被乗数を格納する。
- 2. 積レジスタの下位4ビットに乗数を,上位4 ビットに0を格納する.
- 3. 積レジスタの最下位ビットが1ならば、被 乗数レジスタの値を積レジスタの上位4 ビット値に加算し、その加算結果を積レジ スタの上位4ビットに格納する。 積レジスタの最下位ビットが0ならば、何 も行わない。
- 積レジスタを1ビット右にシフトする. ここで, 最上位ビットには, 0を格納する.
- 5. 上記(3)~(4)を乗数のビット数だけ繰り返す,乗数のビット数だけ繰り返したら終了.



8





第4回 小テスト

・問題1

・以下に示す除算アルゴリズムを用いて 7÷3を計算するものとする。
・各処理を行った後の、各レジスタの値を解答せよ。

・ Manual Manual

Computer Architecture II

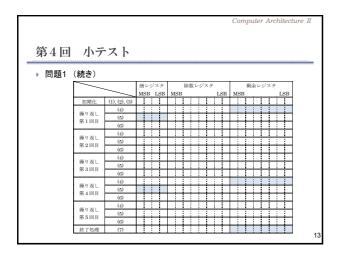
第4回 小テスト

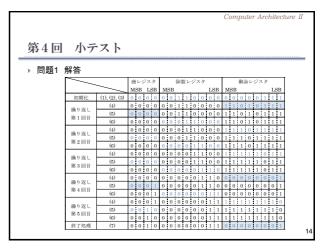
▶ 問題1 (続き)

<除算アルゴリズム>

- 剰余レジスタの下位4ビットに、被除数を格納する. 上位4ビットには、0を格納する.
- 2. 除数レジスタの上位4ビットに、除数を格納する. 下位4ビットには、0を格納する.
- 3. 商レジスタに、0を格納する.
- 4. 剰余レジスタの値が正の場合には、剰余レジスタの値から、除数レジスタの値を引いて、その結果を剰余レジスタに格納する。 剰余レジスタの値が負の場合には、剰余レジスタの値に、除数レジスタの値を加え、その結果を剰余レジスタに格納する。
- その結果を剥赤レジスタに格納する。 ・ 商レジスタを1ビット左にシフトする。商レジスタの最下位ビットには、剰余レジスタの 値が正の場合には1を、負の場合には0を格納する。
- 6 除数レジスタを1ビット右にシフトする。最上位ビットには0を格納する. ただし、繰り返し第5回目は、これらの処理を行わない。
- 7 上記(4)~(6)を5回繰り返す、5回繰り返した時点において、剰余レジスタの値が正の場合には、そのまま終了、剰余レジスタの値が負の場合には、剰余レジスタに、除数レジスタの値を加えてから終了。

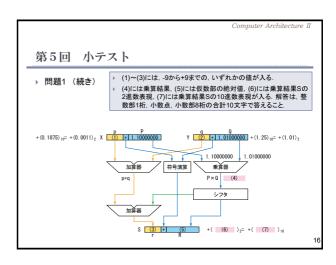
12

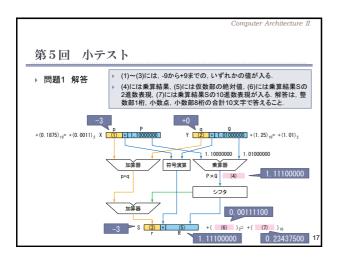


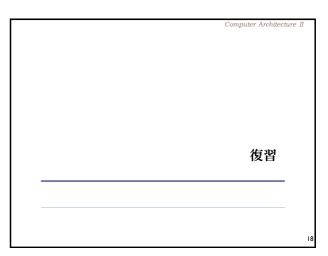


第5回 小テスト

| 問題1 | 以下に示す浮動小数点数の乗算機構を用いて、X=0.1875とY=1.25 の乗算結果を求める。 | 図中、浮動小数点数Xの仮数部をPとし、指数部をpとする。また、浮動小数点数Yの仮数部をQとし、指数部をqとする。一方、乗算結果である浮動小数点数Sの仮数部をRとし、指数部をrとする。 | ここで、仮数部は、整数部が1桁であり、かつその値が0でないように正規化されているものとする。(すなわち、講義における説明のように正規化されているものとする。)また、仮数部の小数部は、8ビットとする。 | 図中(1)~(7)に適切な値を解答せよ。







演習問題 (第3回講義) ▶ 問題1 解答 ブースのアルゴリズムを用いて、 $(6)_{10} \times (-5)_{10}$ を計算する。ただし、被乗数および乗数は、2の補数表現された4ビットの2進数である。各処理を行った後の、各レジスタの値を表中に示せ。 処理サイクル 処理ステップ 被乗数レジスタ 乗数レジスタ 追加ビット 積レジスタ 初期化 00110000 01100000

Computer Architecture II 演習問題 (第4回講義) 問題1 解答 引き戻し法の除算アルゴリズムを用いて、 $(47)_{10}$ ÷ $(5)_{10}$ を計算する。 各処理を行った後の、各レジスタの値を表中に示せ、
 処理サイクル
 処理ステップ
 商レジスタ
 除数レジスタ
 剩余レジスタ

 初期化
 1.2.3
 0000
 0101000
 2010000
 00101000

