



臺北市立大學資訊科學系

資訊專題報告

專題題目：門禁管制系統設計與
實現

學號：U10716012

姓名：吳紹安

指導教授：黃志鵬

中華民國 一百一十一年 一月

臺北市立大學資訊科學系

大學部資訊專題報告審查表

學號	U10716012	姓名	吳紹安	
題目	門禁管制系統設計與實現			
指導教授	李志輝			
評語：	<u>通過</u>			
審查結果：	<input checked="" type="checkbox"/> 通過	<input type="checkbox"/> 修正後通過	<input type="checkbox"/> 修正後再審	<input type="checkbox"/> 不通過
日期：	中華民國 111 年 1 月 17 日			
*修正、審查通過後，請務必重新繳交新報告文件(含.doc、.ppt 或其他作品)給系辦及指導教授。				

指導教授簽章：

李志輝

臺北市立大學資訊科學系專題著作授權書

本授權書所授權之專題報告為授權人在臺北市立大學 資訊科學

系所 111 級 110 學年度第 1 學期完成之資訊專題。

題目：門禁管制系統設計與實現

指導教授：黃志鴻

茲同意將本人擁有著作權之上列報告全文(含其他媒體資料)，以非專屬及無償方式授權本系將作品及報告放置於網站、提供借閱，或以紙本型式出版，且不限時間與地域，作為非營利學術研究目的之利用。

授權人姓名：吳紹安 (請親筆正楷簽名) 學號：U10716012

中華民國 111 年 1 月 17 日

摘要

現代生活中，隨著人們對於安全及隱私的意識逐漸提升，因此不論是教育、辦公、商業、行政、軍事等領域，甚至是私人住宅都開始產生門禁的需求，且隨著時代演進，滿足這一需求的手段也由人力的方式逐漸轉變為依賴科技的方法。因此我想於本次設計並實現一個簡易的門禁管制系統，並以低成本、低需求的方式模擬並實現門窗的監測與通知功能。

本次計畫透過 8051 單晶片結合周邊的零件及整合模組，系統方面設計出擁有時間顯示、系統時間與門禁時間區段的設定，以及透過密碼來管控出入狀態與一個接受使用者變更密碼的系統並根據門窗的狀態與使用者所輸入的密碼來判斷是否響鈴，同時設計一套擁有輸入與輸出的使用者互動介面。硬體方面則根據各個功能，以 8051 單晶片為核心並結合 LCD 顯示模組、4*4 矩陣式鍵盤作為實現輸入輸出的介面，同時透過蜂鳴器與 LED 燈模擬警鈴功能，偵測門窗狀態則利用磁簧開關的極性反應來達成。

透過整個製作過程學習撰寫軟體以驅動硬體並了解各種硬體的規格與設計，同時將零件及電路焊接於萬用板上以實現完整的封裝模組。

目次

摘要.....	i
目次.....	ii
圖目次.....	iii
表目次.....	iv
第一章 緒論.....	1
第一節 研究背景與動機.....	1
第二節 研究目的.....	1
第三節 研究範圍與限制.....	1
第二章 硬體及模組介紹.....	2
第一節 8051 系列單晶片介紹.....	2
一、 基本功能與特性及內部組成.....	2
二、 記憶體與暫存器結構.....	6
三、 中斷位址.....	8
四、 輸入輸出埠.....	8
五、 計時計數器.....	10
第二節 PCF8574T 與 LCD1602 的整合模組	14
一、 I ² C 的基本介紹.....	14
二、 PCF8574T 的功能及架構	15
三、 LCD1602 的功能與架構	17
四、 整合模組的應用方式	24
第三節 93C46 的介紹	26
一、 基本功能及特性	26
第四節 電晶體與蜂鳴器驅動介紹	29
一、 基本零件特性介紹	29
第五節 4*4 矩陣式鍵盤介紹	30
一、 鍵盤架構及掃瞄法介紹	30
二、 按鈕的彈跳現象與解決方法	31
第三章 門禁管制系統的設計與流程	32
第一節 系統的開發流程	32
第二節 電路的實作	35
第三節 系統的運作流程	36
第四章 研究結論與建議	49
第一節 研究結論	49
第五章 文獻探討及資料來源	50

圖目次

圖 2-1 89S52 的接腳圖.....	2
圖 2-2 內部震盪電路.....	4
圖 2-3 外部時脈電路.....	4
圖 2-4 8051 的內部結構圖.....	6
圖 2-5 PCF8574T 的傳送時脈圖.....	14
圖 2-6 PCF8574T 接腳圖.....	15
圖 2-7 LCD 接腳圖	17
圖 2-8 LCD 內建字元	20
圖 2-9 四位元模式下的 LCD 初始化	25
圖 2-10 93C46 接腳圖	26
圖 2-11 4*4 矩陣式鍵盤結構.....	30
圖 2-12 按鈕的彈跳現象.....	31
圖 3-1 Draw.io 線上流程圖繪製軟體	32
圖 3-2 門禁系統的設計流程.....	33
圖 3-3 MIDE-51 的撰寫畫面.....	33
圖 3-4 ISP_PROG 畫面	34
圖 3-5 8051 燒錄版.....	34
圖 3-6 門禁管制系統電路圖.....	35
圖 3-7 將零件固定於萬用板.....	36
圖 3-8 門禁管制系統的主要流程圖.....	39
圖 3-9 主頁面及 help 鍵實際運作畫面	40
圖 3-10 系統顯示時間的流程圖.....	40
圖 3-11 實際顯示系統時間的畫面.....	41
圖 3-12 更改系統時間及門禁時間的主流程圖.....	41
圖 3-13 更改時間的前導詢問畫面.....	42
圖 3-14 更改系統時間的流程圖.....	42
圖 3-15 更改系統時間畫面.....	43
圖 3-16 更改門禁時間的流程圖.....	43
圖 3-17 更改門禁時間區段的起始時間畫面.....	44
圖 3-18 更改門禁時間區段的結束時間畫面.....	44
圖 3-19 輸入密碼的流程圖.....	45
圖 3-20 輸入密碼畫面.....	46
圖 3-21 修改密碼的確認步驟主流程圖.....	46
圖 3-22 修改密碼的修改步驟流程圖.....	47
圖 3-23 輸入新密碼畫面.....	48
圖 3-24 門禁警報響起時的通知效果.....	48

表目次

表 2-1 PORT3 的支援功能	3
表 2-2 暫存器結構	7
表 2-3 PSW 的暫存器設定	7
表 2-4 中斷位址與功能	8
表 2-5 計時計數控制暫存器結構	10
表 2-6 計時計數控制暫存器的功能	10
表 2-7 計時計數模式控制暫存器的結構	11
表 2-8 Timer 的位元設定模式	12
表 2-9 PCF8574T 對應的裝置位址	16
表 2-10 LCD 功能控制	18
表 2-11 LCD16*2 對應的資料記憶體位址	19
表 2-12 清除顯示螢幕所對應的腳位狀態	20
表 2-13 游標歸位所對應的腳位狀態	21
表 2-14 輸入模式設定所對應的腳位狀態	21
表 2-15 輸入模式在不同狀態的動作	21
表 2-16 顯示器控制所對應的腳位狀態	21
表 2-17 游標移位控制所對應的腳位狀態	22
表 2-18 游標移位在不同狀態的動作	22
表 2-19 功能設定所對應的腳位狀態	22
表 2-20 CG RAM 位址設定模式對應的腳位狀態	22
表 2-21 DD RAM 位址設定模式對應的腳位狀態	23
表 2-22 讀取忙碌旗標及位址計數器對應的腳位狀態	23
表 2-23 寫入資料對應的腳位狀態	23
表 2-24 讀取資料對應的腳位狀態	23
表 2-25 93C46 指令表	27

第一章 緒論

第一節 研究背景與動機

現代生活當中，人們對於安全與隱私的意識逐漸提升，譬如許多場所都會透過警衛、保全等工作人員對大樓的出入進行控管。隨著科技的進步與發達，人們漸漸地將這些控管方式由人力轉為仰賴科技的形式，因此我想要透過低成本的方式設計出擁有顯示與通知回饋的門禁系統，並模擬出實際的開關狀態。

第二節 研究目的

本次計畫以低成本、低需求為方向，設計出可以透過時間設定、密碼設定及確認並結合門窗開關與否的模擬以達到門禁是否應有所反應的效果。

透過 8051 系列的晶片作為核心並配合其他零件結合出系統，以磁簧開關作為固定端，磁鐵作為可動端來模擬門窗的開關狀態。同時以蜂鳴器的聲響當作通知效果的模擬，並以 LCD 模組及 4*4 點矩陣按鈕鍵盤作為使用者互動的介面。

選用 PCF8574T 的整合 I2C 模組，結合 LCD 來學習撰寫程式驅動裝置。

第三節 研究範圍與限制

由於將目標著重於門窗的模擬以及開關的回饋，因此以萬用板與其上的零件進行較基本的環境模擬，暫不討論諸如門鎖的緊閉性以及通知聲響的大小。

第二章 硬體及模組介紹

第一節 8051 系列單晶片介紹

一、 基本功能與特性及內部組成

8051 的基本特性:

- (1)8 位元的 CPU
- (2)含有 4 個 PORT，1 個 PORT 有 8 條，共 32 條雙向可獨立定址的 I/O 埠
- (3)256Bytes 的內部資料記憶體(RAM)，外部擴充最多可達到 64K
- (4)4K 的內部程式記憶體(ROM)，外部擴充最多可達到 64K
- (5)2 個 16 位元的計時/計數器，5 個中斷源
- (6)可進行布林運算
- (7)支援全雙工的串列通訊埠(UART)

以下為本次所使用的 89S52 單晶片的接腳圖，如圖 2-1，所使用的為 PDIP(Plastic dual in-line package)格式的單晶片。另外有一種 PLCC(Plastic lead chip carrier)格式的單晶片，但是不在本次製作的使用範圍內。

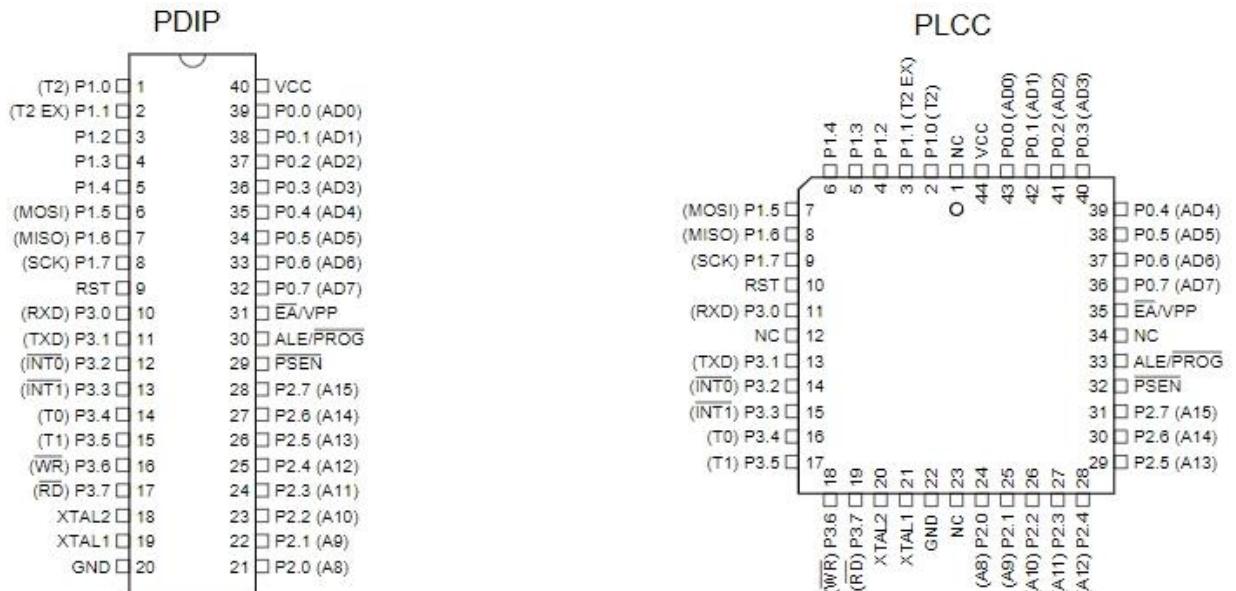


圖 2-1 89S52 的接腳圖[1]

腳位說明:

以下介紹的為 PDIP 格式的各個腳位。

(1) 腳位 1 至 8

P1.0 到 P1.7，8 位元的雙向資料 I/O 埠，內含上拉電阻，約為 $20k\Omega \sim 30k\Omega$ ，支援可位元定址(即個別指定每個接腳的輸入即輸出)，每隻腳可支援 4 個 LS 型的 TTL 負載。

(2) 腳位 9

RESET 腳位作為重置信號的輸入腳，重置信號為高態("1")動作，當他接受到由外部傳來的+5V 信號，且維持了 2 個機械週期，即 24 個震盪週期之後，8051 會被重置，由位址 0000H 開始執行程式。如果使用的振盪器為 12MHZ 的震盪時脈，則需要 2 微秒(μS)。

(3) 腳位 10 至 17

P3.0 到 P3.7，8 位元的雙向資料 I/O 埠，內含上拉電阻，約為 $20k\Omega \sim 30k\Omega$ ，支援可位元定址，每隻腳可支援 4 個 LS 型的 TTL 負載，另外 PORT3 的每一隻接腳都支援不同的功能，如表 2-1。

表 2-1 PORT3 的支援功能

接腳名稱	支援功能
P3.0	RXD，串列埠輸入腳
P3.1	TXD，串列埠輸出腳
P3.2	$\overline{\text{INT0}}$ ，外部中斷 0 的輸入腳
P3.3	$\overline{\text{INT1}}$ ，外部中斷 1 的輸入腳
P3.4	T0，計時計數器 0 的外部時脈輸入腳
P3.5	T1，計時計數器 1 的外部時脈輸入腳
P3.6	$\overline{\text{WR}}$ ，寫入脈波輸出腳
P3.7	$\overline{\text{RD}}$ ，讀取脈波輸出腳

(4) 腳位 18、19

XTAL1/XTAL2 作為時脈輸入接腳，若是採用內部振盪電路則需要在 2 個接腳上

並聯一個石英振盪器或是陶質共振器，如圖 2-2，

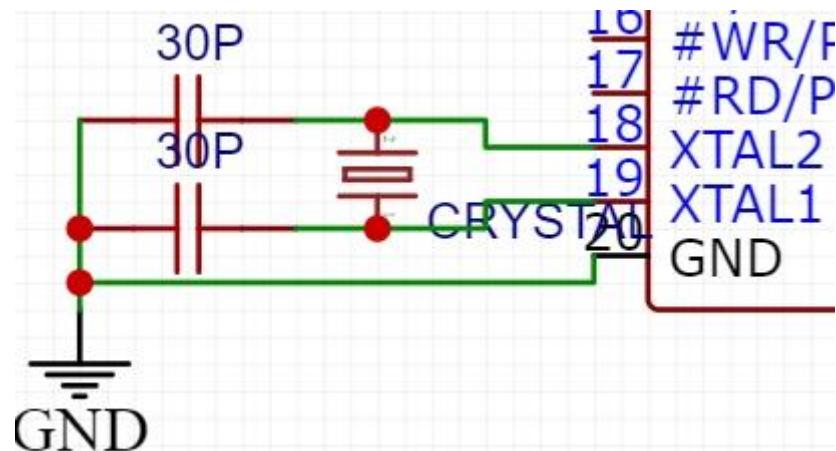


圖 2-2 內部震盪電路

即可組合成完整的振盪電路，石英振盪器通常使用 12MHZ，並在 C1、C2 處使用 30pF 的電容，使用陶質共振器則依照共振器的規格來決定 C1、C2。

若是採用外部振盪電路則依照單晶片的材質而有所不同，若是 HMOS 或 CHMOS 型則在外部時脈輸入 XTAL2 之前接上反向閘，若是 HMOS 型則外部時脈電路只輸入至 XTAL2，若是 CHMOS 型則外部時脈電路只輸入至 XTAL1，如圖 2-3。

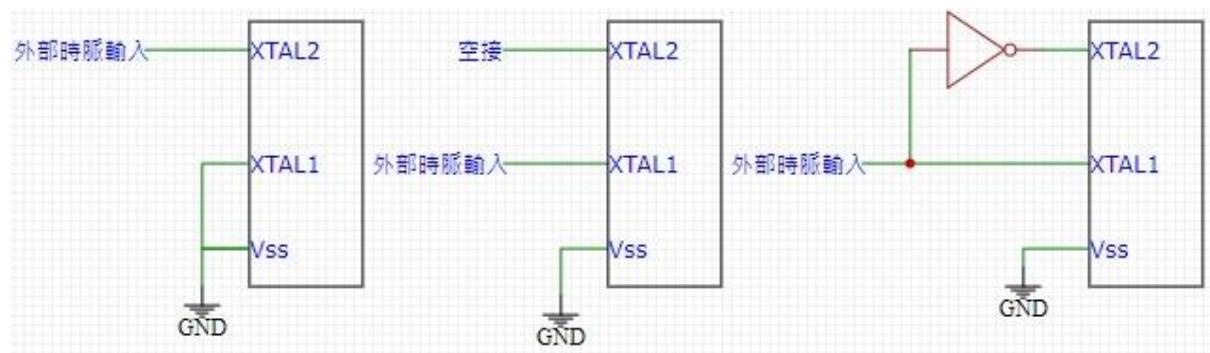


圖 2-3 外部時脈電路

(5)腳位 20

V_{ss} 為電源接地端(GND)。

(6)腳位 21 至 28

P2.0 到 P2.7，8 位元的雙向資料 I/O 埠，內含上拉電阻，約為 $20k\Omega \sim 30k\Omega$ ，支

援可位元定址，每隻腳可支援 4 個 LS 型的 TTL 負載，當他作為存取外部 16 位元記憶體時，P2 會輸出高 8bit 的位址訊號，負責存取 A8~A15。

(7)腳位 29

PSEN，Program Store Enable，程式儲存致能。當程式讀取外部儲存記憶體時，每一機械週期當中，PSEN 會改變狀態 2 次。當程式在寫入外部儲存記憶體時則 PSEN 會保持在高電位狀態。

(8)腳位 30

ALE/ PROG，Address Latch Enable，位址門鎖致能，PROG 則是燒錄脈波輸入。

當他接上外部記憶體時，該接腳作為一個輸出脈波，用以判斷 P0 輸出的 8 位元為位址或是訊號，當沒有要存取時則以 1/6 的石英振盪頻率將 P0 輸出的內容鎖在門鎖器內。

當要對單晶片進行燒錄時，該接腳作為接收外部的燒錄脈波訊號。

(9)腳位 31

EA /Vpp，External Access Enable，外部存取致能。

當 EA =1，即接上 Vcc 時，單晶片先執行內部程式記憶體(ROM)的內容。

當 EA =0，即接上 GND 時，單晶片先執行外部程式記憶體的內容。

(10)腳位 32 至 39

P0.0 到 P0.7，8 位元的雙向資料 I/O 埠，由於不含有上拉電阻，因此做為一般 I/O 時，需外接上拉電阻約為 $2k\Omega \sim 10k\Omega$ ，避免接腳浮接，支援可位元定址，每隻腳可支援 8 個 LS 型的 TTL 負載。

P0 支援多工，當存取外部記憶體時，P0 可負責作為低 8bit 的位址訊號，負責存取 A0~A7，同時 CPU 會將該 PORT 的內容透過 ALE 鎖在門鎖器內並與 P2 的高 8bit 結合成 16 位元地址，最大可定址到 64k 的記憶體位址。

(11)腳位 40

V_{CC} 為正電源接腳，接上+5V。

以下為 8051 的內部結構圖，如圖 2-4。

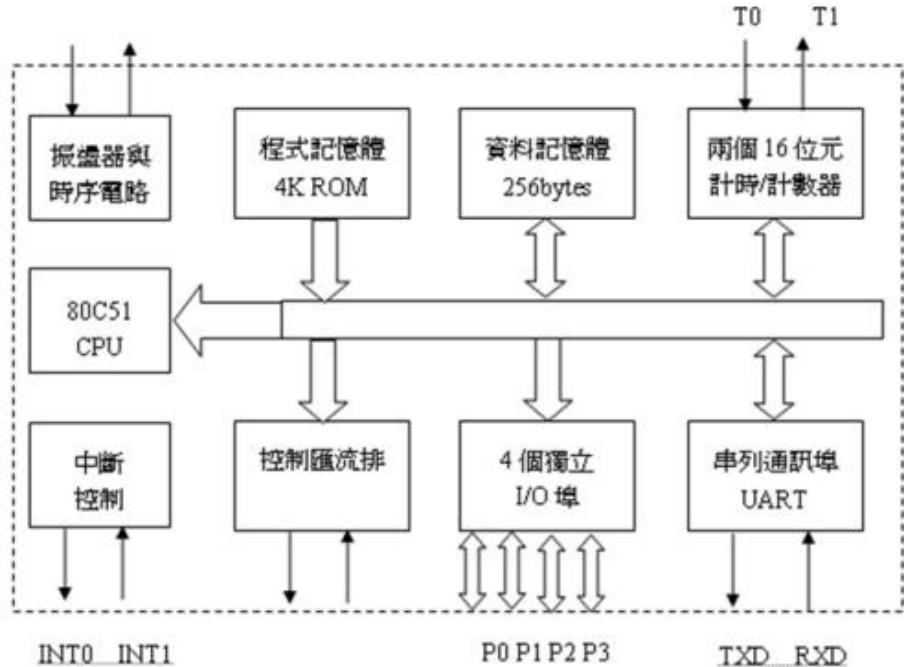


圖 2-4 8051 的內部結構圖[2]

其中的振盪器與時序電路接上 XTAL1/XTAL2，控制匯流排接上 \overline{EA} 、ALE、 \overline{PSEN} 。

二、 記憶體與暫存器結構

8051 單晶片的暫存器主要有 7 種：

(1)ACC

該暫存器負責運算以及資料的轉移。

(2)PC

程式計數器，記錄下一個待執行指令的位址。

(3)B

負責乘法和除法的輔助暫存器。

(4)SP 堆疊指標

進行 RESET 時，該指標設為 07H。

(5)PSW 程式狀態字組

紀錄程式運作時的 CPU 狀態。

(6)DPTR 資料指標暫存器

該暫存器為 16bits，由 DPH 和 DPL 兩個 8bits 的暫存器組合而成。

(7)工作暫存器

內部有 RB0、RB1、RB2、RB3，四組暫存器庫，每一組暫存器庫裡有 8 個 8 位元的暫存器，稱為 R0~R7。

暫存器結構如表 2-2 所示。

表 2-2 暫存器結構

重要的暫存器	PC	ACC	B	SP	DPH	DPL		
I/O	P0	P1	P2	P3				
工作暫存器	R0	R1	R2	R3	R4	R5	R6	R7
程式狀態字組	CY	AC	F0	RS1	RS0	OV	F1	P

PSW 的暫存器設定如表 2-3 所示。

表 2-3 PSW 的暫存器設定

旗標符號	旗標名稱	功能
CY	進位旗標	CY=1，表示運算有借位或進位。
AC	輔助進位旗標	當低 4 位元運算發生借位或進位時，AC=1，常用於 BCD 碼運算
F0、F1	使用者自訂旗標	使用者可自訂
RS1、RS0	工作暫存器選擇位元旗標	RS0=0,RS1=0，使用第 0 工作暫存器庫。 RS0=1,RS1=0，使用第 1 工作暫存器庫。 RS0=0,RS1=1，使用第 2 工作暫存器庫。 RS0=1,RS1=1，使用第 3 工作暫存器庫。
OV	溢位旗標	OV=1 表示發生溢位。

P	同位元旗標	P=1 表示 ACC 內容有奇數個 1。
---	-------	----------------------

8051 單晶片的內部程式記憶體(ROM)負責儲存 CPU 所要執行的程式，基本擁有 4K~8KBytes 的空間，並且會根據 EA 腳位的狀態來決定執行外部或是內部記憶體。

8051 單晶片的內部資料記憶體(RAM)有 256Bytes 的空間，其中前半的 128Bytes，00H~7FH 的空間位址為使用者可以自行使用的區域，且自 00H 開始，每 8 個 Bytes 分別代表一個暫存器庫，20H~2FH 則支援可位元定址，30H~7FH 提供給只用者的一般資料儲存。後的 128Bytes，80H~0FFH 為特殊功能暫存器位址。

8051 單晶片的特殊功能暫存器除了上述的一般通用暫存器之外，還包含了 I/O 埠的映射位址、中斷控制用暫存器、計時計數器控制用暫存器以及串列通訊功能用暫存器。

三、 中斷位址

8051 單晶片的中斷位址分別於不同的位址有不同的功能，如表 2-4 所示。

表 2-4 中斷位址與功能

中斷	位址	功能
RESET	0000H	系統重置起始位址
INT0	0003H	外部中斷 INT0
INT1	0013H	外部中斷 INT1
TIMER0	000BH	計時計數中斷 TIMER0
TIMER1	001BH	計時計數中斷 TIMER1
TIMER2	002BH	計時計數中斷 TIMER2
UART	0023H	串列埠中斷向量

四、 輸入輸出埠

8051 單晶片的 I/O 埠共有 32 位元，分為 P0~P3，每一組 PORT 都有 8 個位元，負責資料傳送的輸入及輸出，以下說明各組 PORT 的功能。

1.PORT0

由接腳 P0.0 至 P0.7 組成，可以作為 8 位元的雙向資料 I/O 埠，由於 PORT0 是唯一沒有上拉電阻的 PORT，因此做為一般的輸出時需要外接電阻值約為 $2k\Omega \sim 10k\Omega$ 的上拉電阻以避免接腳浮接。PORT0 同時也具有擴充外接記憶體或其他周邊資料匯流排與低位元地址的功能且支援可位元定址，每隻接腳最多支援 8 個 LS 型的 TTL 負載。

特別需要注意的是當 PORT0 在存取外部記憶體時，他負責作為低位元的位址訊號並取得 A0~A7 的資料，同時 CPU 會透過 ALE 鎖來將 PORT0 的資料鎖在門鎖器內，等待 PORT2 取得高位元的資料來結合為 16 位元，藉此實現 64k 的記憶體位址定址功能。

2.PORT1

由 P1.0 至 P1.7 組成，僅作為 8 位元的雙向資料 I/O 埠，內建電阻值約為 $20k\Omega \sim 30k\Omega$ 的上拉電阻。PORT1 支援可位元定址。每隻接腳最多支援 4 個 LS 型的 TTL 負載。

同時該 PORT 也是唯一不具有其他特別傳輸功能的 PORT。

3.PORT2

由 P2.0 至 P2.7 組成，作為一組 8 位元的雙向資料 I/O 埠，內建電阻值約為 $20k\Omega \sim 30k\Omega$ 的上拉電阻。PORT2 支援可位元定址。每隻接腳最多支援 4 個 LS 型的 TTL 負載。

PORT2 擁有的額外功能是可以在支援擴充外接記憶體時，當對象為 16 位元記憶體的情況下，PORT2 可以做為高位元地址並接收 A8~A15 的資料，同時和在門鎖器內的 A0~A7 資料進行結合以實現 64k 的記憶體位址定址功能。

4.PORT3

由 P3.0 至 P3.7 組成，作為一組 8 位元的雙向資料 I/O 埠，內建電阻值約為 $20k\Omega \sim 30k\Omega$ 的上拉電阻。PORT3 支援可位元定址。每隻接腳最多支援 4 個 LS 型的 TTL 負載，同時 PORT3 的每隻接腳還分別具有不同的功能，包含串列埠的輸入與輸出、外部中斷的輸入、計時計數器的時脈輸入以及對脈波的讀寫訊號控制。

五、計時計數器

8051 單晶片有 2 個 16 位元的計時計數器，稱為 Timer0、Timer1，8052 單晶片則擁有第 3 個 16 位元的計時計數器，稱為 Timer2。

負責控制 8051 的計時計數器的暫存器稱為計時計數控制暫存器與計時計數模式控制暫存器，及 TCON 和 TMOD。

TCON 的結構如表 2-5，其對應的功能如表 2-6，TCON 屬於可位元定址暫存器，其中高 4 位元為計時計數器的控制位元，低 4 位元為中斷控制位元。

表 2-5 計時計數控制暫存器結構

bit	7	6	5	4	3	2	1	0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

表 2-6 計時計數控制暫存器的功能

符號	位元	代表名稱	設定
TF1	7	計時計數器 1 的溢位旗標	由硬體自動設定。 溢位中斷觸發時， TF1=1。 中斷結束後， TF1=0。
TR1	6	計時計數器 1 的啟動位元	由軟體設定。 啟動時 TR1=1。 抑制時 TR1=0。
TF0	5	計時計數器 0 的溢位旗標	由硬體自動設定。 溢位中斷觸發時， TF0=1。 中斷結束後， TF0=0。
TR0	4	計時計數器 0 的啟動位元	由軟體設定。 啟動時 TR0=1。 抑制時 TR0=0。

IE1	3	外部中斷 1 的中段旗標	由硬體自動設定。 中斷發生時。 IE1=1。 中斷結束後， IE1=0。
IT1	2	外部中斷 1 的中段型態	由軟體設定。 IT1=1 表示進行負緣觸發動作。 IT1=0 表示低準位觸發動作。
IE0	1	外部中斷 0 的中段旗標	由硬體自動設定。 中斷發生時。 IE0=1。 中斷結束後， IE0=0。
IT0	0	外部中斷 0 的中段型態	由軟體設定。 IT0=1 表示進行負緣觸發動作。 IT0=0 表示低準位觸發動作。

負緣觸發(falling edge-triggered)僅在訊號由高電位變為低電位時會有所反應，而低準位觸發(low level-triggered)則在訊號持續為低電位時持續產生反應，直到訊號變為高電位。

TMOD 的結構如表 2-7，高 4 位元負責控制 Timer1，低 4 位元負責控制 Timer0。

表 2-7 計時計數模式控制暫存器的結構

bit	7	6	5	4	3	2	1	0
TMOD	GATE	C/ \bar{T}	M1	M0	GATE	C/ \bar{T}	M1	M0

GATE 被稱為閘控制位元，以低 4 位元的 GATE 為例，當 GATE=0 且 TCON 的

$\text{TR0}=1$ 時，Timer0 的便可以使用。當 $\text{GATE}=1$ 時，必須要 $\text{TR0}=1$ 且 $\overline{\text{INT0}}=1$ 時（ $\overline{\text{INT0}}$ 為 P3.2 接腳），Timer0 才可使用。Timer1 的使用條件同 Timer0。

C/\overline{T} 被稱為計時計數器選擇位元，當 $C/\overline{T}=0$ 時使用計時模式，當 $C/\overline{T}=1$ 時使用計數模式。

8051 單晶片透過 M1 和 M0 這 2bits 來決定計時計數器的位元設定，共有 4 種模式，如表 2-8。

表 2-8 Timer 的位元設定模式

M1	M0	Timer 的位元模式
0	0	Mode0
0	1	Mode1
1	0	Mode2
1	1	Mode3

以下根據四種模式分別說明，以 Timer0 為例[3]：

(1) Mode0

當 Timer0 為 Mode0 時，會變成一個 13 位元的計時計數器，其中高 8 位元由 TH0 暫存器負責儲存，低 5 位元由 TL0 暫存器的低 5 位元負責儲存，其餘 3 位元將被忽略。當所有位元由 1 變為 0，即發生溢位時，TCON 的 TF0 將被設定為 1。假設要計時 N 個脈波，則：

$$TH0 = (8192-N)/32$$

$$TL0 = (8192-N)\%32$$

(2) Mode1

當 Timer0 為 Mode1 時，會變成一個 16 位元計時計數器，其運作與儲存原理和 Mode0 相同，只是低 8 位元完全由 TL0 負責儲存。

假設要計時 N 個脈波，則

$$TH0 = (65536-N)/256$$

$$TL0 = (65536-N)\%256$$

(3) Mode2

當 Timer0 被設為 Mode2 時，會變成一個 8 位元計時計數器，此時該計時計數器具有自動重新載入的功能。其計數功能由 TL0 負責，TH0 則儲存要自動載入的

數值。當 TL0 發生溢位時，系統會將 TCON 的 TF0 設為 1 並將 TH0 的數值載入 TL0 當中，且 TH0 數值維持不變。

假設要計時 N 個脈波，則：

$$TH0 = (256 - N) \circ$$

$$TL0 = (256 - N) \circ$$

(4) Mode3

當設定為該模式時 Timer1 會停止任何動作，僅剩 Timer0 可以執行動作。

Timer0 於該模式會被分為 2 組獨立的 8 位元計時器 TL0、TH0。此時 TL0 的各項控制位元為原先 Timer0 的控制位元，但是 TH0 的控制位元變為由 TR1 進行控制，且溢位旗標變為由 TF1 控制，因此 TH0 的溢位中斷位址會變為 Timer1 的中斷位址，即 001BH。

假設要計時 N 個脈波，則：

$$TH0 = (256 - N) \circ$$

$$TL0 = (256 - N) \circ$$

第二節 PCF8574T 與 LCD1602 的整合模組

一、I²C 的基本介紹

I²C，Inter-Integrated Circuit，簡稱為 I-squared-C，屬於一種使用主從式架構的串列通訊匯流排。

I²C 透過兩條雙向漏極開路(Open Drain)，其中一條稱為串列資料線(SDA)，另外一條稱為串列時脈線(SCL)，兩條都配合上拉電阻，儘管可接受的工作電壓範圍相當大，但是通常都使用+3.3V 或是+5V。

I²C 於傳送過程中，會先傳送起始訊號(Start condition)，接著傳送資料，結束時再傳送結束訊號(Stop condition)，全程均以高低電位進行反應及控制，如圖 2-5，以下為整體的傳送詳細過程。

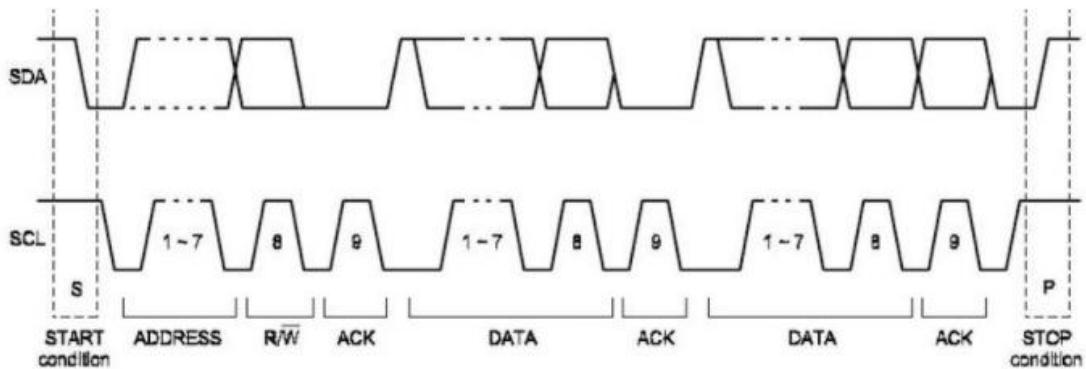


圖 2-5 PCF8574T 的傳送時脈圖[4]

(1)上位端發送起始訊號時，SCL 為高電位，透過將 SDA 由高電位降至低電位作為起始訊號。

(2)上位端開始發送 7bits 的位址，負責指定要傳送給哪一個 I²C 裝置，以及傳送 1bit 的讀寫訊號，一共 8bits，其中作為讀寫訊號的位元，1 代表 read，0 代表 write。

(3)下位端發送一個 ACK 訊號，作為確認信號，通知上位端表示已收到資料。

(4)如果前面接受到的 8bits 當中的最低位元(即讀寫位元)為低電位，表示 write，

則此時由上位端開始傳送 8bits 的資料至先前指定的裝置位址，每次接收完 8bits 之後，下位端會回傳一個 ACK 訊號以確認接收的資料。

(5)如果前面接受到的 8bits 當中的最低位元為高電位，表示 read，則此時由先前指定的下位端位址裝置開始傳送 8bits 的資料至上位端，每次傳送完 8bits 之後，上位端會回傳一個 ACK 訊號以確認接收到的資料。

(6)當傳送完成時，上位端會將 SCL 拉至高電位，並將 SDA 由低電位拉至高電位，代表結束訊號。

此處需要注意的是傳送時所指定的位址，是表示下位端的”裝置”，而非該裝置內的記憶體空間，因此理論上 I²C 可以透過 2 條線來使一個上位端裝置控制 128 個下位端裝置。

二、PCF8574T 的功能及架構

PCF8574T 總共有 16 個腳位，如圖 2-6 所示，以下則對各腳位進行說明。

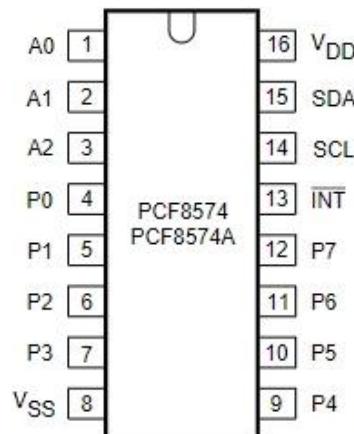


圖 2-6 PCF8574T 接腳圖[5]

(1)A0 至 A2 接腳

負責指定下位端得裝置位址，由於 PCF8574 系列預設的可指定裝置位址為 0100 A2 A1 A0 R/W，高位元的 4bits 固定為 0100，因此只可透過 A2~A0 的部分指定，使的

I²C 從理論上可以一次管理 128 個裝置的部分降為 8 個裝置，表 2-9 為 A0~A2 及 R/W 在各個狀態下所對應到的位址狀態。

表 2-9 PCF8574T 對應的裝置位址

PCF8574T 對應的裝置位址，以 2 進位呈現								R/W 於各狀態所對應的 8bits 裝置位址		不包含 R/W 所對應的 7bits 裝置位址
A6	A5	A4	A3	A2	A1	A0	R/W	WRITE	READ	
0	1	0	0	0	0	0	-	40H	41H	20H
0	1	0	0	0	0	1	-	42H	43H	21H
0	1	0	0	0	1	0	-	44H	45H	22H
0	1	0	0	0	1	1	-	46H	47H	23H
0	1	0	0	1	0	0	-	48H	49H	24H
0	1	0	0	1	0	1	-	4AH	4BH	25H
0	1	0	0	1	1	0	-	4CH	4DH	26H
0	1	0	0	1	1	1	-	4EH	4FH	27H

(2)P0 至 P7 接腳

負責並列傳輸的接腳，可以進行輸入與輸出。

(3) INT 接腳

負責接收中斷訊號。

(4)SDA 接腳

作為 I²C 的串列資料線，負責處理串列傳輸，支援輸入與輸出。

(5)SCL 接腳

作為 I²C 的串列時脈線，負責處理時脈傳輸，支援輸入與輸出。

(6)V_{ss} 接腳

接地端。

(7)V_{DD} 接腳

接上+5V 電源端。

PCF8574T 的主要功能是透過內部的多工器，將串列傳輸轉為並列傳輸，或是將並列傳輸轉為串列傳輸並輸出，因此可以透過這一特性，減少使用的 PORT，或是透

過該晶片，一次控制多個外接裝置。

三、LCD1602 的功能與架構

市面上常見的 LCD 模組通常為 16 字*1 列、16 字*2 列、20 字*1 列等不同的類型，這次我所使用的為 16*2 類型，以下圖 2-7 為 LCD1602 的接腳圖。

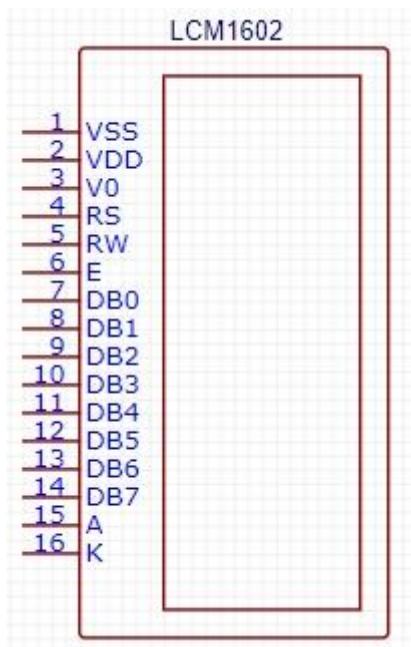


圖 2-7 LCD 接腳圖

(1)V_{SS} 接腳

接地端。

(2)V_{DD} 接腳

接上+5V 電源端。

(3)V_O 接腳

支援輸入功能，對比 0~5V，可接上一顆 1k 電阻或是一個旋轉式可變電阻以調整明暗對比的控制。

(4)RS 接腳

支援輸入功能，當 RS 為 0 時，會將資訊作為指令，當 RS 為 1 時，會將資訊作為資料。

(5)R/W 接腳

支援輸入功能，負責控制讀寫，當 R/W 為 0 時，會將資料寫入 LCD，當 R/W 為 1 時，會從 LCD 內部讀取資料。

(6)E 接腳

支援輸入功能，Enable，致能接腳。

(7)DB0 接腳

支援雙向 I/O 的資料匯流排，同時作為 LCD 內部代表低四位元的傳輸(LSB, Least Significant Bit)。

(8)DB1 至 DB6 接腳

支援雙向 I/O 的資料匯流排。

(9)DB7 接腳

支援雙向 I/O 的資料匯流排，同時作為 LCD 內部代表高四位的傳輸(MSB, Most Significant Bit)。

(10)A 接腳

背光接腳，串接 330Ω 的電阻到電源。

(11)K 接腳

背光接腳，接地端。

LCD 透過 RS、R/W、E 三根腳位進行功能的控制，如表 2-10。

表 2-10 LCD 功能控制

E	R/W	RS	功能說明
0	X	X	無動作。
1	0	0	將指令寫入 LCD 的指令暫存器 IR。
1	0	1	將資料寫入 LCD 的 RAM。
1	1	0	讀取忙碌旗標 BF 和位址計數器 AC 的內容，此時 DB7 為 BF，DB6~DB0 為 AC。
1	1	1	從 LCD 資料暫存

			器 DR 讀取資料。
--	--	--	------------

在 16*2 的 LCD 當中，螢幕上的每一個位置都有一個相對應的資料記憶體(RAM)，如表 2-11。

表 2-11 LCD16*2 對應的資料記憶體位址

	1	2	3	4	5~13	14	15	16
第一列	80H	81H	82H	83H	8DH	8EH	8FH
第二列	C0H	C1H	C2H	C3H	CDH	CEH	CFH

在 LCD 當中，不論是使用者自訂，或是原先預設的字元均處存在字元產生器(CG RAM)當中，並可透過 8bits 可對應到預設的 192 個字，當中有 3 個字以空格代替，如圖 2-8，使用時只要將該字所對應的數值寫入資料記憶體即可在指定的螢幕位置上顯示。

高四位元																			
0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111																			
低 四 位 元	CG	0000	RAM	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
	CG	RAM	(1)																
	CG	RAM	(2)																
	CG	RAM	(3)																
	CG	RAM	(4)																
	CG	RAM	(5)																
	CG	RAM	(6)																
	CG	RAM	(7)																
	CG	RAM	(8)																
	CG	RAM	(1)																
	CG	RAM	(2)																
	CG	RAM	(3)																
	CG	RAM	(4)																
	CG	RAM	(5)																
	CG	RAM	(6)																
	CG	RAM	(7)																
	CG	RAM	(8)																

圖 2-8 LCD 內建字元[6]

LCD 內共有 11 種指令，其中第一及第二種的執行時間為 1.64mS，其餘皆為 40 μ s，以下為 RS 及 R/W 和 DB7~DB0 在不同狀態下所對應到的指令說明，如表 2-12 至表 2-24。

(1) 清除顯示螢幕

表 2-12 清除顯示螢幕所對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1

該動作會將資料記憶體的內容全部寫入 20H，即空白字，並將螢幕游標移動到左上角，將位址計數器 AC 設為 0。

(2)游標歸位

表 2-13 游標歸位所對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	X

該動作不變更資料記憶體的內容，只將螢幕游標移動到左上角，位址計數器 AC 設為 0。

(3)輸入模式設定

表 2-14 輸入模式設定所對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	1	I/D	S

該動作根據 I/D(Increase 與 Decrease)和 S 的狀態，分別有四種行為，如表 2-15。

表 2-15 輸入模式在不同狀態的動作

I/D	S	動作說明
0	0	顯示字元不動，游標左移，AC 值減 1。
0	1	游標不動，顯示字元右移，AC 值不變。
1	0	顯示字元不動，游標右移，AC 值加 1。
1	1	游標不動，顯示字元左移，AC 值不變。

(4)顯示器控制

表 2-16 顯示器控制所對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	1	D	C	B

當 D 位元(即 Display)為 0 時，關閉螢幕，反之為 1 時則開啟螢幕。

當 C 位元(Cursor)為 0 時，游標不顯示，反之為 1 時則顯示游標。

當 B 位元(Blink)為 0 時，螢幕不閃爍，反之為 1 時則螢幕閃爍。

(5)游標移位控制

表 2-17 游標移位控制所對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	1	S/C	R/L	X	X

該動作不會改變資料記憶體，即不對資料進行讀寫動作，只移動游標或是整個螢幕的顯示結果，由此處可得知輸入模式是在每次讀寫資料記憶體時用以控制 AC 或是該字元的移動狀態。

此處會根據 S/C 和 R/L 的狀態有不同的動作，如表 2-18。

表 2-18 游標移位在不同狀態的動作

S/C	R/L	動作說明
0	0	游標左移，AC 值減 1。
0	1	游標右移，AC 值加 1。
1	0	整個顯示螢幕左移。
1	1	整個顯示螢幕右移。

(6)功能設定

表 2-19 功能設定所對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	1	DL	N	F	X	X

在該動作下，一共處理三樣設定：資料長度、列數、字形。

當 DL 為 0 時，將資料設定為 4 位元並只使用 DB7~DB4 傳輸資料，當 DL 為 1 時，將資料設定為 8 位元並使用 DB7~DB0 傳輸資料。

當 N 為 0 時，只顯示 1 列，當 N 為 1 時，顯示 2 列。

當 F 為 0 時，顯示字形為 5*7，當 F 為 1 時，顯示字形為 5*10。

(7)CG RAM 位址設定

表 2-20 CG RAM 位址設定模式對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	A5	A4	A3	A2	A1	A0

由 A5~A0 一共 6bits 去定址到 00H~3FH，當寫入該指令之後，下一筆輸入的資料將寫入 CG RAM 當中。

(8)DD RAM 位址設定

表 2-21 DD RAM 位址設定模式對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	A6	A5	A4	A3	A2	A1	A0

由 A6~A0 一共 7bits 去定址到螢幕上的顯示位置，當寫入該指令之後，下一筆輸入的資料將寫入 DD RAM 當中。

(9)讀取忙碌旗標及位址計數器

表 2-22 讀取忙碌旗標及位址計數器對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	BF	A6	A5	A4	A3	A2	A1	A0

該動作下會將 DB7 作為忙碌旗標 BF 且 A6~A0 為位址計數器 AC，當 BF 為 1 時表示 LCD 正在處理資料，處於忙碌狀態，此時不可寫入資料，當 BF 為 0 時表示 LCD 為閒置狀態。AC 值為最近設定的 RAM 位址，不限於 CG RAM 或是 DD RAM。

(10)寫入資料

表 2-23 寫入資料對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	D7	D6	D5	D4	D3	D2	D1	D0

該動作下會根據前一步的指令，將 D7~D0 的資料寫入 CG RAM 或 DD RAM。

(11)讀取資料

表 2-24 讀取資料對應的腳位狀態

RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	1	D7	D6	D5	D4	D3	D2	D1	D0

此模式下會根據前一步的指令，從 CG RAM 或 DD RAM 當中讀取資料並透過 D7~D0 輸出。

當 LCD 通電之後不論是 4 位元模式或 8 位元模式，均須進行初始化。不論哪一模式，在電源啟動之後都先延遲 15mS，輸入功能設定，之後延遲 4.1mS，再次輸入功能設定，接著延遲 $100 \mu\text{S}$ 並輸入功能設定，接下來連續輸入 2 次功能設定並將顯示關閉，然後清除顯示，接著進行輸入模式設定和顯示開關設定，當上述均完成即結束了 LCD 的開機初始化。

四、整合模組的應用方式

將 LCD 與 PCF8574T 和控制及驅動、背光源等周邊零件整合為 LCM，透過將 PCF8574T 的串列傳輸線和 8051 單晶片結合，並將串列傳輸的資料於 FPC8574T 內轉換為並列傳輸給 LCD，可有效減少 PORT 的需求量，以下為連接及傳輸方式。

透過將 PCF8574T 的 P7 至 P4 連接 LCD 的 D7 至 D4，將 P0 至 P2 連接 LCD 的 RS、R/W、E 接腳，把 P3 和 LCD 的背光接腳串接。由於只使用了 4bits 進行資料的傳輸，因此 LCD 的初始設定需要設定為 4bits 模式。

透過 I²C 傳輸時需要先指定裝置位址，由於此處只有一個裝置，且只需要進行寫入作業，因此使用的預設位址為 4EH，以下流程圖為整個初始化的過程，如圖 2-9，其中各項指令可參考 3-3 節所敘述的內容。在初始化完成之後，傳輸資料時由於採用的是 4bits 的模式，因此須將原先 8bits 的資料分為兩段，透過 D7 到 D4 傳輸，先傳送高位元之後才傳送低位元。

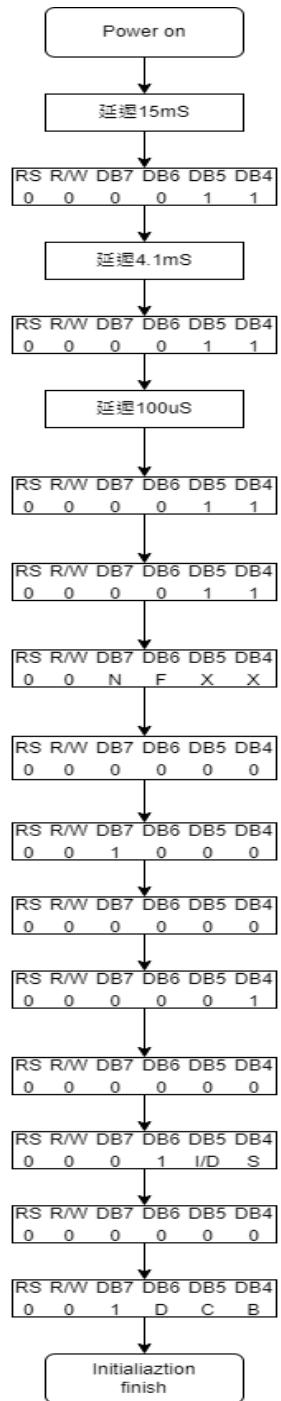


圖 2-9 四位元模式下的 LCD 初始化

第三節 93C46 的介紹

一、 基本功能及特性

電子抹除式可複寫唯讀記憶體(EEPROM)現今被廣泛的應用在諸多產品當中，例如 IC 卡、電子密碼鎖等，他們的優點是體積小、價格低、且內部資料不會因為電源消失而被消去。EEPROM 根據傳輸方式分為串列式和並列式，其中串列式所使用的傳輸線較少，通常介於 1~4 條之間，常用於儲存資料，並列式常用於儲存執行用的程式。

本次所使用的為串列式 EEPROM 的 93C46 系列記憶元件，內部的記憶體容量為 1Kbit，並根據 ORG 接腳的狀態而將儲存資料的模式分為 64*16 和 128*8 兩種，傳輸時透過 4 條傳輸線進行資料的輸入與輸出，圖 2-10 為 93C46 的接腳圖。

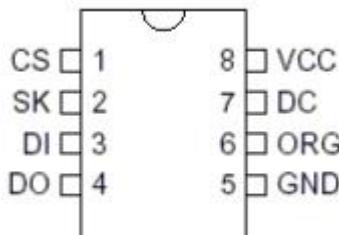


圖 2-10 93C46 接腳圖[7]

腳位說明:

(1)CS 接腳

晶片選擇接腳，當 CS 為高電位時，才可進行任意動作。

(2)SK 接腳

串列資料時脈接線。

(3)DI 接腳

串列資料輸入接腳

(4)DO 接腳

串列資料輸出接腳

(5)GND 接腳

接地端。

(6)ORG 接腳

當該腳位接上 V_{CC} 時, 93C46 會設定為 16 位元模式, 當該腳位接上 GND 時, 93C46 會設定為 8 位元模式。

(7)DC 接腳

空接腳，不接任何東西。

(8)V_{CC} 接腳

電源接腳，接上+5V。

93C46 共有 7 種指令，且每一種指令為 9 位元，如表 2-25。

表 2-25 93C46 指令表

指令名稱	開始位元	運算碼	位址
讀取	1	10	A5~A0
寫入致能	1	00	11xxxx
寫入	1	01	A5~A0
全部寫入	1	00	01xxxx
寫入除能	1	00	00xxxx
清除	1	11	A5~A0
全部清除	1	00	10xxxx

指令說明:

(1) 讀取指令(Read)

當接收讀取指令之後，透過晶片內部的解碼器把位址對應到相對的記憶暫存器，將內容放入串列移位暫存器當中，當每個 SK 腳位於正緣信號時，由 DO 接腳一次輸出一個 bit，並由最高位元開始輸出。

(2) 寫入致能指令(Write Enable)

為了確保資料的安全性，當資料要寫入之前都需要執行該指令，才能開始寫入資料，否則無法寫入，執行該指令之後即可使用寫入指令將資料寫入記憶體內，直到下達除能指令或電源消失。

(3) 寫入指令(Write)

接收該指令之後，會將 DI 接收到的資料寫入指定的位址，寫入完成之後需要將 CS 降為低電位 250nS，再將 CS 拉為高電位，接著檢查 DO 的狀態，當 DO 為 0，表示寫入動作尚未完成，當 DO 為 1，表示寫入動作結束。

(4) 全部寫入指令(Write All Registers)

接收該指令之後，將把接下來接收到的資料填入所有的記憶暫存器中，使每個暫存器內容相同，寫入完成之後需要將 CS 降為低電位 250nS，再將 CS 拉為高電位，接著檢查 DO 的狀態，當 DO 為 0，表示寫入動作尚未完成，當 DO 為 1，表示寫入動作結束。

(5) 寫入除能指令(Write Disable)

寫入動作結束之後，為了確保資料的安全性，需要下達該指令，當接收該指令之後除非再次致能，否則無法進行寫入的動作。

(6) 清除指令(Erase)

如果想清除記憶體中的某一個位址內的資料時，使用該指令可以達到作用，當清除完成時需要將 CS 降為低電位 250nS，再將 CS 拉為高電位，接著檢查 DO 的狀態，當 DO 為 0，表示清除動作尚未完成，當 DO 為 1，表示清除動作結束。

(7) 全部清除指令(Erase All Registers)

當下達該指令之後，所有記憶體位址都變為高電位，此時需要將 CS 降為低電位 250nS，再將 CS 拉為高電位，接著檢查 DO 的狀態，當 DO 為 0，表示清除動作尚未完成，當 DO 為 1，表示清除動作結束。

第四節 電晶體與蜂鳴器驅動介紹

一、 基本零件特性介紹

本次使用的電晶體為 C1815，他是一種 NPN 型的電晶體，從平面的角度來看，由左至右的腳位分別為 E(Emitter)、C(Collector)、B(Base)，根據電晶體的基本功能，透過由基極流向射極的電壓遠大於 V_{cut-in} (約為 0.5V)的電壓時，會使電晶體處於主動模式，此時由射極要跑向基極的自由電子會幾乎由集極流出，即可透過此方式放大訊號給蜂鳴器。

電晶體使用前可透過三用電表測定其種類和腳位分布。當 B 空接時，E 和 C 之間不導通，透過該特性將三用電表的正負極去接上電晶體的任兩腳尋找到該現象之後，將正負極交換測試，若是一樣不導通，即可確定空接腳為基極。接著將負極接上 B，正極接上其他腳位，若是都有導通則代表該電晶體為 PNP 型，若均不導通則將正極接上 B，負極接上其他腳位，若是都有導通則代表該電晶體為 NPN 型。

假設為 NPN 型，將正負極接上另外兩腳之後，將正極端和 B 腳位以同一隻手指觸碰，接著將正負極交換接上相同的兩腳並執行相同動作，當中反應最大的即是 C 腳，而另外一腳便是 E 腳。

假設為 PNP 型，將正負極接上另外兩腳之後，將負極端和 B 腳位以同一隻手指觸碰，接著將正負極交換接上相同的兩腳並執行相同動作，當中反應最大的即是 C 腳，而另外一腳便是 E 腳。^[8]

蜂鳴器採用了有緣蜂鳴器，相對於無緣蜂鳴器而言，有緣蜂鳴器內建了振盪的結構，透過晶片以 0 和 1 的輸出決定是否發聲，在使用上會將正極接上 V_{cc} ，負極接上 NPN 型電晶體的集極。

第五節 4*4 矩陣式鍵盤介紹

一、 鍵盤架構及掃瞄法介紹

透過將 16 個按鈕以 4*4 的方式排列之後，將每一個行(Column)及列(Row)分別串接起來，對外形成各 4 個接點，可分別視為 COL0~COL3 和 row0~row3，如圖 2-11，以下簡稱為 C0~C3 以及 R0~R3。

使用上透過將當中一邊視為掃描線，另外一邊視為偵測線進行檢測是否有被觸發。假設將 C0~C3 當作偵測線，R0~R3 當作掃描線，根據以下步驟可準確讀取到被按下的按鈕的位置於何處：

- (1) 將 4 位元的偵測線均設定為高電位。
- (2) 將四位元的掃描線當中個一位元設為低電位，其餘設為高電位，例如 0111。
- (3) 對低電位的那一條掃描線，檢查其偵測線是否有任意一條為低電位，因為當按鈕被按下時，電位會改變，此時兩線交會處會剛好都為低電位，即代表該按鈕被按下。
- (4) 當前一條掃描線都偵測完之後，將其拉為高電位，並把下一調降為低電位，接著重複(2)和(3)步驟。

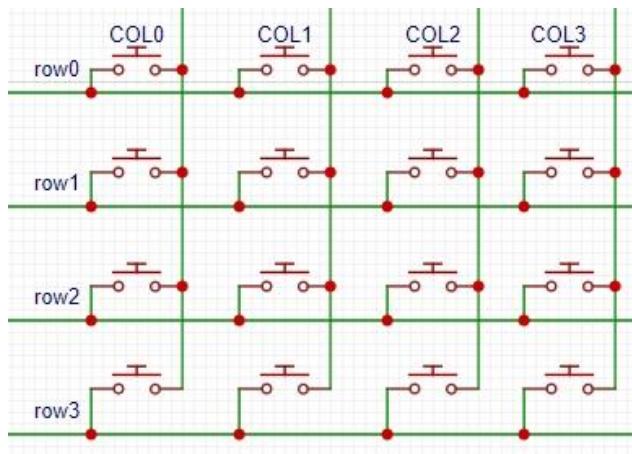


圖 2-11 4*4 矩陣式鍵盤結構

二、按鈕的彈跳現象與解決方法

當按下按鈕時，理想的情況是只有在按下與放開時才會產生電位的變化，但是實際上由於按鈕內的機械結構和使用者的施力情形，會導致在按下與放開時所改變的電位變為數次的起伏狀態，此現象稱為彈跳現象(Bounce)，如圖 2-12，圖中的上半部為理想的情形，下半部為實際情形。

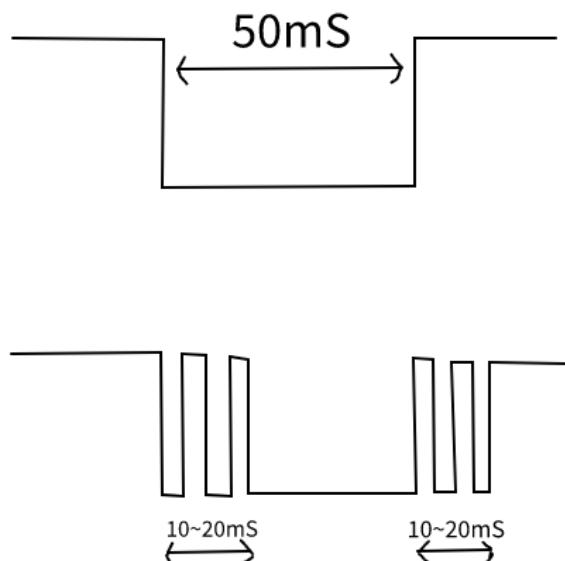


圖 2-12 按鈕的彈跳現象

為了解決該現象，主要有三種方式：

- (1) 將一電容和按鈕並聯。
- (2) 以正反器的延遲電路解決。
- (3) 以軟體解決。

其中本次所使用的為第三種，當偵測到有按鍵訊號輸入時，進行一個時間延遲，約為 20mS，之後再次偵測以確保該訊號並非雜訊所導致的電位改變，且當確認完畢之後還須確認按鍵是否有放開。

第三章 門禁管制系統的設計與流程

第一節 系統的開發流程

門禁系統的開發包含二個部分，分別為軟體的開發與硬體的設計，透過 Draw.io 線上流程圖，如圖 3-1，繪製軟體規劃設計及製作流程，如圖 3-2。軟體方面依照所需的功能，以 MIDE-51 撰寫軟體，如圖 3-3，透過燒錄程式 ISP_PROG 結合燒錄版將程式燒錄至 8051 單晶片內，如圖 3-4 和圖 3-5；硬體方面則依據所需的功能列出符合要求的零件，以 EasyEDA 線上繪圖軟體繪製電路圖，並實地採買零件，先透過麵包板測試各個零件之間的接線是否正確之後，再以焊接的方式將零件及電路固定在萬用板上，最後將各個晶片安裝於萬用板的晶片插槽上即可完成。

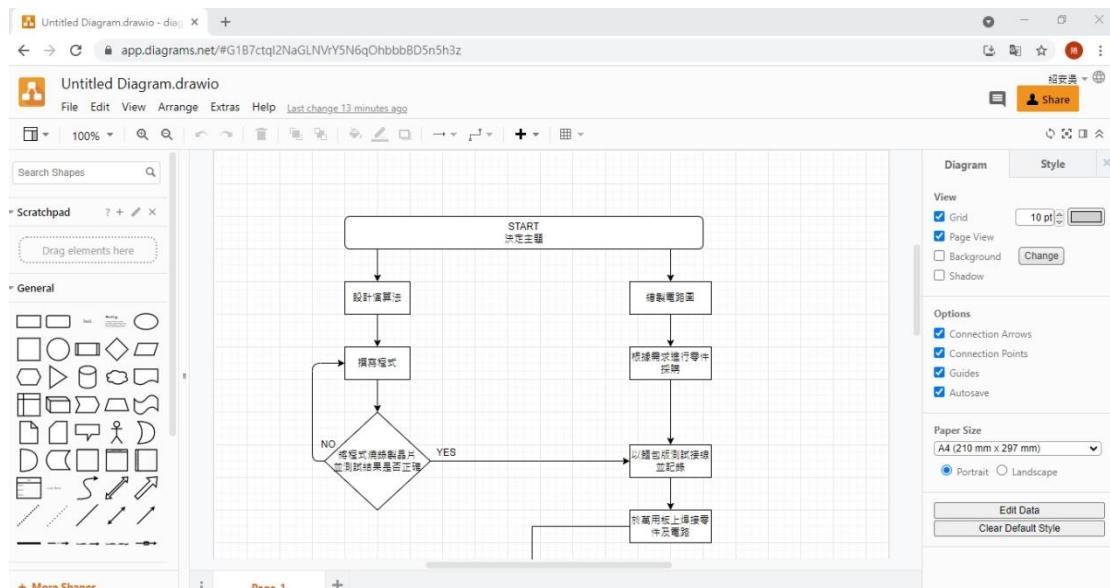


圖 3-1 Draw.io 線上流程圖繪製軟體

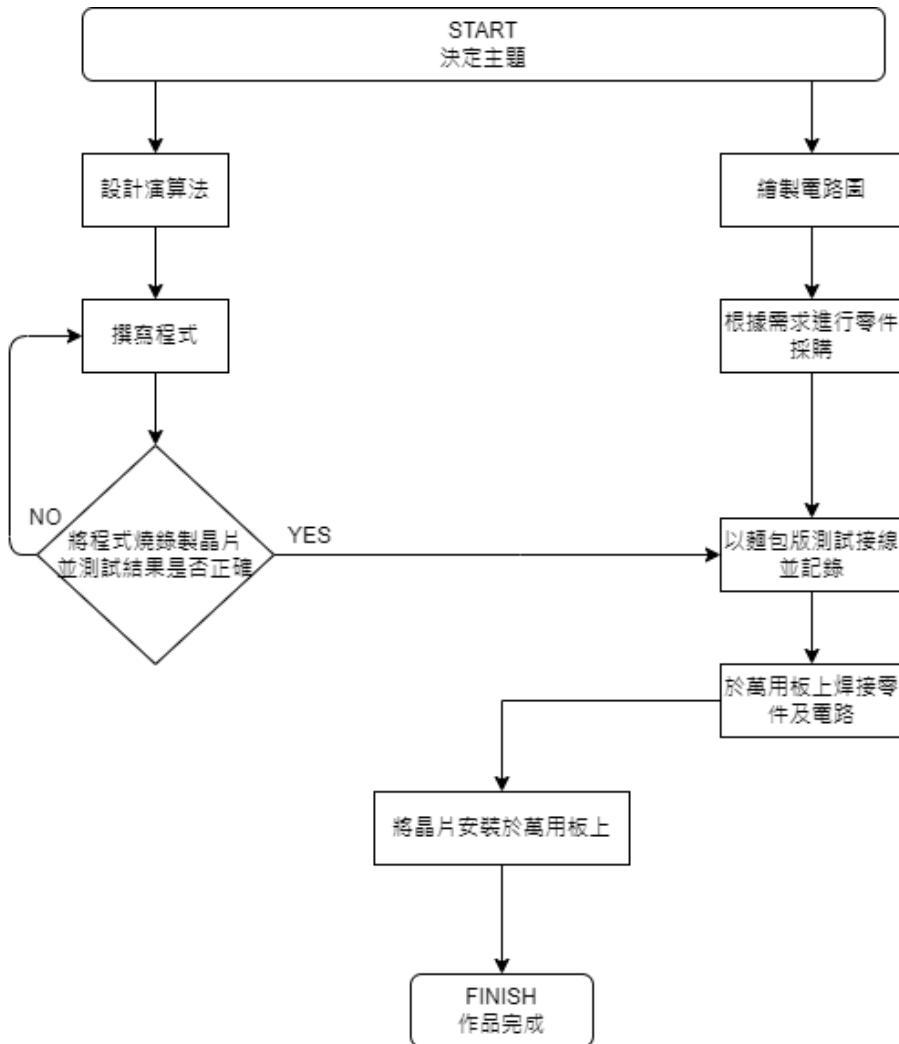


圖 3-2 門禁系統的設計流程

```

104
105 void speaker(void);
106
107 void main()
108 {
109     uchar i,j,z,w; /*i,j is index, z is detect whether it's true, w means who number */
110     IE=0x8a; /* enable timer 0,1 interrupt */
111     TMOD=0x11; /* timer 0,1 work in mode 1 */
112     TH0=(65536-10000)/256; /* set timer0's initial value ,10ms/lus=10000*/
113     TL0=(65536-5000)/256;
114     TH1=(65536-5000)/256; /* set timer1's initial value ,5ms/lus=5000*/
115     TL1=(65536-5000)/256;
116     TR0=1; /* start up timer0 */
117     TR1=1;
118     BUZ=1;
119
120     initial(); /* LCD show function */
121     LED=1;
122     WriteInst(0x80); /*set cursor to (0,0)
123     WriteString(sizeof(MSG1)-1, MSG1);
124
125     WriteInst(0x80); /*set cursor to (1,0)
126     WriteString(sizeof(MSG2)-1, MSG2);
127
128     EMEN();
129 // 93c46 write enable
130     delay_time(1000);
131     EMEN();
132 // 93c46 clear all
133     delay_time(1000);
134 }

```

M-IDE Studio for MCS-51 - [C:\Users\USER\Desktop\newVer\c44.c]

File Edit Selection Device Build Windows Help

Line: 1 Column: 1 Insert c MCUs 8051

M-IDE Studio for MCS-51 : Release 0.2.5.18

< ToolChain List >

Emul8051 : TS Controls Emulator 8051 v1.0

JSMH-51 MCS-51 Simulator v4.05

ASGP-51 : mcs-51 family macro assembler v1.3 (MCU files collection Sep 23, 2008)

SDCC : Small Device C-Compiler

圖 3-3 MIDE-51 的撰寫畫面



圖 3-4 ISP_PROG 畫面



圖 3-5 8051 燒錄版

第二節 電路的實作

透過 EasyEDA 繪製電路圖，如圖 3-6。以麵包板依照繪製的電路接線測試是否正確，最後將零件與電路焊接至萬用板上，如圖 3-7。接線方面首先將 89S52 本身所需要的 Reset 電路、時脈電路以及電源、接地等基礎電路接上。將 P0.0 接上磁簧開關，P1.0 和 P1.1 分別接上 PCF8574T 的 SDA 及 SDL。P2.0 至 P2.3 依序接上 93C46 的 DO、DI、CLK、CS。P2.4 先和電阻串接之後接上電晶體，將訊號放大傳送給蜂鳴器。PORT3 則全部接上 4*4 點矩陣按鈕鍵盤。

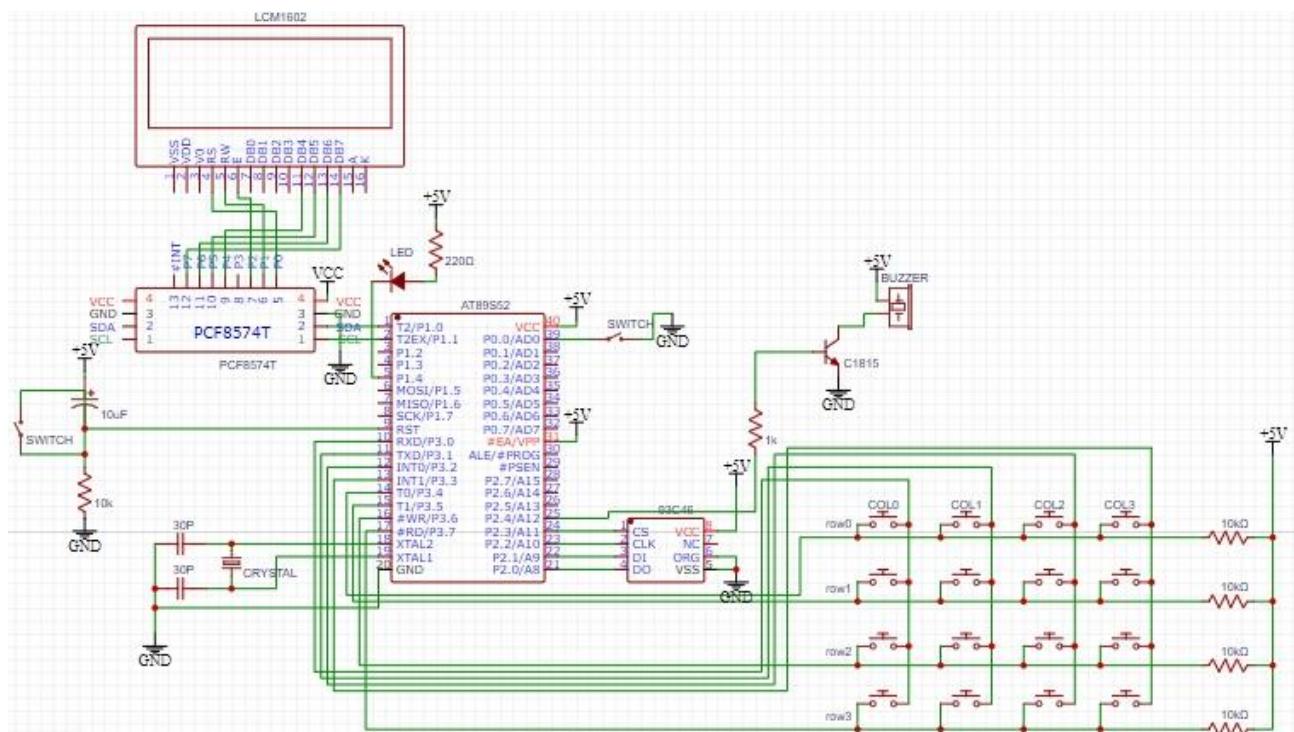


圖 3-6 門禁管制系統電路圖

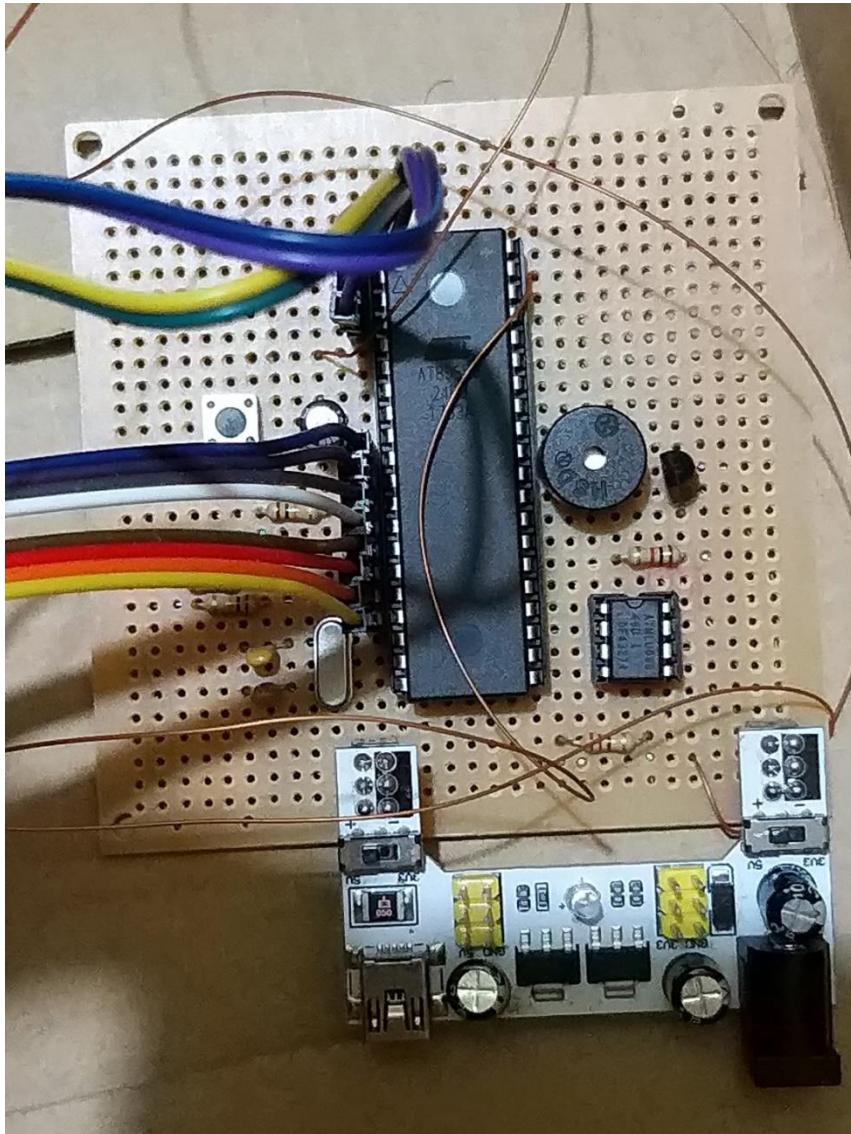


圖 3-7 將零件固定於萬用板

第三節 系統的運作流程

軟體的運作可分為主要頁面以及四種功能。當系統通電時，首先對 LCD 進行初始化，將功能列表顯示於螢幕上，接著將預設的密碼寫入 93C46 當中，寫入之後再將密碼提取出來放入 8051 單晶片的暫存器內，以減少後續比對密碼時的讀取時間，最後將系統時間由 BCD 碼轉換為 ASCII 以利於傳送給 LCD 作為顯示。門禁方面透過檢查現在的系統時間是否於門禁時間的範圍內來決定是否啟用門禁的效果，啟用門禁時根據磁簧開關的通路狀況來判斷驅動通知與否。透過按鈕輸入中斷訊號的方式進行切換，當有按鈕輸入時，透過鍵盤掃描法確定是哪一個按鈕被按下之後，依照 Help 鍵->F1

鍵->F2 鍵->F3 鍵->F4 鍵->其餘按鈕的順序在系統中決定出相應的動作。

(1)Help 鍵

刪除讀取到的按鍵值，避免系統於下次收到前一次的輸入內容，接著顯示出功能列表並返回主頁面，如圖 3-8，實際運作畫面如圖 3-9。

(2)F1 鍵

刪除讀取到的按鍵值，避免系統於下次收到前一次的輸入內容。為了刷新 LCD 顯示的內容，需要先清空螢幕，接著檢查是否有按鍵輸入，當有偵測按鍵輸入時則跳回主頁面，只要沒有任何輸入便將時間由 BCD 碼轉為 ASCII 碼並以 LCD 顯示當前的系統時間，且每秒更新顯示出來的時間，如圖 3-10，實際運作畫面如圖 3-11。

(3)F2 鍵

刪除讀取到的按鍵值，避免系統於下次收到前一次的輸入內容。為了刷新 LCD 顯示的內容，需要先清空螢幕，接著以 LCD 顯示訊息詢問使用者欲更改的是系統時間或門禁時間，依照使用者輸入的鍵值 0 或 1 來決定，當輸入其他鍵值時則返回主頁面，如圖 3-12，實際運作畫面如圖 3-13。

輸入的鍵值為 0 時會清空鍵值輸入值和 LCD 螢幕並刷新為” Adjust time:” ，接著偵測按鍵輸入，如果按下功能鍵則返回主頁面，如果按下 Set 鍵則清除鍵值以防下次系統讀取到錯誤的值。接著檢查輸入的時間格式是否正確，當正確時便修改系統時間並清空 LCD 螢幕，待回到主頁面時可以重新刷新。如果按下數字鍵則將輸入的值暫時儲存起來並清除鍵值，接著等待下一次的輸入直到按下數字鍵以外的按鈕為止，如圖 3-14，實際畫面如圖 3-15。

輸入的鍵值為 1 時會清空鍵值輸入值和 LCD 螢幕並刷新為” Start Time:” ，接著偵測按鍵輸入，如果按下功能鍵則返回主頁面，如果按下數字鍵則將輸入的值暫時儲存起來並清除鍵值，接著等待下一次的輸入直到按下數字鍵以外的按鈕為止，如果按下 Set 鍵則清除鍵值以防下次系統讀取到錯誤的值。接著檢查輸入的時間格式是否正確，當正確時便修改門禁的起始時間，如果不正確則沿用預設時間，接著將 LCD 螢幕刷新為” End Time:” ，並執行和設定起始時間一樣的流程，待輸入完畢之後便返回主頁面，如圖 3-16，實際畫面如圖 3-17 及圖 3-18。

(4)F3 鍵

刪除讀取到的按鍵值，避免系統於下次收到前一次的輸入內容。為了刷新 LCD 顯示的內容，需要先清空螢幕，接著以 LCD 顯示” Input Code” 並等待按鍵輸入，如

果按下功能鍵則返回主頁面，如果按下數字鍵則將輸入的值暫時儲存起來並清除鍵值，接著等待下一次的輸入直到按下數字鍵以外的按鈕為止，如果按下 Set 鍵則將先前暫存起來的密碼和 8051 單晶片內預先紀錄好的密碼做比對，如果錯誤則刷新 LCD 顯示為” Error”，如果正確則顯示為” Exact” 並關閉門窗感應。比對完成之後即回到主頁面，如圖 3-19，實際畫面如圖 3-20。

(5)F4 鍵

刪除讀取到的按鍵值，避免系統於下次收到前一次的輸入內容。為了刷新 LCD 顯示的內容，需要先清空螢幕，接著以 LCD 顯示” Input old code” 並等待按鍵輸入，如果按下功能鍵則返回主頁面，如果按下數字鍵則將輸入的值暫時儲存起來並清除鍵值，接著等待下一次的輸入直到按下數字鍵以外的按鈕為止，如果按下 Set 鍵則將先前暫存起來的密碼和 8051 單晶片內預先紀錄好的密碼做比對，如果錯誤則刷新 LCD 顯示為” Error”，如果正確則紀錄此時比對正確的為第幾筆密碼，如圖 3-21。

當比對完成之後，系統進入修改密碼的流程，首先清除鍵值與刷新 LCD 螢幕顯示為” Input new code” 並等待按鍵輸入，如果按下功能鍵則返回主頁面，如果按下數字鍵則將輸入的值暫時儲存起來並清除鍵值，接著等待下一次的輸入直到按下數字鍵以外的按鈕為止，如果按下 Set 鍵則將新輸入的密碼寫入先前紀錄的該筆密碼於 93C46 內所儲存的位置，並將 8051 單晶片內暫存的密碼更新。最後清空 LCD 螢幕並顯示為” Success!”，接著即返回主頁面，如圖 3-22，實際畫面如圖 3-23。

在門禁時間區段內，只要沒有輸入正確的密碼並開啟門窗，警報變會響起，直到關閉門窗為止，實際畫面如圖 3-24。

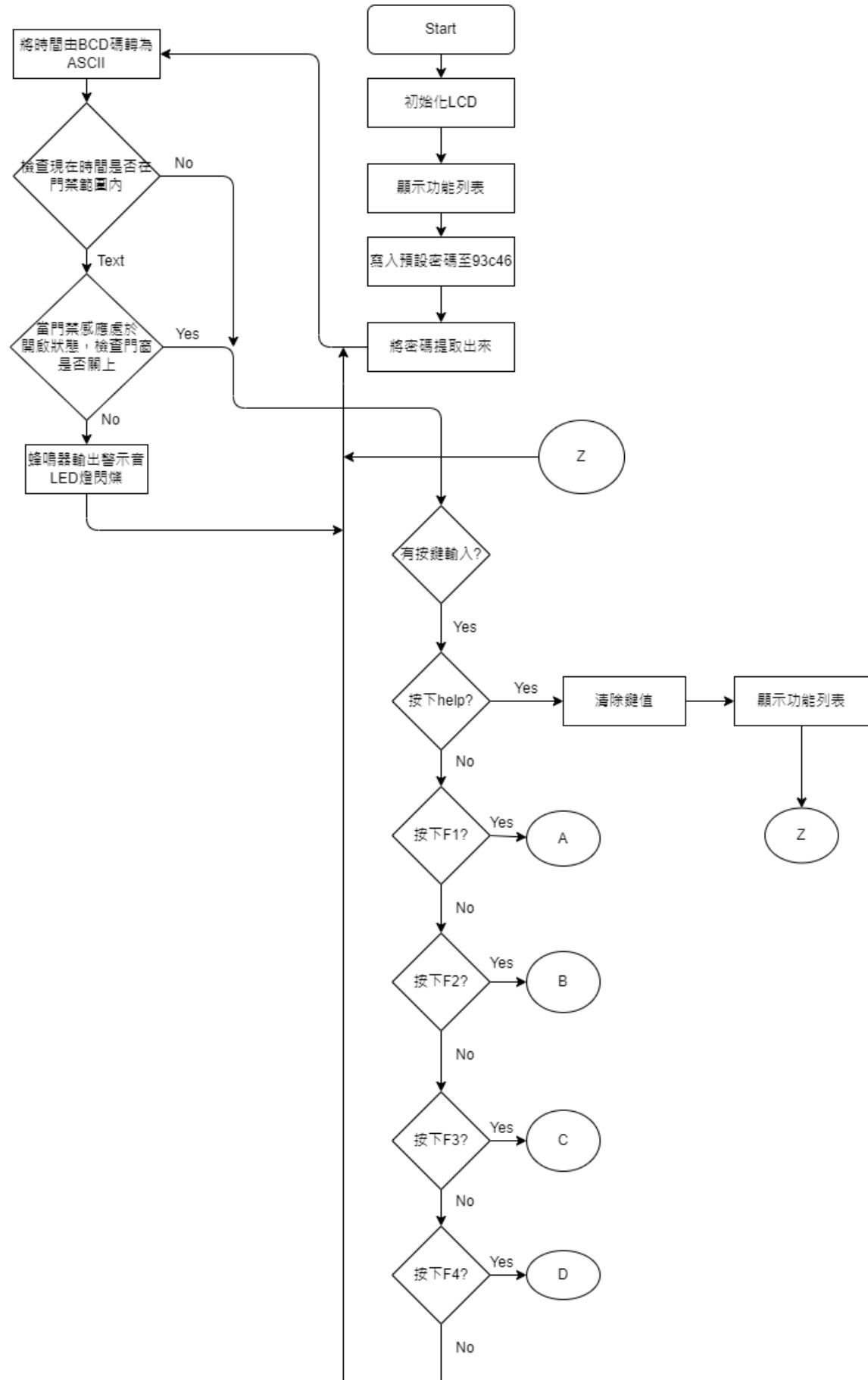


圖 3-8 門禁管制系統的主要流程圖



圖 3-9 主頁面及 help 鍵實際運作畫面

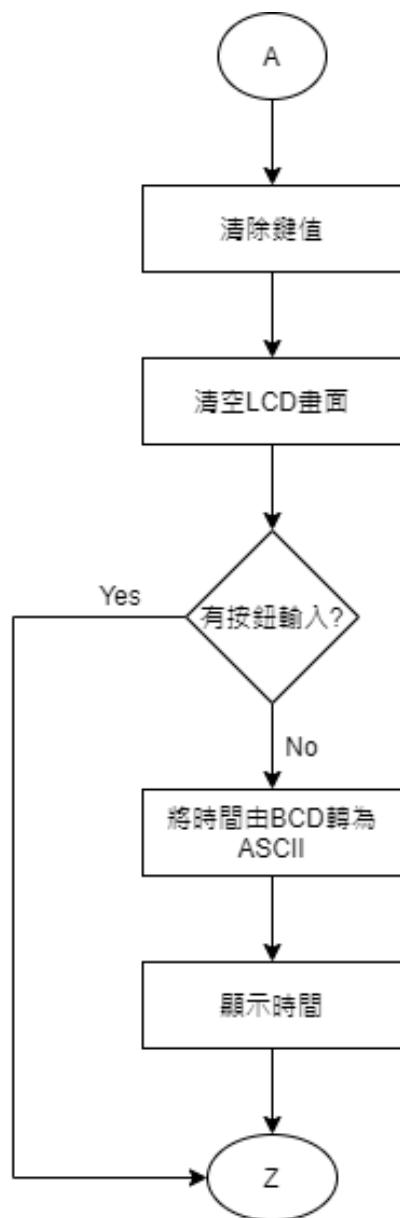


圖 3-10 系統顯示時間的流程圖

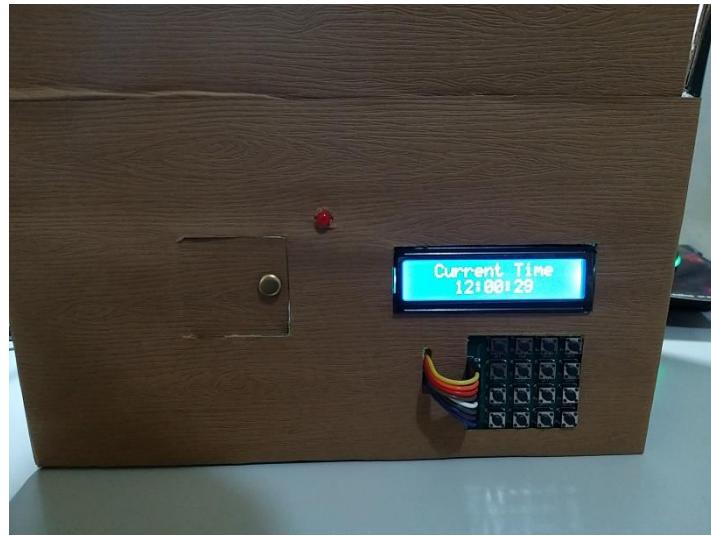


圖 3-11 實際顯示系統時間的畫面

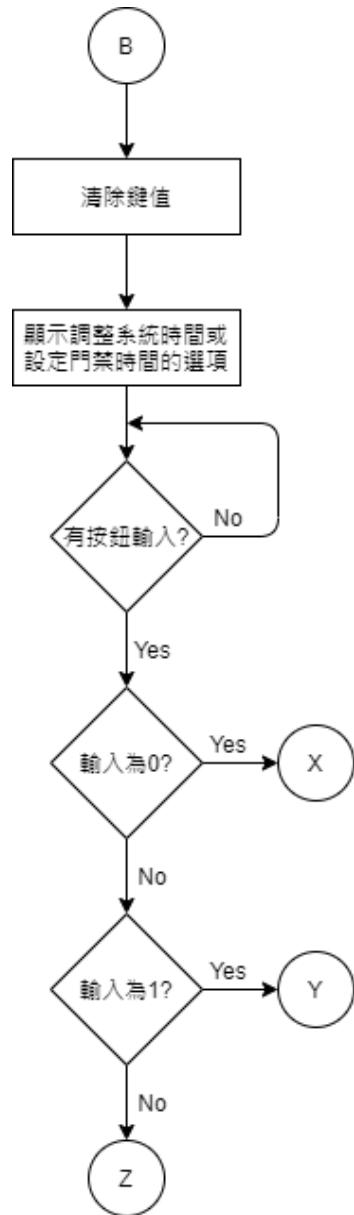


圖 3-12 更改系統時間及門禁時間的主流程圖



圖 3-13 更改時間的前導詢問畫面

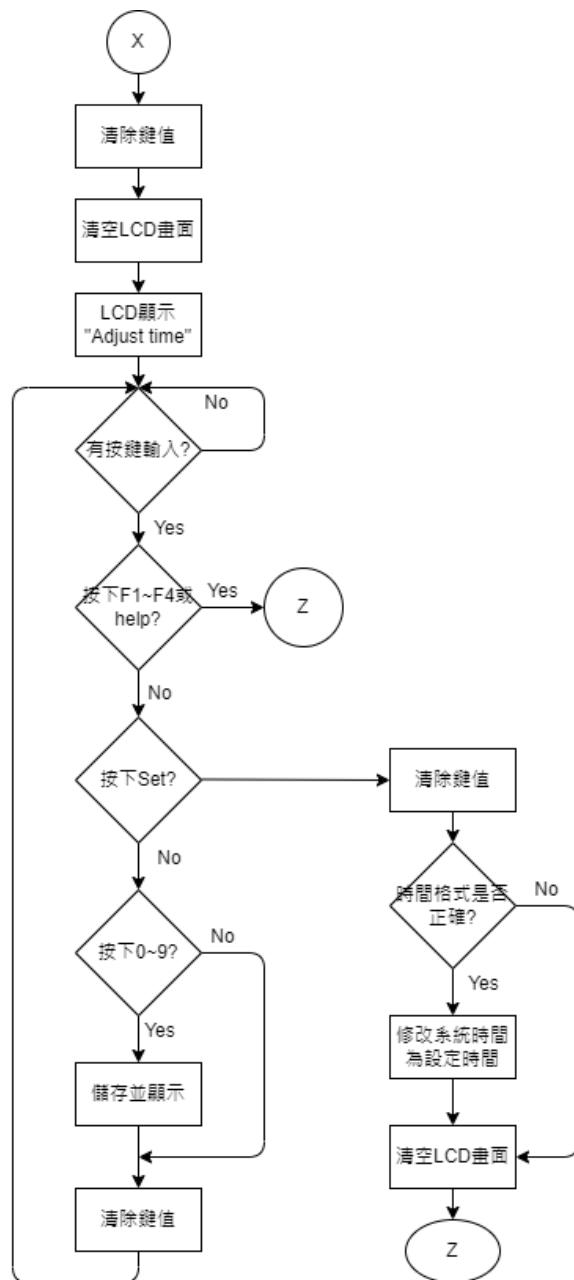


圖 3-14 更改系統時間的流程圖



圖 3-15 更改系統時間畫面

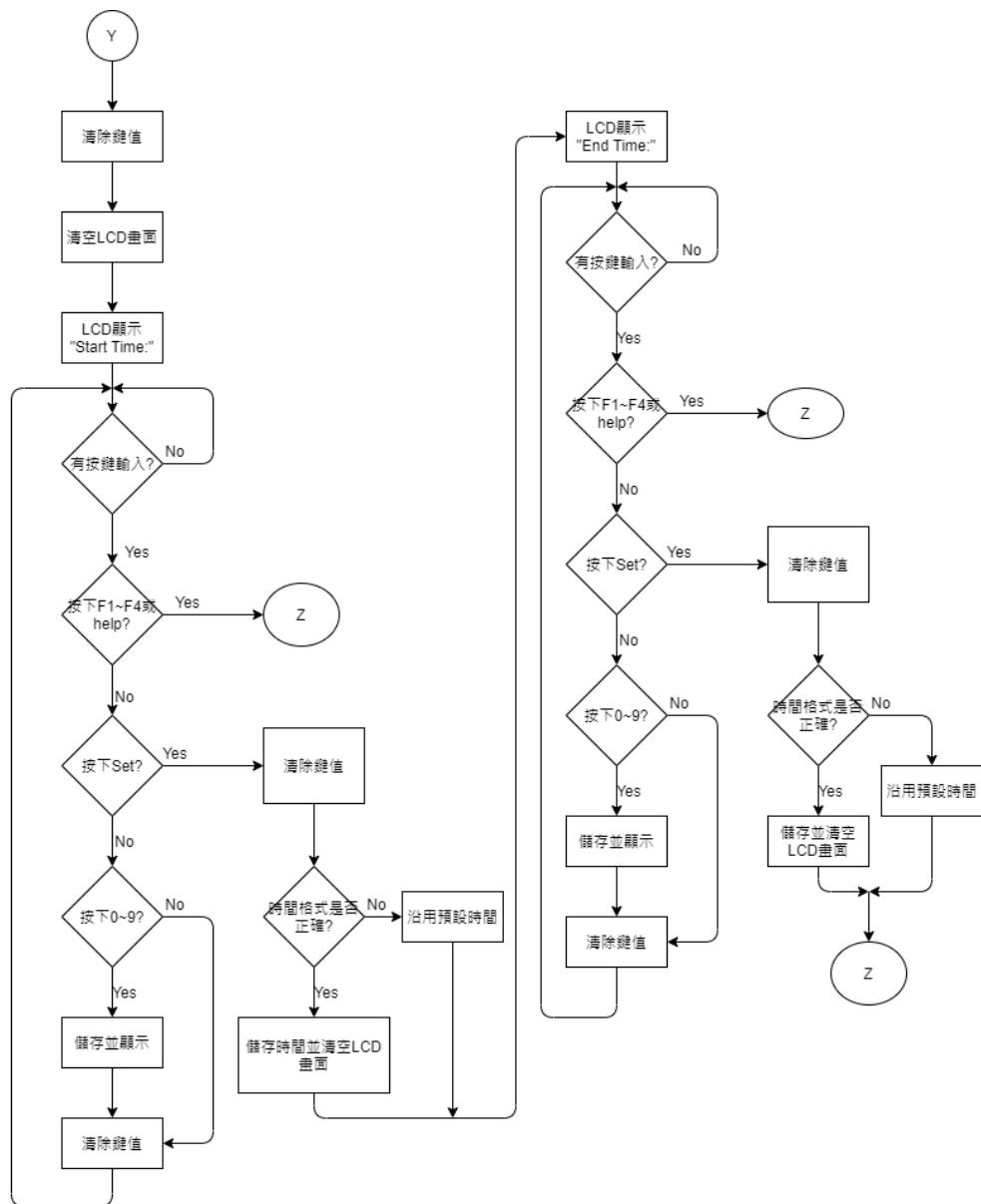


圖 3-16 更改門禁時間的流程圖

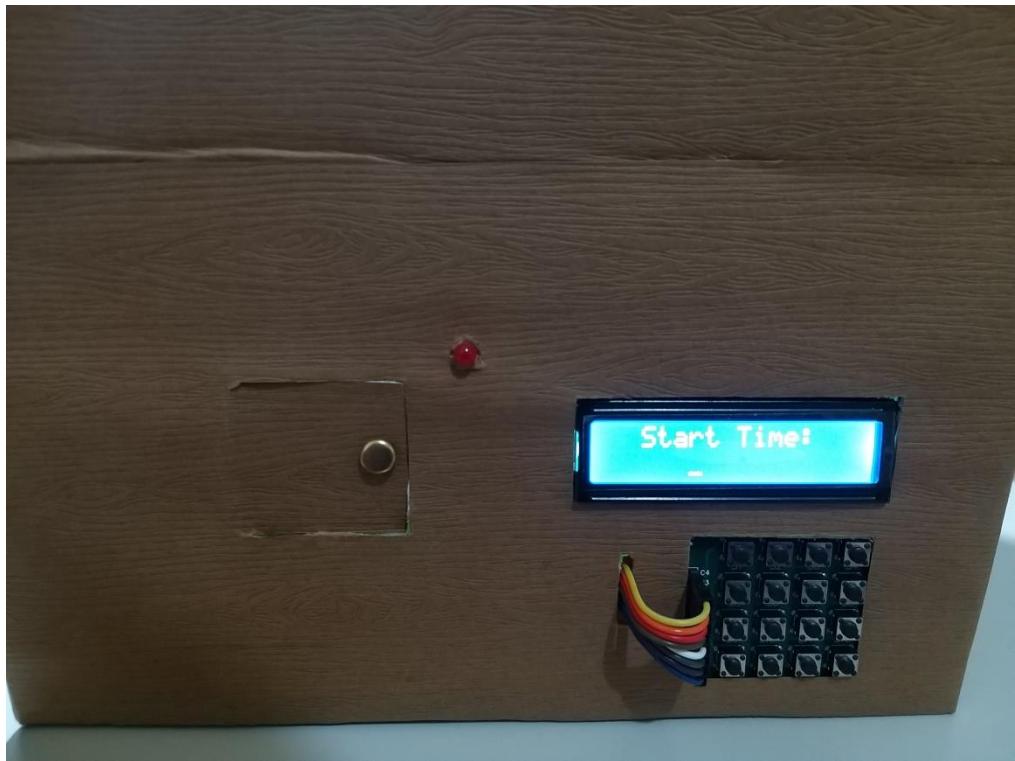


圖 3-17 更改門禁時間區段的起始時間畫面

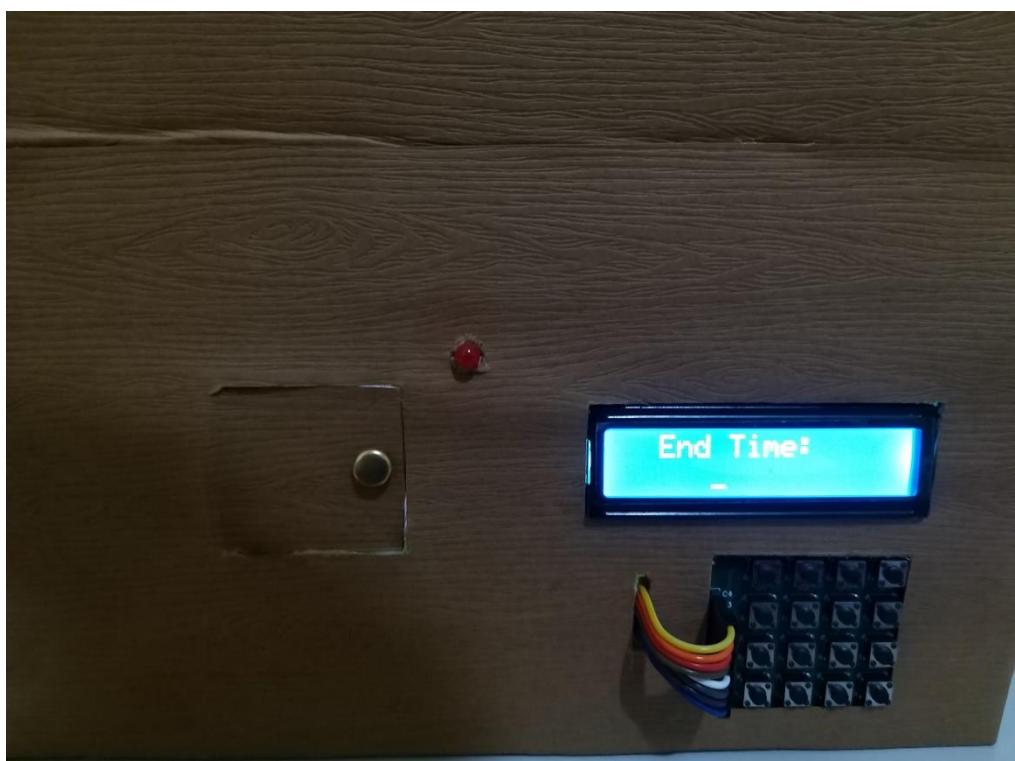


圖 3-18 更改門禁時間區段的結束時間畫面

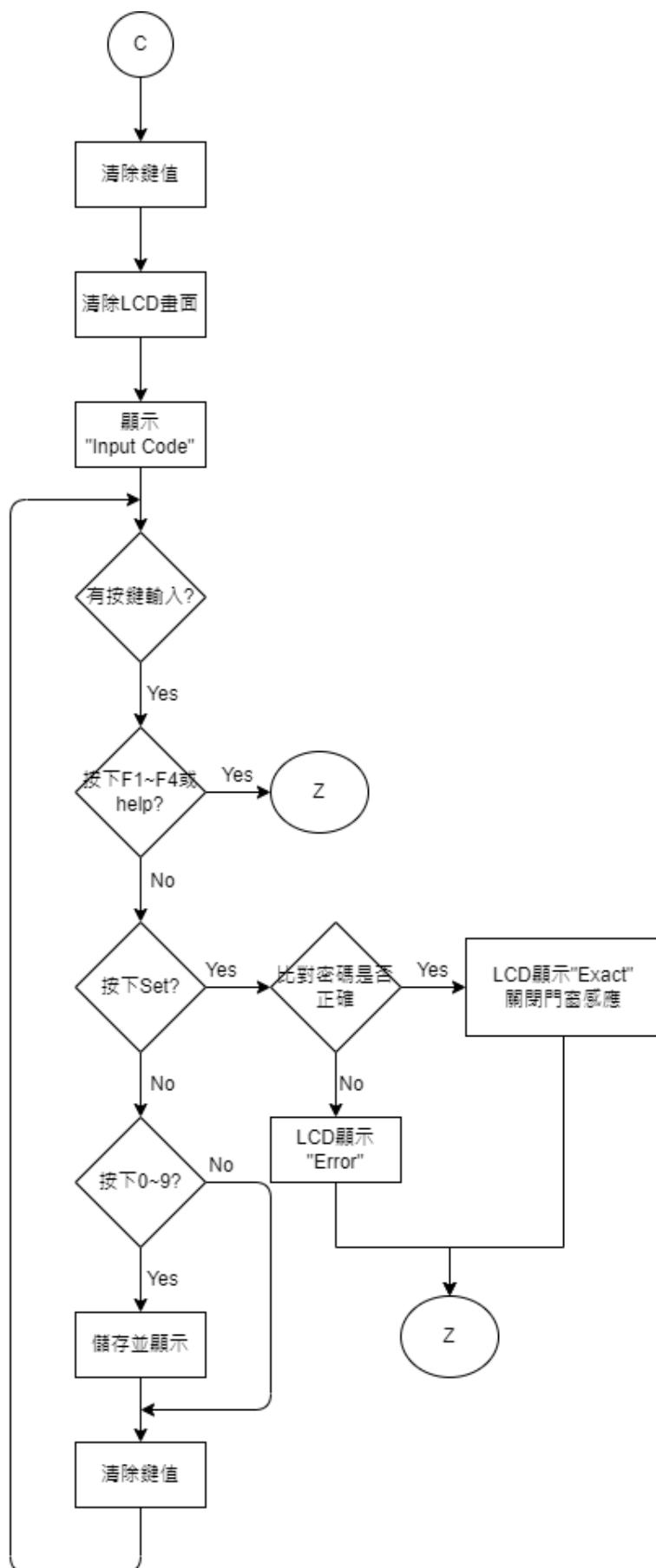


圖 3-19 輸入密碼的流程圖



圖 3-20 輸入密碼畫面

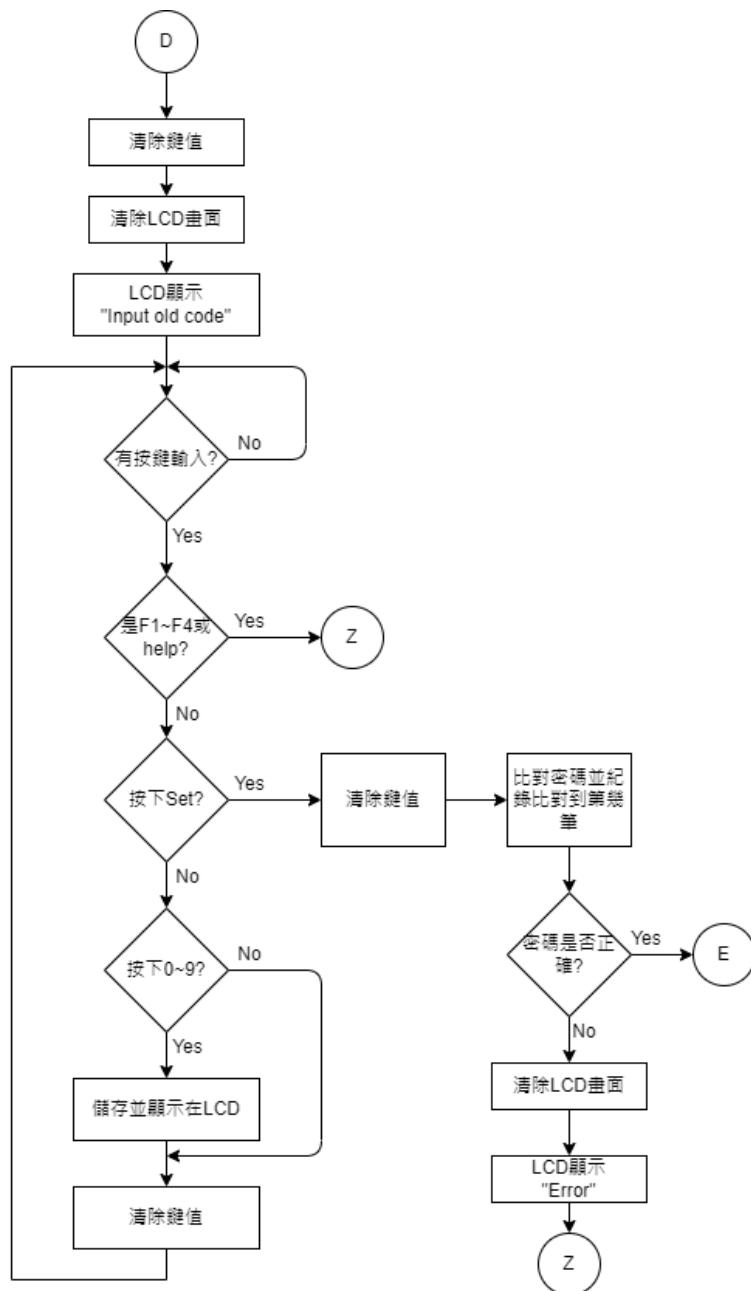


圖 3-21 修改密碼的確認步驟主流程圖

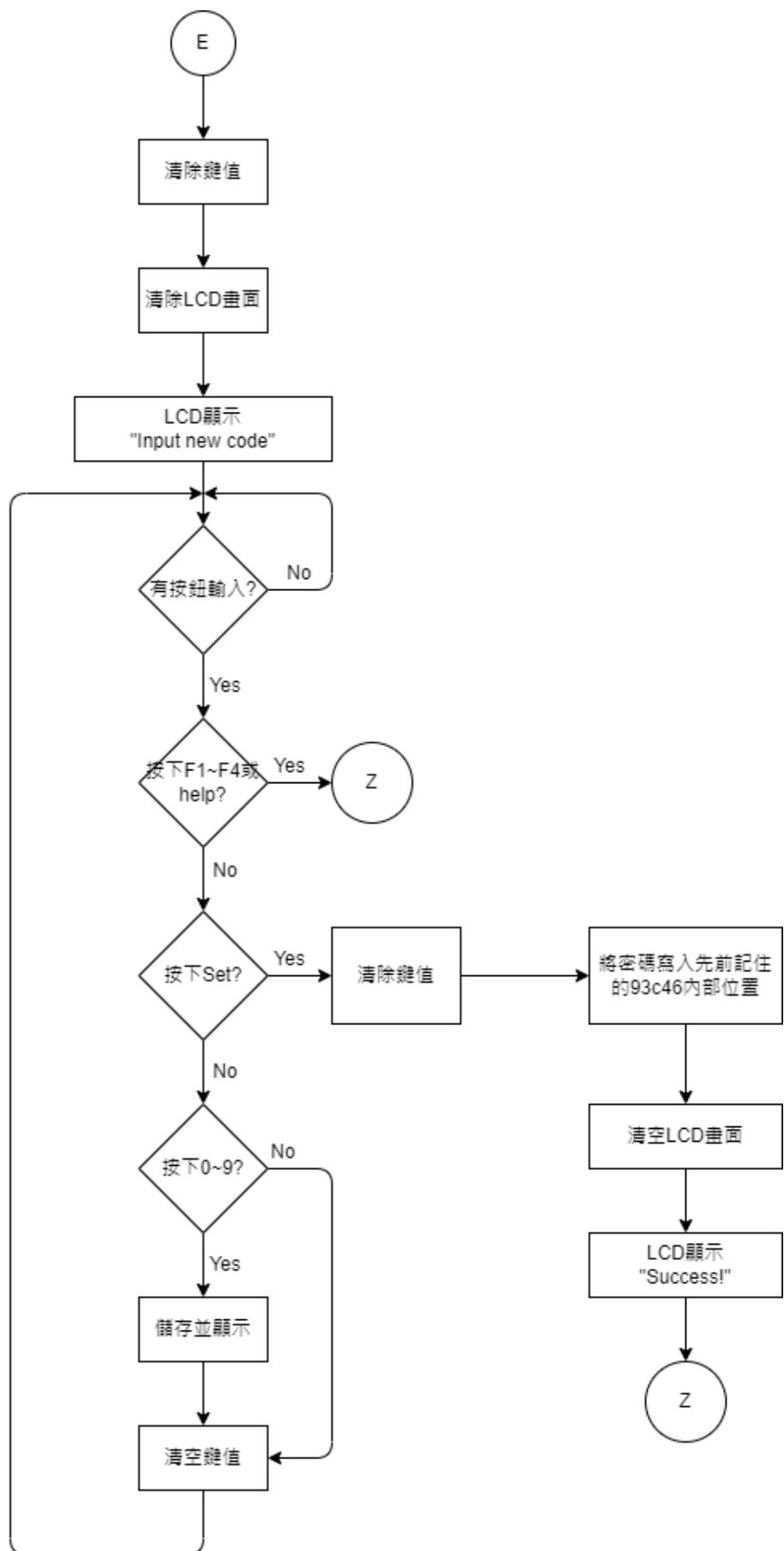


圖 3-22 修改密碼的修改步驟流程圖



圖 3-23 輸入新密碼畫面



圖 3-24 門禁警報響起時的通知效果

第四章 研究結論與建議

第一節 研究結論

本次的設計與實作當中運用到各種不同的周邊零件及模組，以 LCM 的部分而言，由於各家廠商所製造的 LCD 驅動有細微差異與對可變電阻的反應狀況等因素結合之後，容易導致單純只使用 LCD 而非整合模組時會無法有效的驅動，因此使用時以整合完成的 LCM 較佳。蜂鳴器由於僅使用單個電晶體進行放大，在實際的通知上需以電壓放大器配合較大的警報裝置較能達到通知效力。門窗的感應儘管可使用 RFID 的感應達成目標，但是若以 RFID 作為感應方式則會將感應方式變為一個感應區段內的偵測，因此使用磁簧開關不僅降低成本並可有效達成感應的目的。

第五章 文獻探討及資料來源

[1] Atmel(2001)。AT89S52 datasheet。

<https://pdf1.alldatasheet.com/datasheet-pdf/view/82390/ATMEL/AT89S52.html>。線上檢索日期:2021/11/27。

[2] 楊明豐(2003)。8051 單晶片 C 語言設計實務-使用 KeilC。臺北市：碁峯。

[3] 葉懿德(1999)。8051 與通訊系統的設計與實現。(未出版碩士論文)。6-7 頁。國立中正大學，嘉義縣。

[4] iThome 鐵人賽(2020)。IC 之間常用的通訊協定 I²C。

<https://ithelp.ithome.com.tw/articles/10248230>。線上檢索日期:2021/11/25。

[5] Philips Semiconductors(1997)。PCF8574T datasheet。

<https://pdf1.alldatasheet.com/datasheet-pdf/view/18215/PHILIPS/PCF8574T.html>。線上檢索日期:2021/11/27。

[6] 張義和，王敏男，許宏昌，余春長(2018)。例說 89S51:C 語言(第六版)。臺北市：新文京。

[7] Atmel(2005)。93C46 datasheet。

<https://www.futurlec.com/Memory/93C46.shtml>。線上檢索日期:2021/11/28。

[8] Auster.lai(2018)。以三用電表判別電晶體。

<https://blog.xuite.net/auster.lai/twblog/585588928>。線上檢索日期:

期:2021/11/29。