

Semáforos de Trânsito II

Versão 2020

INTRODUÇÃO

Esta experiência tem como principal objetivo a extensão do projeto anterior Semáforos de Trânsito I que levava em conta somente veículos em um cruzamento. Neste projeto os pedestres são acrescentados na lógica de funcionamento da unidade de controle.

OBJETIVO

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

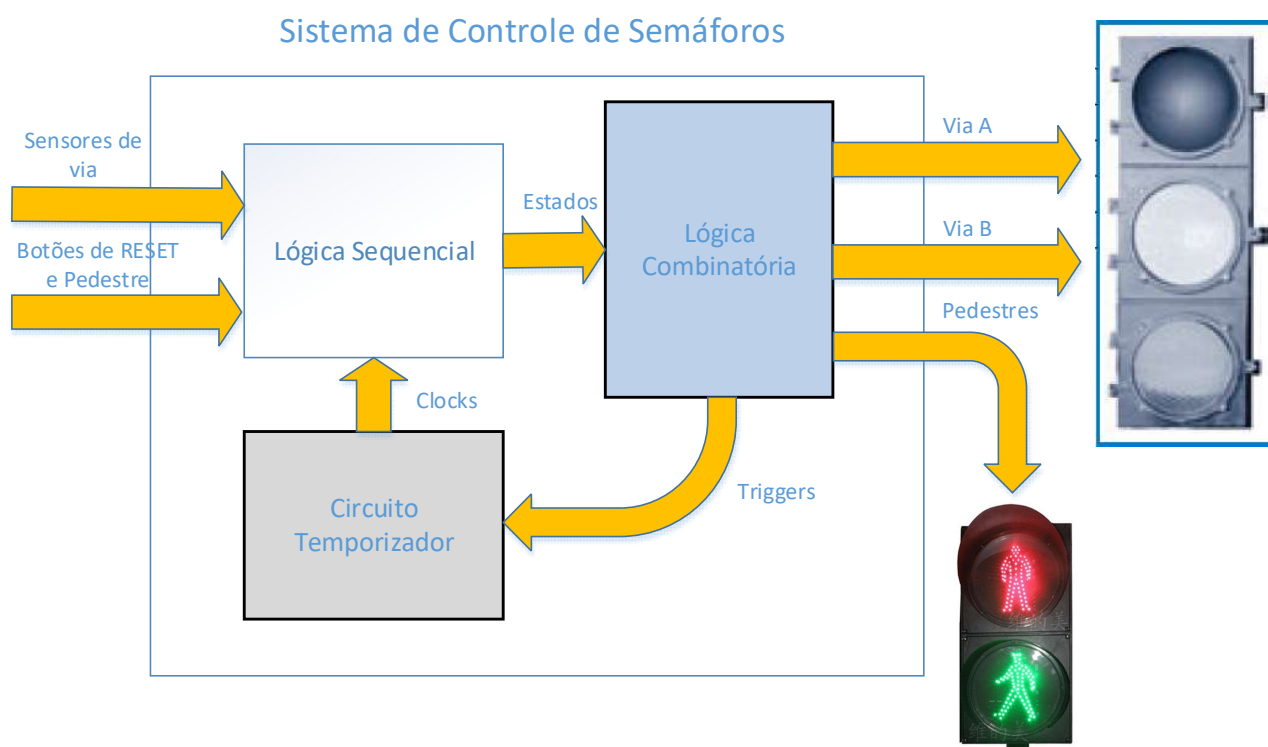
- Projeto de um circuito sequencial com pedestres.

1. PARTE EXPERIMENTAL

1.1. Projeto de um Sistema de Controle de Semáforos

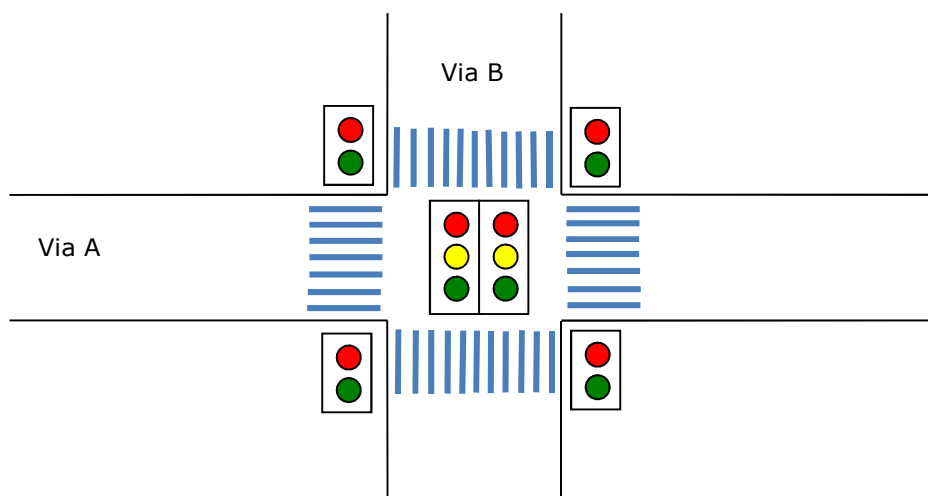
Baseado no circuito implementado na experiência Semáforos de Trânsito I, o novo diagrama de blocos do sistema de controle de semáforos contém semáforos para pedestres, conforme ilustrado na Figura 1.

Figura 1 – Diagrama de blocos de um Sistema de Controle de Semáforos.



Assim, o cruzamento de vias A e B possui agora semáforos para pedestres, conforme ilustrado na Figura 2.

Figura 2 – Cruzamento de vias de veículos e pedestres.



O cruzamento de vias tem, além da funcionalidade do projeto Semáforos de Trânsito I, uma funcionalidade adicional, referente à presença de pedestres. A funcionalidade anterior é mantida.

- Revise o bloco “Lógica combinatória” com componentes discretos para novos dados. Atualize o diagrama lógico e a carta de tempos;
 - Elabore um plano de testes para esse novo bloco;
 - Revise o Diagrama de Transição de Estados da experiência anterior e complemente com novos estados, novas saídas e uma nova tabela de designação de estados;
 - Revise o circuito temporizador para gerar um clock de 1 min para os pedestres;
 - Revise o diagrama lógico do bloco “Lógica Sequencial” acrescentando as revisões decorrentes de a-b;
 - Revise o código VHDL;
 - Realize uma simulação de funcionamento dos blocos “Lógica Sequencial” e “Circuito Temporizador” no Intel Quartus Prime. Anexe as formas de onda no Planejamento;
- DICA:** Acrescente sinais de depuração, se algum resultado não for satisfatório. Corrija e simule novamente.
- Elabore um plano de testes para verificar o funcionamento;
 - Faça uma tabela de designação de pinos e prepare a síntese do projeto do circuito para a placa FPGA DE0-CV com Cyclone V 5CEBA4F23C7N; e
 - Submeta o arquivo QAR do projeto do Intel Quartus Prime junto com o Planejamento.

1.2. Implementação do Sistema de Controle

Nesta atividade o projeto da “Lógica sequencial” e do “Circuito temporizador” em VHDL deverá ser programado na placa de desenvolvimento FPGA DE0-CV. Através do acionamento dos sinais de entrada, o comportamento do circuito deverá ser verificado.

- Monte a “Lógica Combinatória” no painel de montagens de experiências;
- Faça os testes conforme definidos no plano de testes referente ao item a;
- Programe a placa FPGA DE0-CV com o projeto da unidade de controle;
- Faça os testes conforme definidos no plano de testes referente ao item c;
- Acrescente sinais de depuração, caso algum teste não apresente resultado satisfatório, e repita os testes;
- Integre o circuito de controle completo (unidade de dados e de controle); e

IMPORTANTE: Não se esqueça de montar os conversores de tensão entre as duas placas.

g) Faça os testes do circuito de controle completo.

1.3. Desafios (Opcional)

O professor irá propor um desafio sobre esta experiência.

2. BIBLIOGRAFIA

- GOMI, E. S. **Síntese de circuitos sequenciais**. Material de PCS2215, Julho de 2006.
- PCS-EPUSP. **Circuitos biestáveis**. Apostila de Laboratório Digital, 2005.
- PCS-EPUSP. **Circuitos com componentes discretos**. Apostila de Laboratório Digital, 2005.
- Texas Instruments. **TTL Logic Data Book**, 1994.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4th edition, Prentice Hall, 2006.

3. MATERIAL DISPONÍVEL

- Circuitos integrados:
1488, 1489, 74HC4050, 7400, 7402, 7404, 7408, 7414, 7420, 7430, 7432, 7474, 7486, 74138, 74150, 74151, 74153, 74175.

4. EQUIPAMENTOS NECESSÁRIOS

- 1 painel de montagens experimentais.
- 1 fonte de alimentação fixa, $5V \pm 5\%$, 4A.
- 1 osciloscópio digital.
- 1 multímetro digital.

Histórico de Revisões

Profs. Kechi Hirama, Jorge Rady de Almeida, Sérgio Roberto de Mello Canovas – versão 2020