

# Semáforos de Trânsito I

Versão 2020

## INTRODUÇÃO

Esta experiência tem como principal objetivo o projeto de um sistema digital de controle de um semáforo de trânsito, estruturado basicamente com uma lógica sequencial e uma lógica combinatória para o acionamento das luzes de um semáforo.

## OBJETIVO

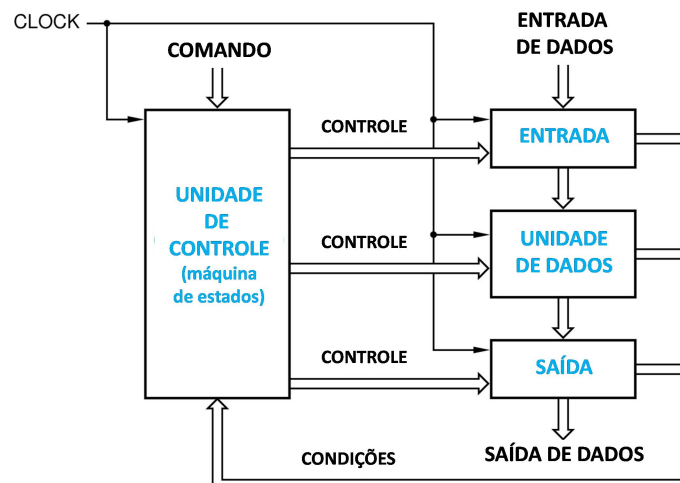
Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Fluxo de Dados e Unidade de Controle;
- Máquina de estados e diagrama de transição de estados;
- Projeto de um sistema digital;

## 1. PARTE EXPERIMENTAL

Um sistema digital em geral pode ser representado por um circuito digital sequencial. A Figura 1 ilustra a estrutura básica de um **sistema digital síncrono** (Wakerly, 2006). Esta decomposição em blocos menores facilita o entendimento e/ou projeto do sistema como um todo. Os blocos principais são o Fluxo de Dados (FD) e a Unidade de Controle (UC). Os blocos de entrada e saída são responsáveis apenas pelo pré-processamento e condicionamento de sinais para entrada e saída (por exemplo, saída em *displays* de 7 segmentos).

**Figura 1 – Estrutura de um sistema digital síncrono.**



**Fonte: Wakerly, 2006**

O Fluxo de dados (FD) pode conter vários componentes que executam funções básicas abstratas, a saber: (adaptado de Wakerly, 2006)

- *Funções combinatórias*: incluindo unidades lógicas e aritméticas, comparadores e outras operações que combinam ou modificam dados;
- *Registradores*: coleção de *flip-flops* em paralelo usados para armazenar e recuperar dados;
- *Funções sequenciais especializadas*: incluem contadores, deslocadores ou outras funções mais complexas, tais como criptografia ou decodificação;
- *Memória de leitura/escrita*: para armazenamento organizado de dados.

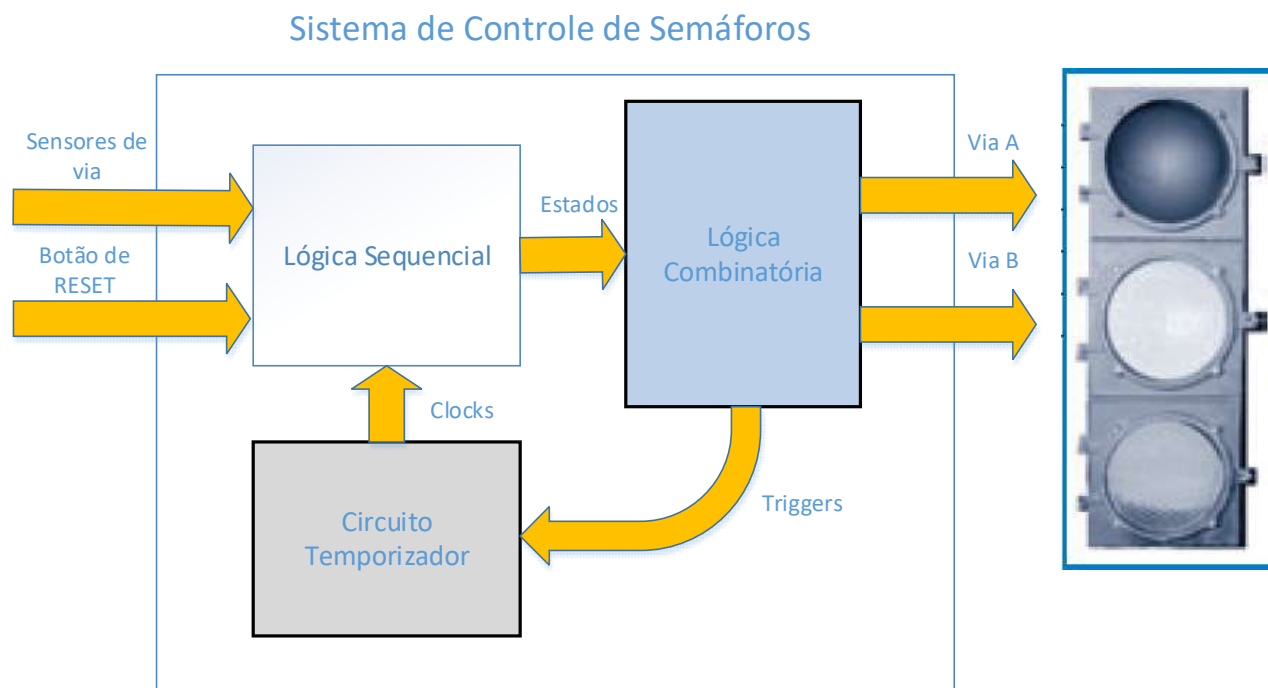
A Unidade de Controle (UC) é responsável pela ordenação de ações/operações executadas no F, com a realização de teste de condições e acionamento de sinais de controle. Em geral, a unidade de controle

deve ser projetada através de um Diagrama de Transição de Estados (modelo de Mealy ou Moore) ou outro diagrama similar, tal como o diagrama ASM (*Algorithmic State Machines*)

## 1.1. Sistema de Controle de Semáforo de Trânsito

Um diagrama de blocos em alto nível de um sistema de controle de semáforos pode ser visto na Figura 2.

**Figura 2. Diagrama de blocos de um sistema de controle de semáforos.**



Fonte: Adaptado de FLOYD (2007).

Nesse sistema, todas as saídas são funções diretas do estado atual, não havendo necessidade de armazenar variáveis em registradores nem manipulá-las. Desse modo, o bloco geral do sistema da Figura 2 pode ser visto como a própria unidade de controle, ou seja, foi possível reduzir esse projeto apenas a uma UC, sem FD. Nesse contexto, as saídas externas para as vias de trânsito são consideradas saídas de controle.

### a) Lógica Combinatória

Também chamado de circuito combinatório, não possui memória, ou seja, as saídas são dependentes apenas da combinação dos níveis lógicos presentes nas entradas (TOCCI, 2011). Nesses circuitos usam-se portas lógicas básicas e álgebra booleana para descrever e analisar o seu funcionamento.

O projeto de circuitos lógicos combinatórios pode ser feito usando a tabela-verdade, se um nível de saída é dado para todas as condições de entrada possíveis. O método do Mapa de *Karnaugh* é usado para converter uma tabela-verdade para o circuito combinatório correspondente (TOCCI, 2011).

### b) Lógica Sequencial

Um circuito digital não é muito útil se for constituído de somente lógica combinatória. Muitas vezes precisa-se guardar o estado de um dado ou aquele resultante de uma lógica combinatória para uso futuro em um circuito chamado memória. Ou evoluir o estado do circuito a partir dos dados armazenados e novas entradas de dados, o que requer alguma lógica combinatória para gerar o próximo estado. Nestes casos, a saída é uma composição das entradas e dos dados armazenados em memória. Esta composição é um circuito digital típico. Nesses circuitos usam-se *flip-flops*, como memória básica, contadores e registradores de deslocamento para guardar o estado de um dado interno ou externo do circuito.

## c) Circuito Temporizador

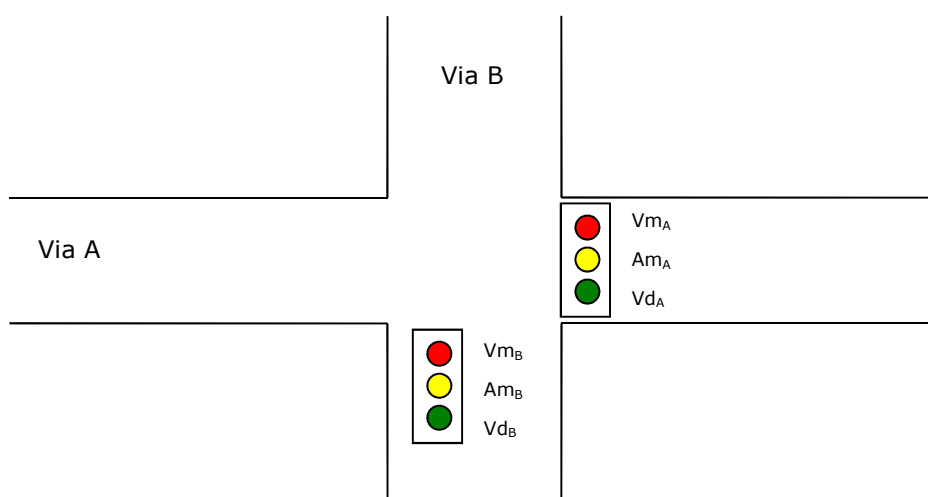
O circuito temporizador é constituído de relógios que são circuitos ou dispositivos que geram sinais em uma frequência compatível com o funcionamento desejado do circuito digital. Nesses circuitos, usam-se, por exemplo, o clássico CI 555 como oscilador e *flip-flops* para geração de frequências desejadas. No caso da placa FPGA (DE0-CV) do LabDig, ela fornece um clock de 50MHz. Para se obter clocks da ordem de Hz, por exemplo, precisa-se dividir essa frequência. Uma forma de fazer isto é usar contadores como divisores de frequências.

## 1.2. Projeto de um Sistema de Controle de Semáforos

O projeto do sistema digital de controle de semáforo é constituído de uma lógica combinatória, uma lógica sequencial e um circuito temporizador.

Para efeito de projeto considere o diagrama de blocos de um sistema de controle de semáforo (Figura 2) e de um cruzamento de vias A e B de acordo com a Figura 3.

**Figura 3 – Cruzamento de Vias A e B.**



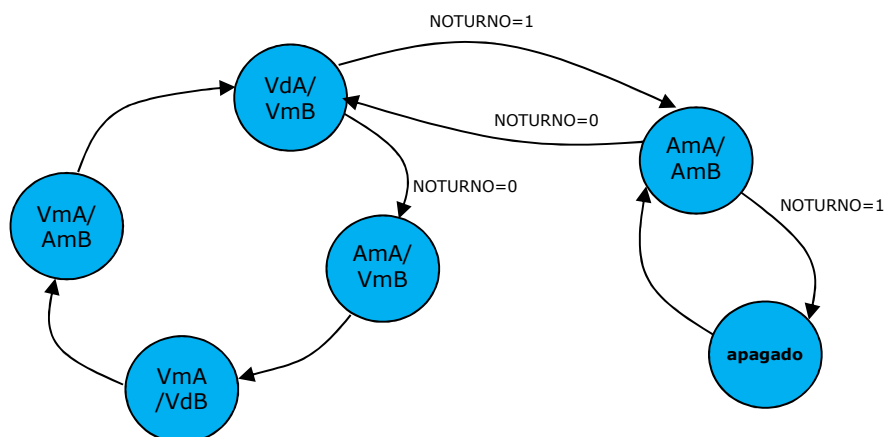
O sistema deve tratar os seguintes dados:

- Presença de veículos nas vias;
- Luzes dos semáforos;
- Indicação de madrugada;
- Indicação de RESET.

A Unidade de Controle deve acionar as luzes dos semáforos de acordo com uma sequência de acionamentos das luzes que seja equitativo entre as vias em condições normais. A não presença de veículos em uma via acarreta a suspensão do tempo de luz verde nessa via. Ao se detectar um veículo, a sequência de acionamentos das luzes volta ao normal. De madrugada, as luzes devem ser piscantes de forma intermitente para ambas as vias, e nesse caso a informação de presença de veículos não é utilizada. Com o sinal de RESET, a unidade de controle volta para o estado inicial.

A sequência de luzes (Verde-Vd, Amarela-Am e Vermelha-Vm) de um semáforo de trânsito pode ser representada pelo **Diagrama de Transição de Estados** básico ilustrado na Figura 4.

**IMPORTANTE:** A Figura 4 não contempla a suspensão do ciclo de acionamentos das luzes, caso não haja veículos em uma das vias, conforme a funcionalidade da unidade de controle descrita anteriormente. O aluno deve acrescentar a entrada **PRESENÇA DE VEÍCULOS (Pv)** para cada via: PvA e PvB, e completar o **Diagrama de Transição de Estados**.

**Figura 4 – Diagrama de transição de estados básico de parte da unidade de controle.**

A Tabela 1 abaixo mostra a designação de estados a ser adotada no projeto e os valores de cada lâmpada dos semáforos em cada um dos estados.

**Tabela 1 – Designação de estados e valores de cada lâmpada.**

estado	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Vd <sub>A</sub>	Am <sub>A</sub>	Vm <sub>A</sub>	Vd <sub>B</sub>	Am <sub>B</sub>	Vm <sub>B</sub>
Vd <sub>A</sub> /Vm <sub>B</sub>	0	0	0	1	0	0	0	0	1
Am <sub>A</sub> /Vm <sub>B</sub>	0	0	1	0	1	0	0	0	1
Vm <sub>A</sub> /Vd <sub>B</sub>	0	1	1	0	0	1	1	0	0
Vm <sub>A</sub> /Am <sub>B</sub>	0	1	0	0	0	1	0	1	0
apagado	1	0	0	0	0	0	0	0	0
Am <sub>A</sub> /Am <sub>B</sub>	1	1	0	0	1	0	0	1	0

O circuito temporizador deve gerar clocks em segundos e minutos. Os clocks devem ser de 1 segundo para as transições de estados entre luzes amarela acesa e apagada, 5 segundos entre amarela e vermelha, 1 min entre verde e amarela e vermelha e verde.

- Projete o bloco “Lógica combinatória” da Figura 2 com componentes discretos e elabore seu diagrama lógico;
  - Elabore uma carta de tempos para este bloco;
  - Elabore uma estratégia de montagem deste bloco;
  - Elabore um plano de testes deste bloco;
  - Elabore um diagrama de transição de estados completo da unidade de controle, incluindo o tratamento da presença de veículos;
  - Projete os blocos “Lógica sequencial” e “Circuito temporizador” em VHDL. Lembre-se de que a FPGA utilizada oferece um sinal de *clock* de 50 MHz, o qual pode ser ligado como entrada em seu *toplevel*. Você pode utilizar um contador genérico em VHDL, ou contadores cascadeados juntamente com alguma lógica combinatória, para montar um divisor de frequências, gerando os *clocks* nas frequências necessárias a partir do *clock* da FPGA;
  - Realize uma simulação de funcionamento dos blocos “Lógica sequencial” e “Circuito temporizador” no Intel Quartus Prime. Anexe as formas de onda no Planejamento;
- DICA:** Acrescente sinais de depuração, se algum resultado não for satisfatório. Corrija e simule novamente.
- Faça uma tabela de designação de pinos e prepare a síntese do projeto da unidade controle para a placa FPGA DE0-CV com Cyclone V 5CEBA4F23C7N;
  - Submeta o arquivo QAR do projeto da unidade de controle do Intel Quartus Prime junto com o Planejamento; e
  - Elabore um plano de testes para verificar o funcionamento do sistema controle completo (fluxo de dados e de controle).

## 1.2. Implementação do Sistema de Controle

Nesta atividade o projeto dos blocos “Lógica sequencial” e “Circuito temporizador” em VHDL deverá ser programado na placa de desenvolvimento FPGA DE0-CV. Através do acionamento dos sinais de entrada, o comportamento do circuito deverá ser verificado.

- Monte e teste o bloco “Lógica Combinatória” no painel de montagem de experiências de acordo com a estratégia de montagem e testes definidos no planejamento;
- Programa a placa FPGA DE0-CV com o projeto dos blocos “Lógica Sequencial” e “Circuito Temporizador”;
- Execute os testes contidos no Plano de Testes para os dois itens acima de forma independente;
- A placa FPGA DE0-CV opera com 3,3 volts. A placa de montagem de experiências irá operar com 5 volts. Para integrar as duas placas monte conversores de tensão disponíveis no laboratório para permitir essa integração; e em seguida faça os testes do sistema completo de forma integrada; É recomendado utilizar o osciloscópio para verificar se os níveis de tensão na saída dos conversores estão corretos antes de interligar a FPGA com a placa de montagem.
- Acrescente sinais de depuração, caso algum teste não apresente resultado satisfatório, e repita os testes.

## 1.3. Desafios (Opcional)

O professor irá propor um desafio sobre esta experiência.

## 2. BIBLIOGRAFIA

- FLOYD, T. L. **Sistemas Digitais – Fundamentos e Aplicações**. 9ª edição. Porto Alegre. Bookman. 2007. 888p.
- MIDORIKAWA, E. T. **Controle para Semáforos de um Cruzamento**. Apostilas de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2006-2014.
- Texas Instruments. **TTL Logic Data Book**, 1994.
- TOCCI, R. J., WIDMER, N. S., MOSS, G. L. **Sistemas Digitais – Princípios e Aplicações**. 11ª. edição. São Paulo. Pearson Prentice Hall. 2011. 817p.
- WAKERLY, John F. **Digital Design Principles & Practices**. 4<sup>th</sup> edition, Prentice Hall, 2006.

## 3. MATERIAL DISPONÍVEL

- Circuitos integrados:  
1488, 1489, 74HC4050, 7400, 7402, 7404, 7408, 7414, 7420, 7430, 7432, 7474, 7486, 74138, 74150, 74151, 74153, 74175.

## 4. EQUIPAMENTOS NECESSÁRIOS

- 1 painel de montagens experimentais.
- 1 fonte de alimentação fixa, 5V  $\pm$  5%, 4A.
- 1 osciloscópio digital.
- 1 multímetro digital.

### Histórico de Revisões

Prof. Edson T. Midorikawa – versão 2014

Profs. Kechi Hiramã, Jorge Rady de Almeida, Sérgio Roberto de Mello Canovas – versão 2020