# Architektura systemów komputerowych

Laboratorium nr 8

## Wstęp teoretyczny

W ramach sprawozdania analizujemy i konstruujemy cyfrowe układy logiczne, skupiając się na licznikach binarnych. Te układy są kluczowe w systemach komputerowych, umożliwiając realizację operacji logicznych i arytmetycznych.

**Licznik binarny** to układ sekwencyjny przechodzący przez stany binarne w odpowiedzi na sygnały zegarowe.

Wyróżniamy:

## Licznik Asynchroniczny:

Przechodzi przez stany w odpowiedzi na sygnały poprzednich przerzutników, co prowadzi do opóźnień.

#### **Licznik Synchroniczny:**

Taktuje wszystkie przerzutniki jednocześnie, eliminując opóźnienia i zapewniając spójność.

#### Zadanie 1)

Sprawdzić działanie układów programu MMLogic.

#### a) Counter (Licznik)

Opis działania:

Licznik w MMLogic to urządzenie, które zlicza impulsy zegarowe.

Wejścia licznika:

- 1. CT (Clock):
  - Każdy impuls powoduje zwiększenie (lub zmniejszenie) wartości licznika w zależności od kierunku (D).
- 2. D (Direction):
  - Określa kierunek liczenia:
    - 1 → licznik zwiększa wartość (inkrementacja).
    - $0 \rightarrow \text{licznik zmniejsza wartość (dekrementacja)}$ .

ASK_06	Rączka Gabriela	Informatyka niestacjonarna	semestr zimowy 2024/25
		III rok	

## 3. R (Reset):

o Po podaniu sygnału 1 licznik zostaje zresetowany do wartości 0000 (zero).

#### Wyjścia licznika:

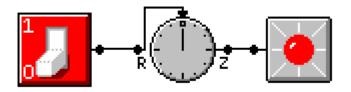
- Licznik ma cztery wyjścia: 3, 2, 1, 0, które reprezentują wartość binarną kolejnych potęg
  2. 2<sup>0</sup>, 2<sup>1</sup>, 2<sup>2</sup>, 2<sup>3</sup>
- Przykład wartości na wyjściach:
  - o  $0000 \rightarrow 0$  (dziesiętnie).
  - $\circ$  1001 → 9 (dziesiętnie)

### b) Timer (Zegar)

### Opis działania:

Timer w MMLogic działa jako generator impulsów zegarowych.

**Czas opóźnienia:** Można go ustawić w milisekundach, co pozwala na precyzyjne kontrolowanie momentu przełączania sygnałów. Gdy ustawimy opóźnienie na 0 milisekund, wyjście (np. dioda) będzie stale aktywna.



Schemat 1) Schemat zbudowany timera

### c) 7 Segment LED

## Opis działania:

Wyświetlacz 7 Segment LED pokazuje wartości binarne zliczane przez licznik w formie cyfr i liter szesnastkowych.

#### Wejścia:

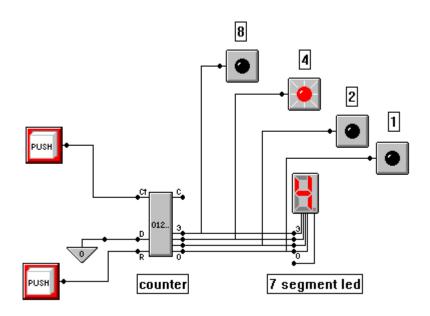
- Podłączone są do wyjść licznika:
  - o Wejście 0: 2^0
  - Wejście 1: 2^1
  - Wejście 2: 2^2
  - o Wejście 3: 2^3

#### Dekodowanie:

• Wartości binarne są przekształcane i zostają wyświetlane wartości

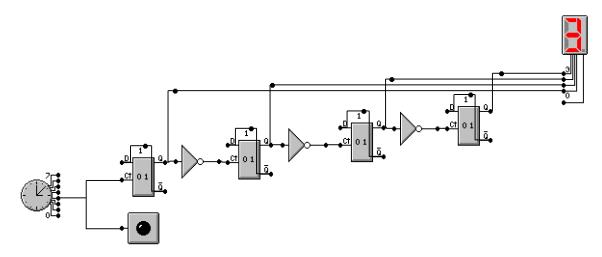
ASK_06	Rączka Gabriela	Informatyka niestacjonarna	semestr zimowy 2024/25
		III rok	

- 0-9 (cyfry).
- o A (dla wartości 10 = 1010 binarnie) itd.



Schemat 2) Schemat zbudowany z countera i segemntu ledowego.

## Zadanie 2) Zbudować licznik dwójkowy 4-bitowy asynchroniczny.



Schemat 3) Schemat zbudowany z clock'a i przerzutników typu D z zanegowanym wejściem.

Licznik dwójkowy 4-bitowy zliczający w górę został zbudowany przy użyciu czterech przerzutników typu D. Kluczowym elementem konstrukcji jest zanegowane wejście zegara w każdym przerzutniku, co zapewnia poprawne zliczanie w górę.

Wejścia D każdego przerzutnika są połączone z wyjściami Q kolejnych przerzutników.

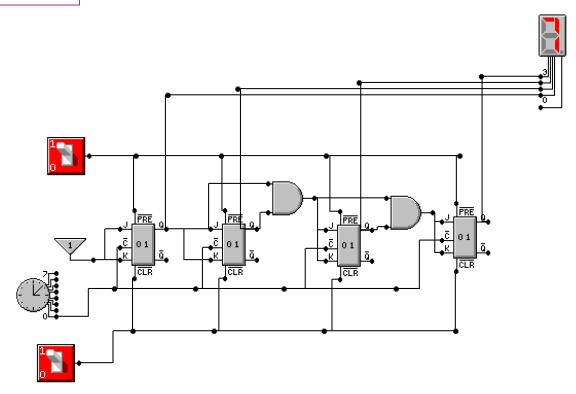
ASK_06	Rączka Gabriela	Informatyka niestacjonarna	semestr zimowy 2024/25
		III rok	

Jeśli wyjście Q nie ma wartości (jest w stanie nieokreślonym), węzeł automatycznie podaje wartość logiczną 1 (HIGH) na wejście D.

Zanegowane wejścia zegara umożliwiają, aby każdy przerzutnik zmieniał stan przy każdym narastającym zboczu sygnału z wyjścia poprzedniego przerzutnika, co umożliwia prawidłowe zliczanie binarne w zakresie od 0 do 15 (0000 do 1111).

Negacja wejścia zegara jest niezbędna, ponieważ bez niej licznik zliczałby w dół od wartości maksymalnej do zera. Dzięki tej konfiguracji, licznik jest w stanie prawidłowo zliczać w górę, realizując swoje zadanie.

## Zadanie 3) Zbudować licznik dwójkowy 4-bitowy synchroniczny.



Schemat 4) Schemat zbudowany z clock'a i przerzutników typu JK.

Licznik dwójkowy 4-bitowy synchroniczny został zbudowany z czterech przerzutników typu JK, które mają ustawione wejścia PRE (Preset) i CLR (Clear) na wartość logiczną 1 (HIGH), co umożliwia ich normalne działanie. Wszystkie przerzutniki są podłączone do wspólnego zegara (clock), co zapewnia synchronizowane zmiany stanów.

Wejścia J i K pierwszego przerzutnika (JK0) są wymuszone na logiczną 1 (HIGH), co pozwala mu zmieniać stan przy każdym narastającym zboczu sygnału zegarowego. Kolejne przerzutniki mają swoje wejścia J i K sterowane wyjściami poprzednich przerzutników oraz bramek AND, co umożliwia prawidłowe zliczanie binarne w zakresie od 0 do 15 (0000 do 1111).

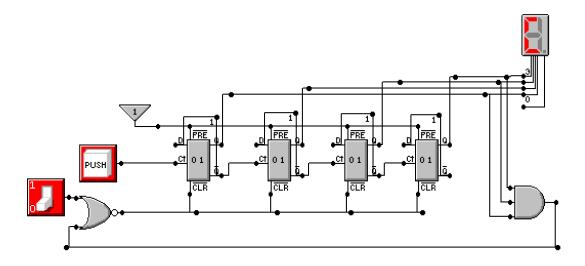
ASK_06	Rączka Gabriela	Informatyka niestacjonarna	semestr zimowy 2024/25
		III rok	

Jeśli wejścia PRE i CLR byłyby ustawione na 0 (LOW):

PRE = 0: Wyjście Q każdego przerzutnika zostanie ustawione na 1, co oznacza, że licznik zliczałby tylko do maksymalnej wartości i nie resetował się poprawnie.

CLR = 0: Wyjście Q każdego przerzutnika zostanie ustawione na 0, co oznacza, że licznik zresetuje się do 0 i nie będzie zliczał.

## Zadanie 4) Zbudować licznik dwójkowy mod 13 asynchroniczny.



Schemat 5) Schemat zbudowany z przerzutników typu D – licznik mod 13 asynchroniczny.

Licznik modulo 13 to układ sekwencyjny, który przechodzi przez 13 stanów (od 0000 do 1100 w kodzie binarnym) i wraca do 0000 po osiągnięciu stanu 1100 ("C").

#### Wnioski

#### Różnice między licznikami asynchronicznymi i synchronicznymi:

- Licznik Asynchroniczny: Prostota konstrukcji jest jego zaletą, ale opóźnienia propagacyjne są istotną wadą, szczególnie w aplikacjach wymagających wysokiej szybkości.
- **Licznik Synchroniczny:** Złożoność konstrukcji rekompensowana jest wyższą szybkością i eliminacją opóźnień.

**Znaczenie dodatkowej logiki:** Dla liczników modulo (np. mod 13) konieczne jest zastosowanie dodatkowych bramek logicznych, aby zapewnić poprawne zliczanie i resetowanie.