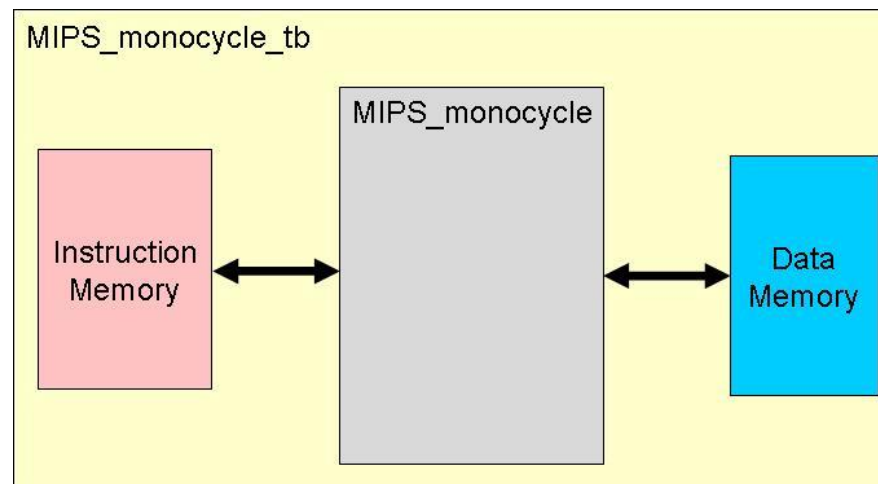


Trabalho 1 - parte 1

- ❑ Partiremos de uma organização monociclo do processador MIPS que implementa as seguintes instruções
 - ❑ Lógicas/Aritméticas: ADDU, ADDIU, SUBU, AND, OR, ORI
 - ❑ Acesso à memória: LW, SW
 - ❑ Comparação: SLT
 - ❑ Desvio: BEQ, J, JR, JAL
 - ❑ Carga de registrador: LUI
- ❑ O processador está descrito em VHDL comportamental



Trabalho 1 - parte 1

- Adicionar as instruções
 - XOR, XORI, ANDI, NOR, BNE, SLL, SRL, SRA, SLLV, SRLV, SRAV
 - Programa de teste: t1_P1.asm (*moodle*)
 - O programa deve executar corretamente todas instruções
 - Dica
 - Para cada instrução a ser adicionada, primeiro entender o seu funcionamento baseado na documentação das instruções (e.g. MIPSISA.pdf no *moodle*) e no simulador MARS
 - Em seguida alterar o código VHDL
 - Simular o nova instrução em VHDL
-

Trabalho 1 - parte 1

□ Grupos de 2 alunos

- Apresentação da descrição funcionando com as novas instruções será impreterivelmente dia 29/3
- A nota do Trabalho 1 - parte 1 dará **ENORME ÊNFASE** à execução correta da simulação
- A apresentação será oral, teórico-prática, frente ao computador, onde o grupo deverá explicar ao professor o projeto, a simulação e a implementação