

# Interrupção e Exceções

Pesquisa 10

*Gabriela Almeida*

*26 de março de 2017*

## 1. Introdução

## 2. Exceções

### 2.1 NMI vs IRQ

- Qual a diferença entre as exceções NMI e IRQ?

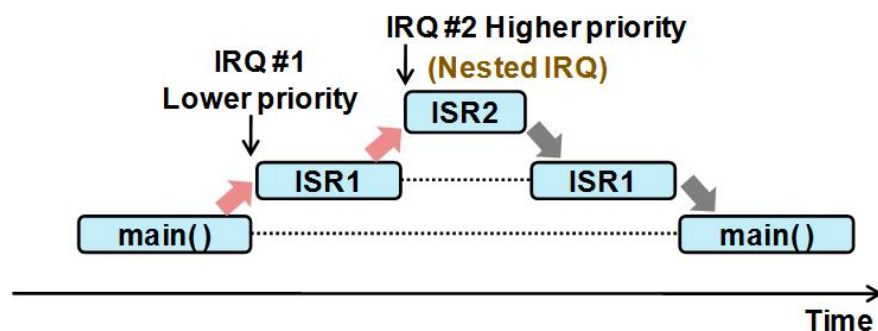
O NMI (Non-Maskable Interrupt) é uma linha de interrupção que se conecta ao NVIC sobre a entrada NMI do processador. Possui após o reset, a segunda maior prioridade e não pode ser mascarada pelo software, isto é, não pode ser desativada pelo software. Já as exceções IRQ possuem números de exceção de 16 a 47, podendo assim conectar a 32 linhas de interrupção ao NVIC. Além disso o NMI lida com exceções do sistema, enquanto o IRQ com interrupções.

## 3. Interrupções

### 3.1 IRQ vs ISR

- Qual a diferença entre as exceções IRQ e ISR?

Um sistema incorporado pode ter muitas fontes de interrupção IRQs, e, normalmente, cada fonte de interrupção tem um nível de prioridade associado. Muitas arquiteturas de processador suportam o aninhamento de interrupções, o que significa que durante a execução de uma rotina de serviços de interrupção (interrupt service routine – ISR), um serviço de alta prioridade pode antecipar e o ISR de baixa prioridade é suspenso, retornando quando o ISR de alta prioridade é concluído.



### 3.2 SAME70

- No ARM que utilizamos no curso, quantas são as interrupções suportadas e qual a sua menor prioridade?

No ARM que utilizamos são suportados 248 níveis de interrupção, sendo sua maior prioridade o nível 8 e o de menor prioridade o nível 256.

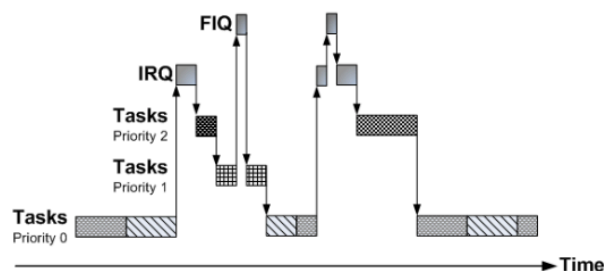
### 3.3 FIQ

- Descreva o uso do FIQ

As solicitações de interrupção rápida (Fast Interrupt Request – FIQs) são um tipo especializado de solicitação de interrupção, uma técnica padrão usada em CPUs para lidar com eventos que precisam ser processados à medida que ocorrem. FIQs são específicos para a arquitetura ARM, que suporta dois tipos de interrupções: FIQs para o processamento rápido e de baixa interrupção e IRQs para interrupções mais gerais.

### 3.4 IRQ vs FIQ

- No diagrama, quem possui maior prioridade IRQ ou FIQ?



O FIQ possui maior prioridade sobre o IRQ

### 3.5 SAME70 identificador (ID) da interrupção dos periféricos

- No datasheet, seção 13.1 informa o ID do periférico que está associado com a sua interrupção. Busque a informação e liste o ID dos seguintes periféricos:
  - a) PIOA --> ID= 10
  - b) PIOC --> ID= 12
  - c) TC0 --> ID= 23

### 3.6 Limpando Interrupção

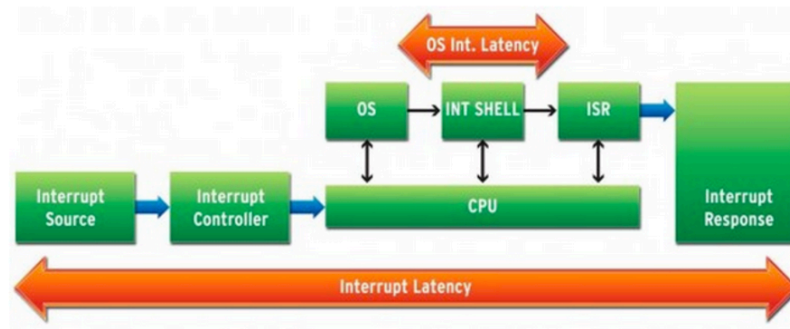
- O que aconteceria caso não limpemos a interrupção.

No ciclo seguinte o NVIC acharia que tal interrupção aconteceu de novo, impedindo o programa de voltar para a thread principal.

### 3.7 Latência da Interrupção

- O que é latência na resolução de uma interrupção, o que é feito nesse tempo? (Interrupt latency)

A latência de interrupção é o tempo que decorre desde quando uma interrupção é gerada até quando a fonte de interrupção é atendida. No caso de interrupções de menor prioridade a latência de interrupção pode depender da execução de uma interrupção de maior prioridade. Em outros casos ela pode ser definida da seguinte forma



## 4. Softwares –CMSIS

## 5. PIO – Interrupção

### 5.1 PIO – Interrupção botão

- Qual deve ser a configuração para operarmos com interrupção no botão do kit SAME70-EK2?

A configuração para operarmos com interrupção no botão deve ser “Falling edge detection” e, dependendo da aplicação também é possível ser “Rising edge detection”. Ambas configurações devem estar em um “handler” associado ao botão.

### 5.2 PIO – Interrupção

- Com base no texto e nos diagramas de blocos descreva o uso da interrupção e suas opções

A interrupção é usada para reduzir o gasto energético. Enquanto o uC está em sleep mode, ele pode receber uma interrupção, seja ela o pressionar ou a soltura de determinado botão, e fazer algo em decorrência dessa interrupção, como por exemplo, acender ou apagar certo LED.

### 5.3 Registradores Interrupção

- Descreva as funções dos registradores:

- a) PIO\_IER/PIO\_IDR – Habilita ou desabilita o uso de interrupções associado a certo PIO.
- b) PIO\_AIMER/PIO\_AIMDR – Definem opções adicionais para as interrupções associada a certo PIO
- c) PIO\_ELSR – Define se a interrupção será enviada em borda ou de acordo com o seu nível.
- d) PIO\_FRLHSR – Caso a interrupção do PIO esteja definida como borda, o PIO-FRLHSR define se ele deve agir na borda de subida ou descida. Caso a interrupção do PIO esteja definida de acordo com o seu nível o PIO\_FRLHSR define se ele deve agira a um sinal alto ou baixo.

## 6. BIBLIOGRAFIA:

[1]

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.dai0179b/ar01s01s01.html>

[2] <https://community.arm.com/processors/b/blog/posts/a-beginner-s-guide-on-interrupt-latency---and-interrupt-latency-of-the-arm-cortex--m-processors>

[3]

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.dai0211a/index.html>

[4]

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0489d/CACDDJHB.html>

[5]

[http://www.bogotobogo.com/Embedded/hardware\\_interrupt\\_software\\_interrupt\\_latency\\_irq\\_vs\\_fiq.php](http://www.bogotobogo.com/Embedded/hardware_interrupt_software_interrupt_latency_irq_vs_fiq.php)