

Márgenes de Ruido para el Inversor CMOS

Gabriel Araya Mora B80525

Escuela de Ingeniería Eléctrica, Universidad de Costa Rica

Dispositivos Semiconductores (IE-0311)

Punto A:

Para obtener la siguiente curva se utilizó el NETLIST que se adjunta en la sección de anexos, a esto se le agregó un $W = 1.2 \times 10^{-6}$ y $L = 1.2 \times 10^{-6}$, esto con el fin de que la ganancia de los transistores solo vaya a depender de la constante del proceso. Haciendo un barrido en DC en un rango de 0V a 5V y se obtiene la curva de transferencia para el inversor. Como la gráfica de Ltspice no era la mejor para la entrega, se pasó a Matlab. En la gráfica se muestra un valor aproximado para la tensión de inversión donde ambos transistores se encuentran en saturación. $V_M = 1.91V$

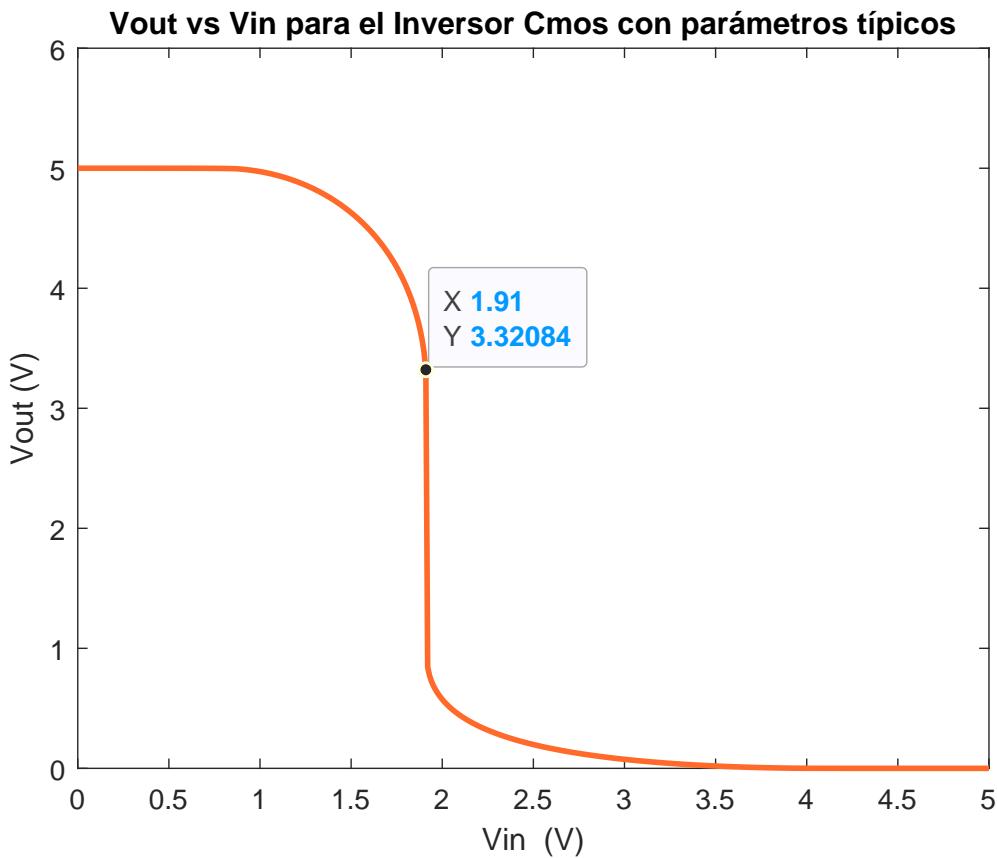


Figura 1: Curva de transferencia para el inversor CMOS (Creación Propia)

Punto B:

La curva es claramente asimétrica, esto ya que para que fuera simétrica la tensión de inversión debería ser aproximadamente $\frac{V_{DD}}{2}$. Usando la analogía dada por el profesor, si se toma el inversor como un concurso para ver cual transistor es capaz de jalar la cuerda más fuerte que el otro, si la tensión de inversión se da en $\frac{V_{DD}}{2}$, quiere decir que ambos transistores tienen la misma ganancia β y por ende jalan la cuerda con igual fuerza y no habría ganador en el concurso.

Si por el otro lado se toma β_P como la ganancia del transistor *PMOS* y β_N como la ganancia del transistor *NMOS* se tienen dos casos para determinar el ganador del concurso:

1. $\beta_P > \beta_N$:

Ahora el transistor *PMOS* jala con más fuerza la cuerda que el transistor *NMOS*, y la curva de transferencia se desplaza a la derecha.

2. $\beta_P < \beta_N$:

Ahora el transistor *NMOS* jala con más fuerza la cuerda que el transistor *PMOS*, y la curva de transferencia se desplaza a la izquierda.

Si se basa en las afirmaciones anteriores, entonces el transistor *NMOS* tiene una ganancia mayor y por eso la curva de transferencia se desplaza a la izquierda. Esto es totalmente esperable debido a que la constante del proceso K_P del *NMOS* es mucho mayor a la constante del proceso del *PMOS* y como se mencionó en la sección anterior se pusieron parámetros w y L de tal forma que se cancelen y la ganancia del transistor dependa únicamente de la constante del proceso con el fin de aligerar un poco los cálculos y análisis.

NOTA: La constante del proceso K_P está dada por la siguiente expresión:

$$K_P = \frac{\mu\epsilon_{ox}}{t_{ox}} \quad (1)$$

Mientras que la ganancia del transistor está dada por:

$$\beta = K_P \left(\frac{W}{L} \right) \quad (2)$$

Si se observa el NETLIST de spice, el modelo de los parámetros típicos no contempla en ningún momento el W por lo que para impedir que se tomen los parámetros por default se ponen dos valores iguales en el modelo. El L es igual ya que corresponde al tamaño del proceso de fabricación, por lo que al hacer esto se puede decir que la ganancia de los transistores depende únicamente de la constante del proceso K_P .

Punto C:

Tomando como referencia el contenido de la nota anterior, las ganancias de los transistores se toman igual a la constante del proceso correspondiente al modelo de parámetros típicos para cada uno de los dos transistores proporcionados por el profesor del curso.

Se sabe de la teoría del curso y del libro de Weste que la ecuación para la tensión de inversión está dada por la siguiente expresión matemática:

$$V_M = \frac{V_{DD} - |V_{TP}| + V_{TN}\sqrt{\frac{\beta_N}{\beta_P}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (3)$$

Resumen de datos:

- $V_{DD} = 5V$

PMOS

- $V_{TP} = -0.9056$

- $\beta_P = K_{P_P} = 2.9352 \times 10^{-5}$

NMOS

- $V_{TN} = 0.7860$

- $\beta_N = K_{P_N} = 9.6379 \times 10^{-5}$

$$V_M = \frac{5 - |-0.905| + 0.7860\sqrt{\frac{9.6379}{2.9352}}}{1 + \sqrt{\frac{9.6379}{2.9352}}} = 1.9672V$$

Sustituyendo los datos en la ecuación (3) se tiene entonces que la tensión de inversión V_M para el inversor construido a partir de los parámetros típicos es de aproximadamente $1.9672V$. Comparando este resultado con el obtenido en la figura 1, se puede decir que el margen de error entre ambas es de alrededor de 2.55 %

Punto D:

Primeramente es importante encontrar el 57 % de la tensión nominal de entrada. Para esto entonces:

$$V_{DD_{57\%}} = \frac{57}{100} \cdot 5 = 2.85V$$

Hecho esto, se puede usar la ecuación (3), y de forma inversa obtener los valores de ganancia que dan en la teoría un inversor con la tensión de inversión solicitada. (Se debe tener cuidado ya que tanto la constante del proceso como el L son parámetros dados, los cuales no van a cambiar independientemente de la tensión de inversión). Si se asume que $W_P = \delta W_N$ y se sustituye en la ecuación (3) se puede entonces obtener la siguiente expresión:

$$V_M = \frac{V_{DD} - |V_{TP}| + V_{TN} \sqrt{\frac{K_{P_N} W_N}{K_{P_P} \frac{\delta W_N}{L}}}}{1 + \sqrt{\frac{K_{P_N} W_N}{K_{P_P} \frac{\delta W_N}{L}}}} \quad (4)$$

Todos estos son valores conocidos, y los que no lo son se van a cancelar y se puede despejar para el factor δ .

$$\begin{aligned} 2.85 &= \frac{5 - |-0.905| + 0.7860 \sqrt{\frac{9.6379}{2.9352 \cdot \delta}}}{1 + \sqrt{\frac{9.6379}{2.9352 \cdot \delta}}} \\ &\Rightarrow 2.85 \left(1 + \sqrt{\frac{9.6379}{2.9352 \cdot \delta}} \right) = 5 - |-0.905| + 0.7860 \sqrt{\frac{9.6379}{2.9352 \cdot \delta}} \\ &\Rightarrow 2.85 + 2.85 \sqrt{\frac{3.2835}{\delta}} = 4.095 + 0.7860 \sqrt{\frac{3.2835}{\delta}} \\ &\Rightarrow 2.064 \cdot \sqrt{3.2835} \cdot \sqrt{\frac{1}{\delta}} = 1.245 \\ &\Rightarrow \sqrt{\frac{1}{\delta}} = 0.3328 \rightarrow \frac{1}{\delta} = 0.1107 \\ &\boxed{\delta = 9.05} \end{aligned}$$

Con este resultado se procede entonces a generar una nueva curva de transferencia pero ahora agregando la etiqueta $W = 1.2E - 06$ al modelo de parámetros típicos para el *NMOS* y $W = 10.86E - 06$ para el modelo de parámetros típicos del *PMOS*. Al hacer esto se obtiene la siguiente curva de transferencia:

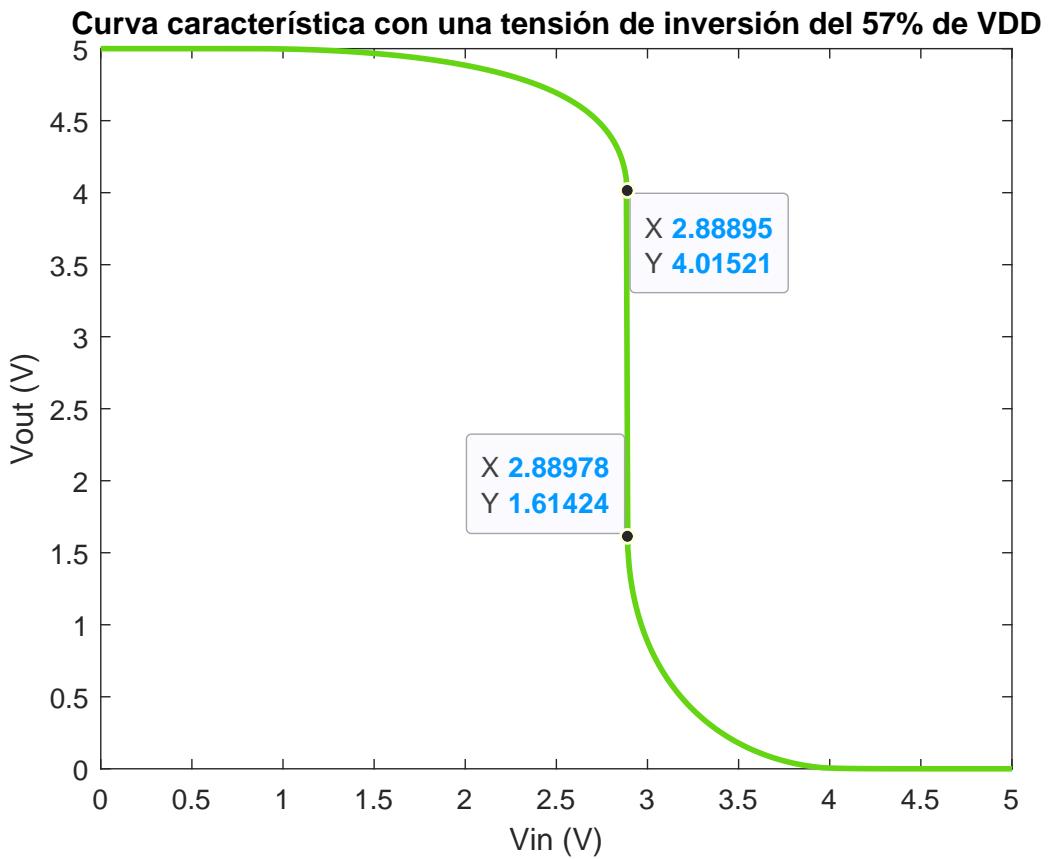


Figura 2: Curva de transferencia para el inversor CMOS modificando el ancho W en los parámetros típicos. (Creación Propia)

En la figura anterior se ven dos puntos, no se ve el punto central cuando $V_{out} = 2.5V$, esto debido a que por menor que sea el tiempo de muestreo con el que se programó el barrido, nunca pasa por este punto; sin embargo, no hace falta ya que como se muestra los valores de tensión en X son prácticamente los mismos y por ende se puede aproximar a “ojo” que la tensión de inversión ronda el valor de $2.88V$.

Este resultado tiene un porcentaje de error(respecto a los $2.85V$ esperados) de 1.05% , lo cual es prácticamente despreciable a nivel práctico.

Punto E:

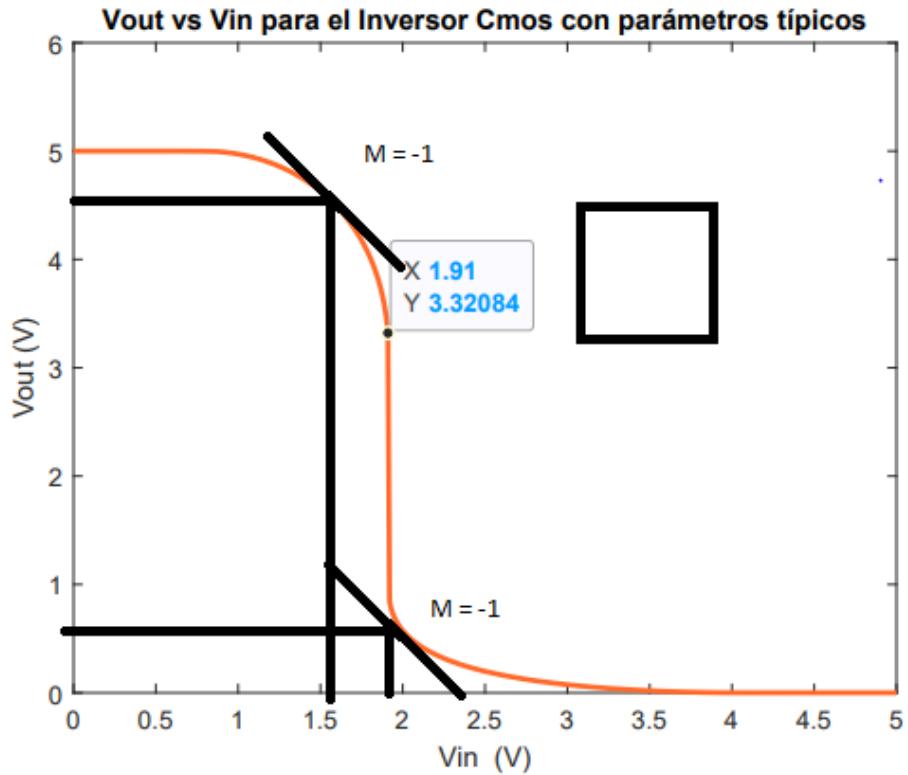


Figura 3: Encontrando los márgenes de ruido en la figura base de forma gráfica. (Creación Propia)

Para hallar los márgenes de ruido de forma gráfica para el inversor que se construye a partir de los parámetros típicos dados por el profesor, se pasa la figura a un editor que permita hacer figuras como recuadros perfectos y líneas rectas. El método para obtener una línea con pendiente de -1 es muy sencillo. Primeramente se construye un cuadrado perfecto y se pasa una línea de esquina superior izquierda a la esquina inferior derecha. esto asegura que si el cuadrado es perfecto la pendiente de la recta que conecta estas esquinas tenga pendiente -1. Después se arrastran las líneas hasta donde a “ojos” parezca que son tangentes y se procede a extraer el valor de los márgenes de error.

Márgenes de Ruido	Valor aproximado
V_{OH}	$4.6V$
V_{IL}	$1.55V$
V_{OL}	$0.6V$
V_{IH}	$1.9V$

Cuadro 1: Tabla resumen para los valores de los márgenes de error encontrados gráficamente.

Punto F:

En esta sección se usan las ecuaciones de la nota para simplificar los cálculos de ganancia en los transistores.

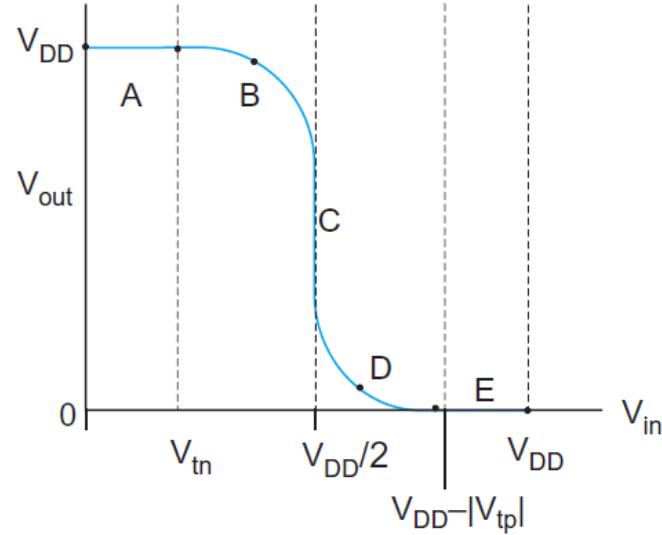


Figura 4: Curva de transferencia ideal para el inversor CMOS.[1]

Región	Condición	PMOS	NMOS
A	$0 \leq V_{in} \leq V_{tn}$	Triodo	Corte
B	$V_{tn} \leq V_{in} \leq V_{DD}/2$	Triodo	Saturación
C	$V_{in} = V_{DD}/2$	Saturación	Saturación
D	$V_{DD}/2 < V_{in} \leq V_{DD} - V_{tp} $	Saturación	Triodo
E	$V_{in} > V_{DD} - V_{tp} $	Corte	Triodo

Cuadro 2: Tabla resumen para las diferentes regiones de la curva de transferencia para el inversor CMOS. [1]

Región A:

Cómo se ve en la tabla anterior cuando la curva de transferencia se encuentra en la región **A**, el transistor *PMOS* se encuentra en la región lineal mientras que el *NMOS* se encuentra apagado y se puede tomar como un circuito abierto o bien matemáticamente decir que la corriente del *NMOS* es cero $I_{ds} = 0A$. De la tabla anterior también se observa que la condición que define este punto de operación es $0 \leq V_{in} \leq V_{tn}$, ahora se sabe que como en la entrada hay un cero lógico y el *PMOS* está encendido, al pasar el buen uno lógico sucede que $V_{dsp} \approx 0$ por ende $V_{dsp} = V_d - V_s \rightarrow V_{dsp} = V_{out} - V_{DD} \rightarrow V_{out} = V_{DD}$.

$Región A : V_{out} = V_{DD}$

Región B:

De la tabla anterior se sabe que el transistor *PMOS* sigue estando en la zona lineal mientras que el transistor *NMOS* pasó de corte a saturación. Las ecuaciones que describen el comportamiento de los transistores en estas regiones son las siguientes:

- Zona Lineal:

$$I_{dsp} = \beta_p [(|V_{gsp}| - |V_{tp}|)|V_{dsp}| - \frac{V_{dsp}^2}{2}] \quad (5)$$

- Zona saturación:

$$I_{dsn} = \frac{\beta_n}{2} (V_{GS} - V_T)^2 \quad (6)$$

Es importante notar que para el *PMOS*: $V_{GS} = V_{IN} - V_{DD}$ y que $V_{DS} = V_{out} - V_{DD}$ sustituyendo estos resultados en la ecuación (5) se obtiene:

$$I_{dsp} = \beta_p [(|V_{IN} - V_{DD}| - |V_{tp}|)|V_{out} - V_{DD}| - \frac{(V_{out} - V_{DD})^2}{2}]$$

Igualando ambas ecuaciones:

$$\frac{\beta_n}{2} (V_{GS} - V_T)^2 = \beta_p [(|V_{IN} - V_{DD}| - |V_{tp}|)|V_{out} - V_{DD}| - \frac{(V_{out} - V_{DD})^2}{2}]$$

Se procede a despejar V_{out} en términos de V_{in} :

$$\frac{\beta_n}{2} (V_{GS} - V_T)^2 = 2((V_{in} - v_{DD}) - V_{tp}) \cdot (V_{out} - V_{DD}) - (V_{out}^2 - 2V_{out}V_{DD} + V_{DD}^2)$$

Agrupando y acomodando en la topología de una ecuación cuadrática: ($ax^2 + bx + c = 0$)

$$V_{out}^2 - 2V_{out}(V_{in} - V_{tp}) + V_{DD}(2V_{in} + V_{DD} + 2V_{tp}) - \frac{\beta_n}{\beta_p} (V_{in} - V_{tn})^2 = 0 \quad (7)$$

De la ecuación anterior se pueden extraer los coeficientes para poder aplicar la ecuación general de la ecuación cuadrática:

- $a = 1$
- $b = -2(V_{in} - V_{tp})$
- $c = V_{DD}(2V_{in} + V_{DD} + 2V_{tp}) - \frac{\beta_n}{\beta_p} (V_{in} - V_{tn})^2$

Aplicando la ecuación general para resolver ecuaciones cuadráticas:

$$x = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a} \quad (8)$$

Sustituyendo:

$$RegionB : V_{out} = (V_{in} - V_{tp}) + \sqrt{(V_{in} - V_{tp})^2 - V_{DD}(2V_{in} + V_{DD} + 2V_{tp}) - \frac{\beta_n}{\beta_p} (V_{in} - V_{tn})^2}$$

Región D:

De nuevo con los datos presentes en la tabla se puede observar que el transistor *PMOS* se encuentra en saturación mientras que el transistor *NMOS* se encuentra en la región lineal. Además la condición para llegar a esta región está dada por: $V_{DD}/2 < V_{in} \leq V_{DD} - |V_{tp}|$. Las expresiones de corriente que describen los transistores en esta región son las siguientes:

- Corriente de saturación para el *PMOS*, tomando las condiciones de esta región:

$$I_{dsp} = -\frac{\beta_p}{2}(V_{in} - V_{DD} - V_{tp})^2 \quad (9)$$

- Corriente de triodo para el *NMOS*, tomando las condiciones de esta región:

$$I_{dsn} = -\beta_n((V_{in} - V_{tn})V_{out} - \frac{V_{out}^2}{2})^2 \quad (10)$$

Se sabe de la teoría dada por el profesor que las corrientes en esta región son opuestas en dirección por lo que al igualarlas se debe cambiar el signo de una $I_{dsn} = -I_{dsp}$.

$$-\beta_n((V_{in} - V_{tn})V_{out} - \frac{V_{out}^2}{2}) = \frac{\beta_p}{2}(V_{in} - V_{DD} - V_{tp})^2$$

$$-V_{in}V_{out} + V_{tn}V_{out} + \frac{V_{out}}{2} = \frac{\beta_p}{2\beta_n}(V_{in} - V_{DD} - V_{tp})^2$$

Siguiendo el misma idea del punto anterior se acomoda la ecuación de forma que ahora se tenga una ecuación con la forma cuadrática fundamental.

$$V_{out}^2 + 2V_{out}(V_{tn} - V_{in}) - \frac{\beta_p}{\beta_n}(V_{in} - V_{DD} - V_{tp})^2 = 0 \quad (11)$$

De la ecuación anterior se pueden extraer los coeficientes para poder aplicar la ecuación general de la ecuación cuadrática:

- $a = 1$
- $b = 2(V_{tn} - V_{in})$
- $c = \frac{\beta_p}{\beta_n}(V_{in} - V_{DD} - V_{tp})^2$

Utilizando la ecuación (8) nuevamente se puede obtener una solución para la salida en función de la entrada en la región D.

$$\boxed{RegionD : V_{out} = (V_{in} - V_{tn}) - \sqrt{(V_{in} - V_{tn})^2 - \frac{\beta_p}{\beta_n}(V_{in} - V_{DD} - V_{tp})^2}}$$

Región E:

Esta región es exactamente igual a la región **A** solo que de manera inversa, ya que como se muestra en la tabla, el transistor que está ahora encendido es el *NMOS* y el *PMOS* permanece apagado o en corte. De nuevo basado en la tabla la condición para esta región **E**: $V_{in} \geq V_{DD} - V_{tp}$, haciendo el análisis se puede observar que el transistor *NMOS* es el único que queda “vivo” y el camino a tierra se cierra ya que el *Source* está conectado a tierra y el capacitor de carga entonces puede descargarse y llegar a una salida $V_{out} = 0V$ o cero lógico, cuando la entrada está en un uno lógico.

$$\boxed{\text{RegionE : } V_{out} = 0V}$$

Punto G:

Mi carné para esta sección es *B80525* por lo que entonces solo hace falta derivar la ecuación obtenida para la región D. Esto ya que solo se piden los parámetros de ruido $V_{OL_{max}}$ y $V_{IH_{min}}$.

Al derivar se obtiene la siguiente ecuación para la región D:

$$\frac{dV_{out}}{dV_{in}} = 1 - \frac{(V_{in} - V_{tn}) - \frac{\beta_P(V_{in} - V_{tp} - V_{DD})}{\beta_N}}{\sqrt{(V_{in} - V_{tn})^2 - \frac{\beta_P(V_{in} - V_{tp} - V_{DD})^2}{\beta_N}}} \quad (12)$$

Ahora resta igualar la derivada a -1 y despejar el valor de V_{in} . Al hacer esto el valor de V_{in} encontrado será $V_{IH_{min}}$. Debido a la complejidad de la ecuación, y tras múltiples intentos fallidos de resolver la ecuación en la calculadora, se optó por resolverla usando Wolfram Alpha por una cuestión de tiempo. Al hacer esto Wolfram arroja un valor para $V_{IH_{min}} = 2.1941V$.

Con este resultado, para hallar $V_{OL_{max}}$, es cuestión de ingresar $V_{IH_{min}}$ en la ecuación de la región D y despejar V_{out} . Hecho esto el valor de $V_{out} = V_{OL_{max}} \approx 0.4678V$.

Parámetro	valor a “ojos”	valor teórico	% Error
V_{OL}	0.6V	0.4730V	26.85 %
V_{IH}	1.9V	2.1941V	13.24 %

Cuadro 3: Resumen de márgenes de error obtenidos

Los porcentajes de error se ve que son relativamente bajos para haber obtenido los datos a “ojos”, lo que es un método rápido pero casi nunca lo suficientemente preciso para ser tomado en cuenta; sin embargo, en este caso se ajusta bastante bien a los valores obtenidos usando las expresiones teóricas.

Referencias

- [1] N. Weste and D. Harris. *CMOS VLSI Design*. Addison-Wesley, 4 edition, 2010.

Anexos

** Margenes de Ruido para el inversor CMOS **

** Gabriel Araya Mora B80525 **

** Se construye el inversor con parametros tipicos **

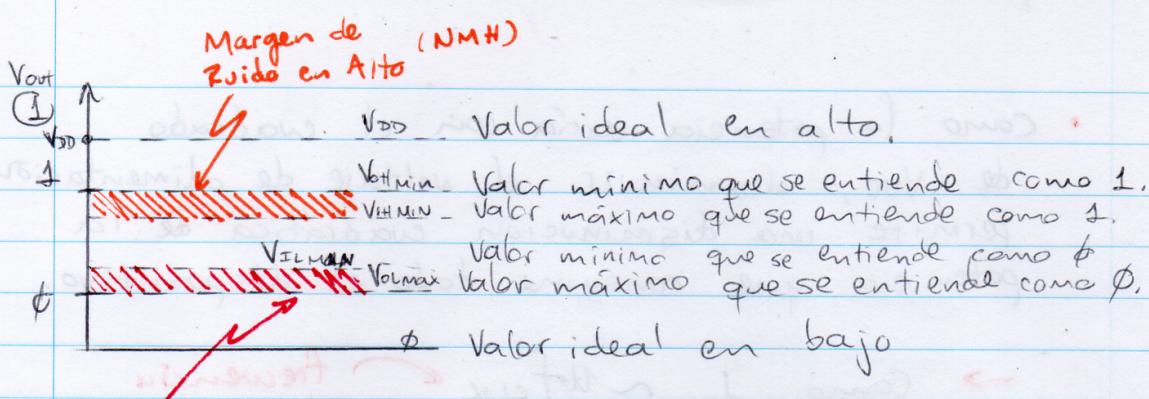
```
M1 vdd In Out vdd CMOSP ; Transistor pmos
M2 Out In 0 0 CMOSN; Transistor nmos
V1 vdd 0 5v; Bateria para alimentar los transistores
V2 In 0 ;
C1 out 0 100p; Capacitancia de carga
```

TYP

```
.MODEL CMOSN NMOS LEVEL=3 PHI=0.600000 TOX=2.1200E-08 XJ=0.200000U
+TPG=1 VT0=0.7860 DELTA=6.9670E-01 LD=1.6470E-07 KP=9.6379E-05 W=1.2E-06 L=1.2E-06
+U0=591.7 THETA=8.1220E-02 RSH=8.5450E+01 GAMMA=0.5863
+NSUB=2.7470E+16 NFS=1.98E+12 VMAX=1.7330E+05 ETA=4.3680E-02
+KAPPA=1.3960E-01 CGDO=4.0241E-10 CGSO=4.0241E-10
+CGB0=3.6144E-10 CJ=3.8541E-04 MJ=1.1854 CJSW=1.3940E-10
+MJSW=0.125195 PB=0.800000
```

```
.MODEL CMOSP PMOS LEVEL=3 PHI=0.600000 TOX=2.1200E-08 XJ=0.200000U
+TPG=-1 VT0=-0.9056 DELTA=1.5200E+00 LD=2.2000E-08 KP=2.9352E-05 W=1.2E-06 L=1.2E-06
+U0=180.2 THETA=1.2480E-01 RSH=1.0470E+02 GAMMA=0.4863
+NSUB=1.8900E+16 NFS=3.46E+12 VMAX=3.7320E+05 ETA=1.6410E-01
+KAPPA=9.6940E+00 CGDO=5.3752E-11 CGSO=5.3752E-11
+CGB0=3.3650E-10 CJ=4.8447E-04 MJ=0.5027 CJSW=1.6457E-10
```

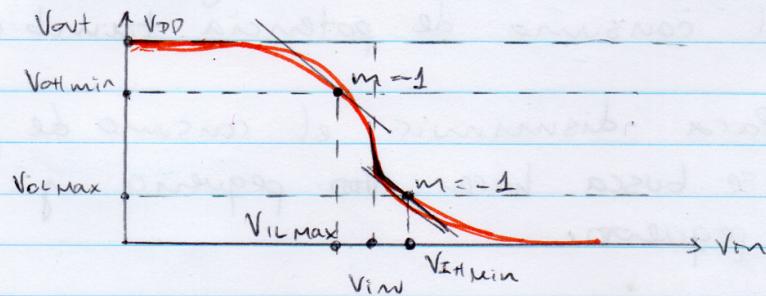
```
.dc V2 0 5 0.01; Barrido para la simulacion
.end; fin de la simulacion
```



Margen de Ruido en Bajo (NML)

- En general, se desea que los márgenes sean grandes para que se tolere mucha ruido.

- Para escoger los voltajes de margen, se buscan los puntos donde la pendiente de la curva es $m = -1$:



- La lógica CMOS tiene muy buenos márgenes de ruido, por ello es tan popular en el mundo, porque son simétricos.

- Ahora lo que queda es determinar cómo calcular el voltaje de inversión y cuánto depende de otros factores.

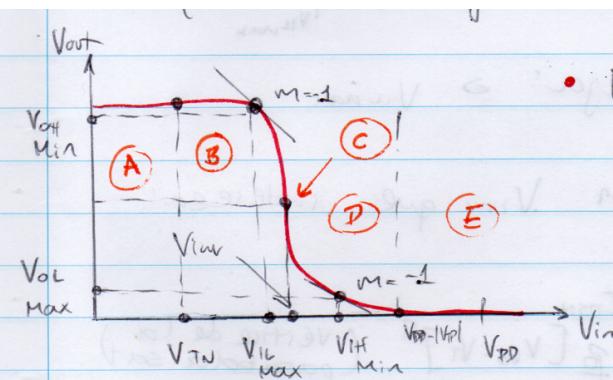
- V_{inr} no siempre va a ser $V_{DD}/2$. Va a depender de los tamaños de los transistores y sus respectivas ganancias B .

↳ $V_{inr} = V_{DD}/2 \Rightarrow$ Márgenes simétricos.

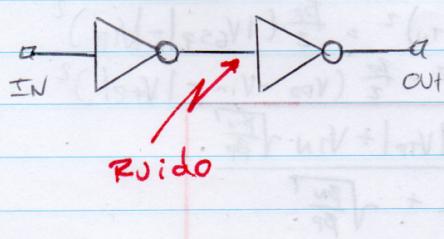
↳ $V_{inr} \neq V_{DD}/2 \Rightarrow$ Márgenes No-simétricos.

- Para lograr el caso ideal, se busca que las ganancias de ambos transistores sean iguales. Esto en general es un objetivo de diseño.

$$\Rightarrow \beta_P = \beta_N$$



- Las características no-ideales del CMOS permiten tener márgenes de ruido y que las compuertas se entiendan entre sí aunque haya ruido.



- Ahora se desea encontrar una expresión para la curva de inversión. Para ello se analiza por partes.

Consideramos la tabla con las regiones de operación de un inversor.

Región PMOS NMOS

- A Triodo corto
- B Triodo sat
- C sat sat
- D sat. Triodo
- E corte Triodo

Región A: Valor constante

Región B: Modelo equivalente

$$[4] I_{DSP} = \beta_p \left[(V_{GS} - V_T) \cdot V_{DSD} - \frac{V_{DSD}^2}{2} \right]$$

$$[5] I_{DSN} = \beta_n \left[\frac{(V_{GS} - V_T)^2}{2} \right]$$

$$\Rightarrow [3] I_{DSP} = I_{DSN} : [4] V_{out} = V_{DSD} \quad (\text{totem pole})$$

$$[5] V_{in} = V_{GSN} \quad (\text{totem pole})$$

$$[6] V_{DSD} = V_{out} - V_{DD} \Rightarrow |V_{DSD}| = V_{DD} - V_{out}$$

$$[7] V_{GSN} = V_{in} - V_{DD}$$

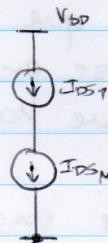
$$[1] \text{ en } [2] \text{ en } [3] \text{ en } [4] \text{ en } [5] \text{ en } [6] \text{ en } [7]: V_{out} = f(V_{in})$$

Para encontrar el punto $m=-1 \Rightarrow \frac{dV_{out}}{dV_{in}} \Big|_{V_{in}=\max} = -1$

Despeja: $\Rightarrow V_{in} = \dots$

Pág 90
libro
CMOS
VLSI
design

Región C: Da la tensión V_{in} que interesa:



$$[1] I_{DSP} = I_{DSN}$$

$$[2] I_{DSN} = \frac{\beta_n}{2} [V_{GSN} - V_T]^2 \quad (\text{vértice de la parábola: sat}).$$

$$[1] - [2]: \frac{\beta_n}{2} (V_{GSN} - V_T)^2 = \frac{\beta_p}{2} (|V_{GSp}| - |V_{Tp}|)^2$$

$$\Rightarrow \frac{\beta_n}{2} (V_{in} - V_{in})^2 = \frac{\beta_p}{2} (V_{DD} - V_{in} - |V_{Tp}|)^2$$

$$\Rightarrow V_{in} = \frac{V_{DD} - |V_{Tp}| + V_{in} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

- Ahora se desea que $V_{IN} = V_{DD}/2$.
Para ello se necesita $\beta_N = \beta_P$ y
que $V_{IN} = |V_{TP}|$. Esto proporciona
márgenes de ruido simétricos.

- Para lograr que $\beta_P = \beta_N$

Ec. general $\Rightarrow \beta = \frac{\mu_p C_{ox}}{t_{ox}} \left(\frac{W}{L_{min}} \right)$; μ_p : movilidad de portadores mayoritarios

Para β_N : $\mu_p = \mu_n$ (electrones)

Para $\beta_P = \mu_p = \mu_{p+}$ (holes)

$$\Rightarrow \frac{\mu_n C_{ox}}{t_{ox}} \left(\frac{W}{L_{min}} \right) = \frac{\mu_{p+} C_{ox}}{t_{ox}} \left(\frac{W}{L_{min}} \right)$$

$$\Rightarrow \mu_n W_n = \mu_{p+} W_p; \quad \mu_n > \mu_{p+}$$

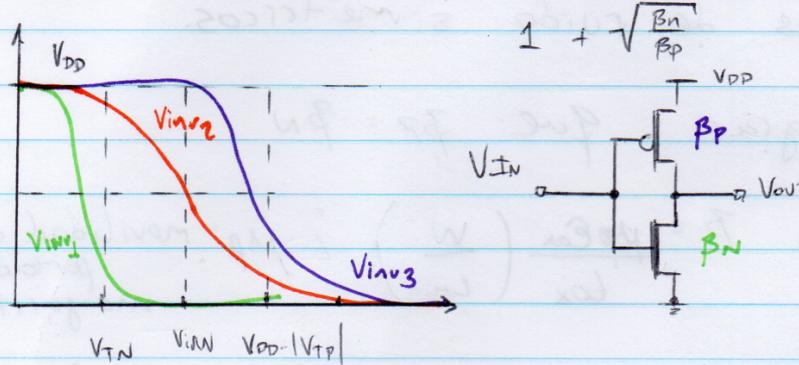
Se expresan las movilidades como: $\mu_n = \delta^* \mu_{nI}$

$$\Rightarrow \delta^* \mu_p W_n = \mu_{p+} W_p$$

$$\Rightarrow \frac{W_p}{W_n} = \delta^*; \quad 2 \leq \delta^* \leq 3$$

↳ Los PMOS deben ser el doble de grande
que el NMOS para tener un inversor simétrico
triple no, porque sale muy caro.

$$\text{Repasso: } V_{Iav} = \frac{V_{DD} - |V_{TP}| + V_{IN} \sqrt{\frac{\beta_N}{\beta_P}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}}$$



- Cuando β_P es más grande que β_N , el transistor PMOS "jala más fuerte que el transistor NMOS" y la curva de transferencia se mueve a la derecha.
- Similarmente, cuando β_N predomina sobre β_P , la señal viaga a cero más rápidamente y la curva se mueve hacia la izquierda.

2. Cómo se relaciona con el tamaño?

$$\mu_N = 2 \mu_P \quad \left\{ \begin{array}{l} \beta_P = \frac{\mu_P E_{ox}}{t_{ox}} \left(\frac{W_P}{L_{min}} \right) \\ \beta_N = \frac{\mu_N E_{ox}}{t_{ox}} \left(\frac{W_N}{L_{min}} \right) = 2 \frac{\mu_P E_{ox}}{t_{ox}} \left(\frac{W_N}{L_{min}} \right) \end{array} \right.$$

Si $\beta_N = \beta_P \Rightarrow \boxed{W_P = 2 W_N}$

→ El PMOS debe ser el doble del ancho del NMOS porque las movilidades son diferentes.