

# Cuestionario General

Gabriel Araya Mora B80525

*Escuela de Ingeniería Eléctrica, Universidad de Costa Rica*

*Dispositivos Semiconductores (IE-0311)*

---

Se trabaja con el cuestionario #5 debido a que el carné del autor de este documento termina con el número cinco.

## Pregunta #1

Primero es necesario conectar el transistor de forma que se tengan las condiciones para el experimento dado. Para esto es suficiente con conectar una única fuente de 3.3v al sustrato ( $B$ ) y a la fuente ( $S$ ) y el resto de entradas a tierra. Si se evalúan las ecuaciones del  $PMOS$  se comprueba esto.

$$V_{gs} = V_g - V_s \longrightarrow 0V - 3.3V = -3.3V$$

$$V_{ds} = V_d - V_s \longrightarrow 0V - 3.3V = -3.3V$$

El parámetro de  $V_{tp}$  es intrínseco del transistor, y es necesario alimentarlo con una tensión mayor para que se encienda el transistor.

Hecho esto se puede comprobar en qué región de operación se encuentra el transistor bajo estas condiciones. Como se trata de un  $PMOS$ , todas las ecuaciones llevan valor absoluto.

- Corte  $|V_{gs}| < |V_t|$

De esta forma se nota a simple vista que el transistor no está apagado ya que  $V_{gs}$  es mayor que  $V_t$ .

- Triodo  $|V_{ds}| < |V_{dsat}|$

Ahora para comprobar si el transistor se encuentra en triodo, se debe aplicar una identidad para  $V_{dsat} = V_{gs} - V_t$ . Sustituyendo se obtiene que tampoco el transistor opera en la región de triodo.  $3.3V < 3.3 - 0.7 = 3.3V < 2.6V$

- Saturación  $|V_{ds}| > |V_{dsat}|$

Solo queda la zona de saturación, de la relación anterior  $3.3V > 2.6V$ , y por ende se concluye que el transistor opera en la zona de saturación.

### 0.1. Comportamiento del transistor en saturación.

Al colocar un cero en la compuerta, se enciende el transistor y se forma el canal P, es decir se traen los huecos y se invierte el canal ( $V_g < V_{DD} - V_{tp}$ ), ahora el canal es perfectamente simétrico; sin embargo, no hay corriente. Cuando se empieza a mover la tensión de la fuente, se crea una diferencia entre la tensión de fuente

y la tensión de drenaje. Esto empieza a acelerar los electrones a través del canal, pero también se deforma como una especie de rampa.

Entre más se aumenta la tensión de fuente respecto a la de drenaje, más se deforma y más se aceleran los electrones por el canal, existe un punto donde el canal se deforma tanto que ya no conecta la fuente y el drenaje; sin embargo, los electrones están tan acelerados que pueden saltar hacia la fuente y cerrar el circuito, cuando el transistor presenta este fenómeno se encuentra en saturación y se comporta básicamente como una fuente de corriente constante. Se debe tener cuidado ya que si se aumenta aún más la tensión de fuente, los electrones se aceleran tanto que se puede quemar el transistor.

### 0.2. ¿Existe un canal formado?

El canal está formado; sin embargo, como el transistor opera en saturación, el canal está deformado, similarmente como se muestra en la figura.

### 0.3. ¿Hay Pinch-Off?

Sí, el fenómeno de Pinch-off ocurre cuando se entra a estado de saturación, es decir, ocurre cuando se aumento tanto la tensión de fuente frente a la de drenaje, que el canal se forma tanto que ya no conecta la fuente con el drenaje.

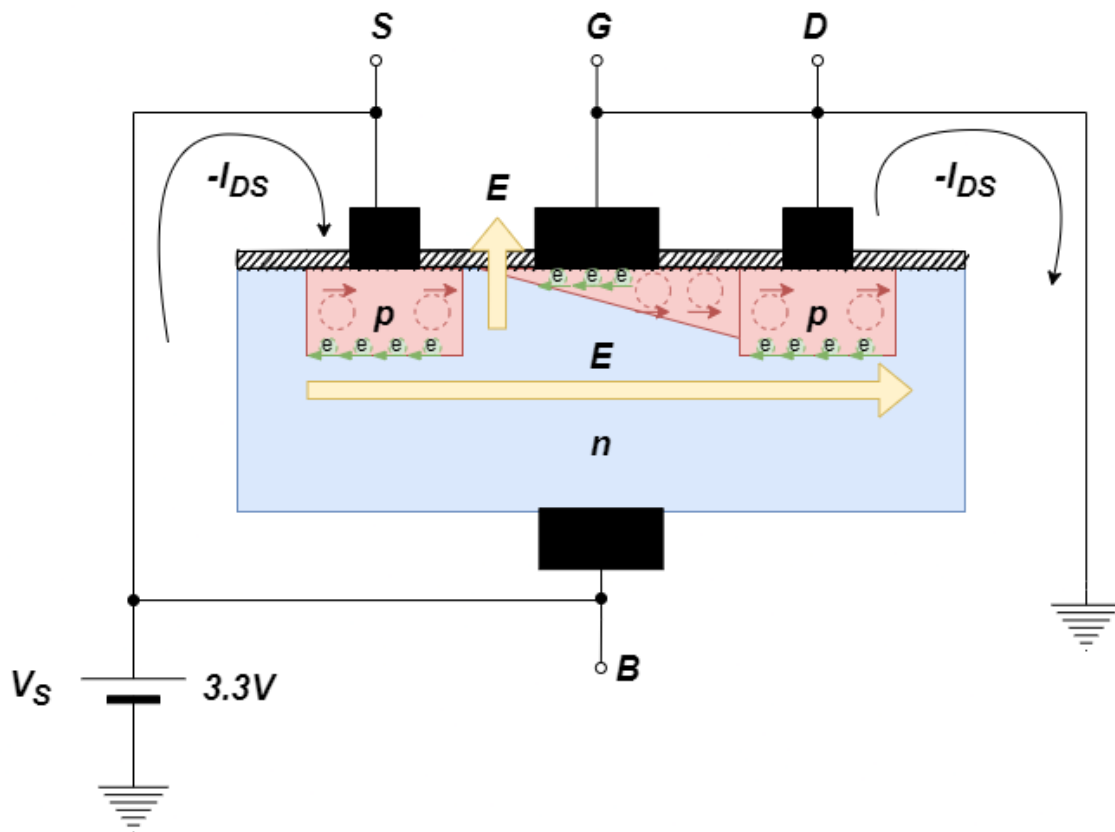


Figura 1: Transistor PMOS en saturación. (Creación Propia)

## Pregunta #2

Si se tienen únicamente dos trozos uno de material N (dopado con arsénico), y otro de material P. Se sabe que el material N tiene una gran cantidad de electrones “Suelos”, mientras que el material de tipo P, tiene gran cantidad de huecos. Por sí solos, los materiales no hacen nada; sin embargo, al juntarlos, se da un fenómeno físico, donde los electrones “suelos” del material N van a saltar para llenar los huecos del material P, con la intención de perder energía. Este fenómeno se conoce como difusión. Cuando ocurre la recombinación, se forman enlaces covalentes, lo que hace que se pierdan huecos en el material P, y electrones en el material n. Esto deja atrás una región llamada región de empobrecimiento, donde no se tienen ni huecos ni electrones libres, la región está empobrecida de portadores de carga. Esto hace que el material N se cargue positivamente ya que van a quedar solos los protones de las impurezas de arsénico en este caso, del lado P, se reciben electrones por lo que la carga eléctrica pasa a ser negativa. Lo anterior ocurre en la región de empobrecimiento. Al crearse la región de empobrecimiento, se induce un campo eléctrico que se mueve de negativo a positivo, derecha a izquierda en la figura.

Es debido a este campo eléctrico, que se crea la barrera de potencial. Por efecto de la difusión, los electrones fuera de la región de empobrecimiento querrían moverse hacia la región P, solo que debido al campo eléctrico inducido en esta dirección el electrón experimenta una fuerza opuesta a la de difusión y por ende no se mueve. El punto donde la fuerza del campo se iguala a la de difusión se deja de dar recombinación y se acaba la zona de empobrecimiento. El punto donde se igualan estas fuerzas es donde el potencial ronda los  $0.7V$ . [1]

Cuando se aplica un campo eléctrico mediante una fuente o una batería con el positivo de la fuente conectado al material P, este campo eléctrico aplicado se debe oponer al campo eléctrico inducido, es decir debe ser mayor a la tensión de barrera para poder “vencer” al campo inducido y poder conducir. Si ahora se coloca la fuente al revés, es decir el positivo de la fuente en el material N, esto hace que el campo eléctrico aplicado vaya en la misma dirección del campo eléctrico inducido, por lo tanto los campos van en la misma dirección lo que hace más grande la región de empobrecimiento y por ende hace aún más difícil la conducción. [2]

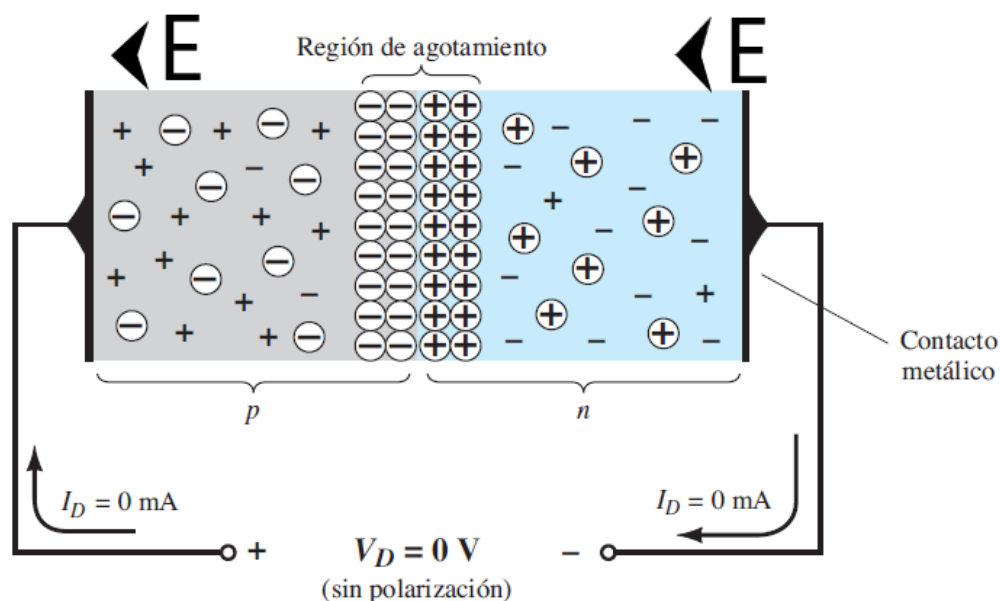


Figura 2: Unión NP con la dirección del campo. [3]

El diodo LED funciona exactamente igual, solo que al darse el fenómeno de recombinación, solo que cuando se forma la región de empobrecimiento, los electrones de la banda de conducción pierden energía para formar los enlaces covalentes. Esa energía se manifiesta en forma de radiación. El LED está construido de tal manera que esta radiación queda en el espectro visible, y con diferentes materiales cambia el color, mientras que en el diodo normal la radiación queda en el infrarrojo.

Si se tienen tres LEDs, uno rojo, otro amarillo y por último uno verde, el que emite luz con más energía, es el color verde, y el rojo sería el de menos energía. Esto debido a que la luz verde tiene una mucho mayor longitud de onda y por ende tiene más energía.

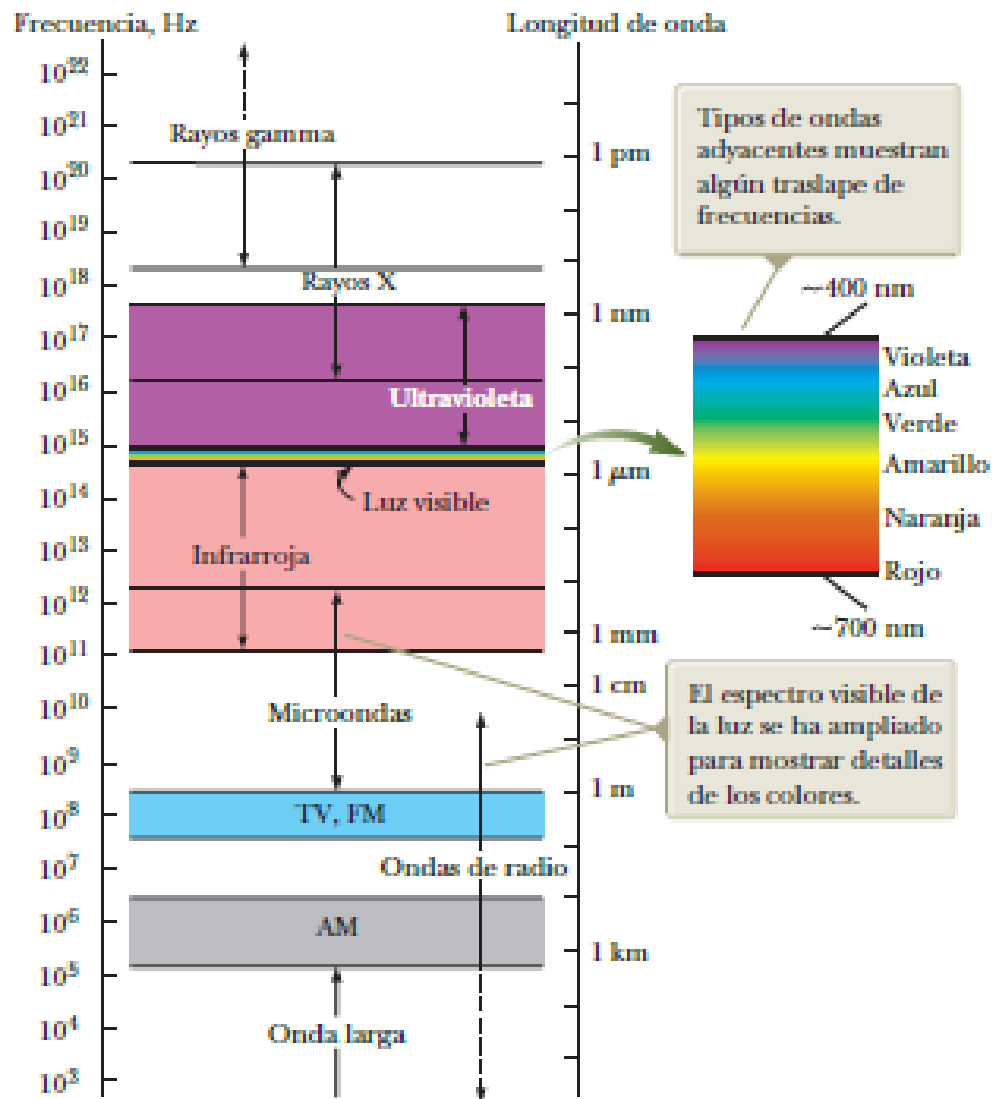


Figura 3: Espectro electromagnético. [4]

### Pregunta #3

0.4. Elabore un diagrama esquemático, a nivel de transistores MOSFET, de una sola compuerta CMOS que realice la función  $Z$ .

La función  $Z$  que se pide hacer como parte de este ejercicio es la siguiente:  $Z = (A'B'C + (D'+E')(F'G+H'))$

Para transformar la función lógica, en un conjunto de transistores alambrados de tal forma que a la salida se obtenga dicha opción, se sigue el método de diseño visto en clase. Cada multiplicación en la función ( $AND$ ) es equivalente a colocar dos transistores en serie al diseñar la caja de lógica  $PMOS$ . Por el otro lado cada suma ( $OR$ ) equivale a colocar dos transistores en paralelo. Así se diseña la celda de lógica  $PMOS$ . Hecho esto se aplica el método de De-Morgan gráfico, para esto se transforman las conectivas  $AND$  en  $OR$ , y las  $OR$  en  $AND$ . Es necesario invertir las entradas de cómo vienen en la función debido a que los  $PMOS$  se encienden con 0s lógicos.

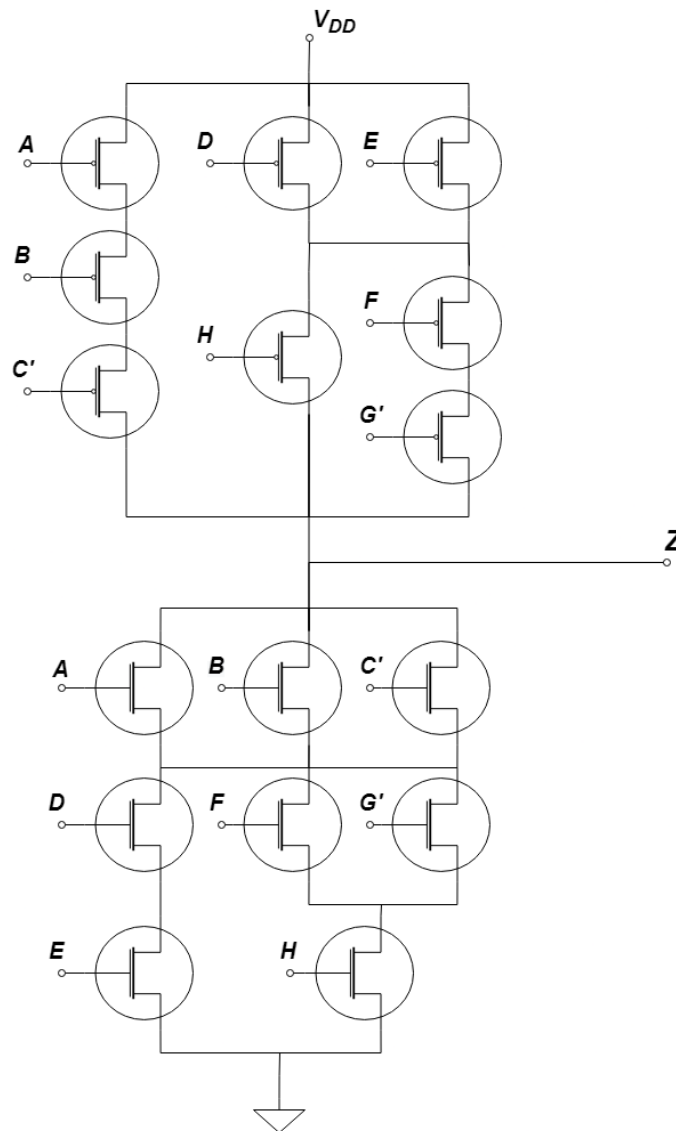


Figura 4: Compuerta CMOS para la función lógica dada. (Creación Propia)

0.5. *Dimensione los transistores de su compuerta de acuerdo al método de simetría visto en clase. Suponga que  $\mu_n = 3\mu_p$*

Una vez hecho el diseño es necesario dimensionar los transistores del mismo. Se empieza dimensionando la celda de transistores *NMOS*. Para esto se usa el método del peor caso posible, en donde se van haciendo caminos desde el nodo *Z* hasta tierra y se evalúa el camino con más transistores el peor de todos y se dimensionan todos los transistores a partir de esto. Analizando la red *NMOS*, cualquier camino que se decida agarrar consta de tres transistores, por lo que el dimensionamiento es simple, si  $L = 3$ , entonces  $w = 3$ , con la intención de mantener la simetría. En caso del dimensionamiento para la celda *PMOS*, se encuentra un caso de ambigüedad en el cual en la rama de transistores *D* y *H*. Si solo se encienden estos, el camino pasa por dos transistores solamente. Si por el otro lado se enciende la rama de transistores *D*, *F* y *G'*, se pasa por tres transistores. Por esta ambigüedad se empieza dimensionando el camino más pequeño, y se busca un equivalente de tamaño con la rama más larga para que haya simetría. Cómo el camino más largo de esas ramas ambiguas es de tres transistores y el más pequeño de dos transistores, es necesario que el equivalente de 3 transistores sea de 2, para esto se van a dimensionar los transistores *F* y *G'*, de tal manera que si  $W = 4\gamma$  y  $L = 2$  se tiene un equivalente de  $2\gamma$  igual que en la rama más pequeña y se cumple el objetivo, pagando el precio de hacer los transistores mucho más grandes. Cómo en el enunciado se habla de que  $\mu_n = 3\mu_p$ , se multiplican los  $W$  por tres para cancelar las movilidades de los electrones.

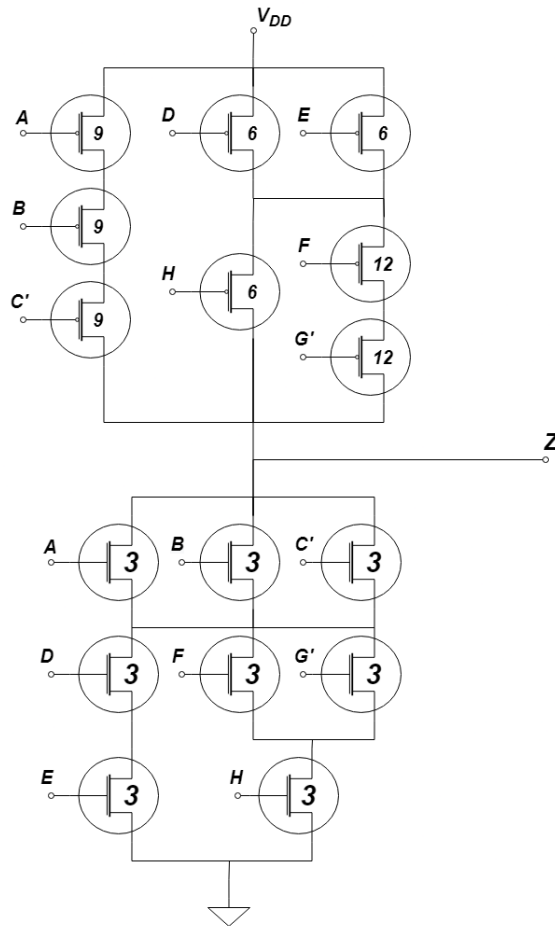


Figura 5: Dimensionamiento para la compuerta CMOS de la función dada. (Creación Propia)

0.6. Acomode los transistores de su diseño para minimizar el “body-effect”.

La ecuación que describe el “body-effect” es la siguiente:

$$V_t = V_{t0} + \gamma\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s} \quad (1)$$

De la cual el único valor de interés es la diferencia de potencial entre el Bulk y la fuente del transistor, ya que si  $V_{sb} = 0$  entonces  $V_t = V_{t0}$ , entonces para que exista un transistor con “body-effect”, debe estar en serie con otro. En la siguiente figura se muestra una comparativa entre las dos propuestas de diseño, donde se mueve un único bloque de transistores en serie para disminuir el body-effect. Los transistores coloreados de morados son los que tienen body-effect. Cómo no se tiene información acerca de que señales llegan primero, para disminuir el body-effect hay que buscar una configuración equivalente, que tenga la menor cantidad de transistores con el efecto no deseado. Para esto, se mueven los bloques en serie. En la Red *PMOS*, se puede mover cualquiera de los bloques, que se va a tener la misma cantidad de transistores con body-effect, pero del lado de los *NMOS*, si se mueve el bloque de los transistores *F* y *G'* en serie con el transistor *H*, entonces se disminuyen los transistores con “body-effect” por uno. El diseño que optimiza el “body-effect” está del lado derecho. Por definición, no hay forma de eliminar el body-effect del todo ya que el bulk del transistor es la oblea, por lo que solo existe la posibilidad de que se conecten a tierra o a  $V_{DD}$ .

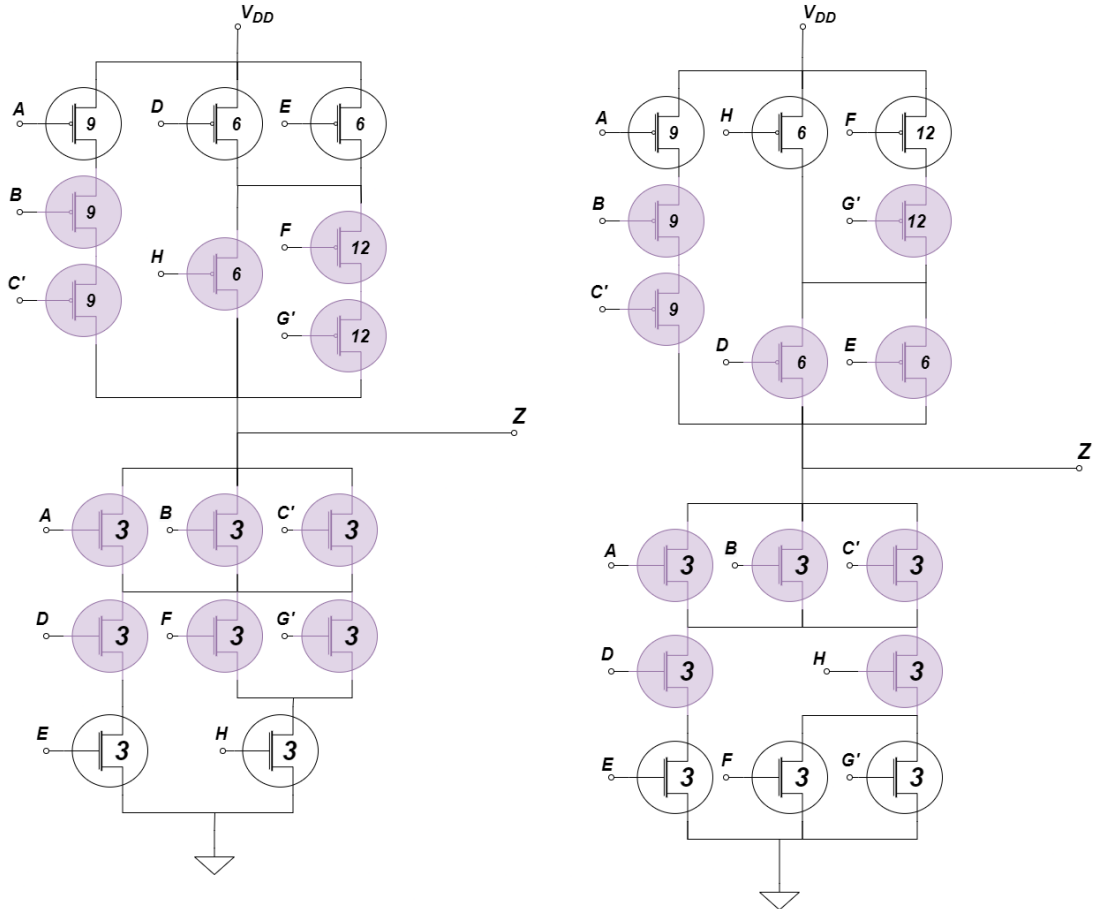


Figura 6: Reducción del Body Effect para la compuerta CMOS de la función dada. (Creación Propia)

#### Pregunta #4

0.7. Indique qué función lógica realiza el circuito.

Para obtener la función lógica que realiza el circuito, primero hay que identificar a qué familia lógica pertenece el mismo. En este caso se trata de un circuito de la familia *Pseudo – NMOS*, donde la resistencia es el transistor *PMOS* que se encuentra permanentemente encendido. Hecho esto se aplica el mismo procedimiento en donde cuando se tiene una configuración de dos transistores en paralelo, se toma una *OR* lógica y cuando se tienen una configuración de dos transistores en serie se toma como una *AND* lógica. Sin embargo, se debe tener un último cuidado, como se trata de transistores *NMOS*, los mismos dan los ceros lógicos de la función por lo que entonces la función que se encuentre debe ir negada.

$$Z = (((((A + C)B) + D)E)(F + G))'$$

0.8. Diseñe una sola celda de lógica CMOS que realice la misma función lógica que el circuito de la figura 1.

Para obtener la celda de lógica *PMOS*, se debe hacer De Morgan gráfico, es decir donde había un paralelo, ahora habrá una serie y viceversa. El circuito obtenido es el siguiente:

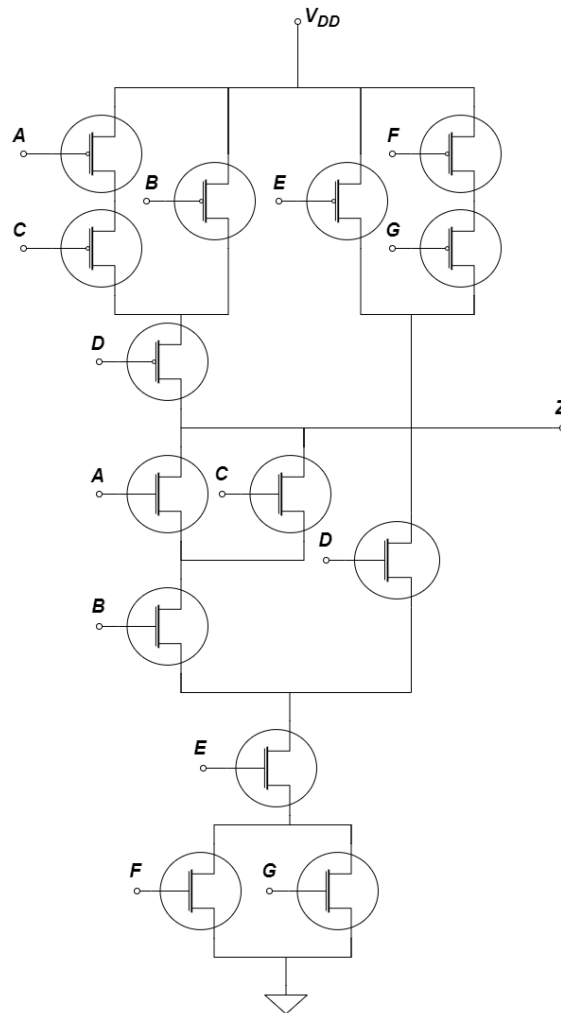


Figura 7: Diseño de celda PMOS para la función lógica encontrada. (Creación Propia)



0.9. *Dimensione los transistores de esta celda de lógica CMOS para manejar los mismos niveles de corriente de un inversor simétrico, en el peor de los casos, de acuerdo al método visto en clase. Suponga que  $\mu_n = 2\mu_p$*

Para efectuar el dimensionamiento de los transistores para este diseño, de nuevo se empieza por la celda de lógica *NMOS*, usando el método del peor caso posible, se van a evaluar todos los caminos posibles y se dice que el peor caso es el que sea más largo, o el que pase por más transistores.

A simple vista se ve que el camino más largo consta de los transistores *A,B,E* y *F*. Sin embargo, se tiene el mismo problema de ambigüedad, ya que si se dimensionan los transistores son  $W = 4$ , al evaluar la rama derecha que consta de los transistores *D,E,F-G*, son solo tres, lo que causa la ambigüedad y se pierde la simetría.

Tomando en cuenta esto, se cambia de estrategia y ahora se dimensiona primero el camino más pequeño, es decir el camino *D,E,F-G*, de lo que se puede decir que como  $L = 3$ , entonces  $W = 3$ . Ahora se debe encontrar un  $W$  de forma que el camino restante cumpla simetría. El largo de esta sección es de dos transistores por lo que entonces se escoge un  $W = 6$  para que al dividirse entre 2, se tenga un  $W$  equivalente de 3.

Para la celda de los *PMOS*, se hace lo mismo, solo que cualquier valor de  $W$  se multiplica por la movilidad la que en este caso es 2. De nuevo se tiene una ambigüedad, pero se trata de igual manera que la anterior.

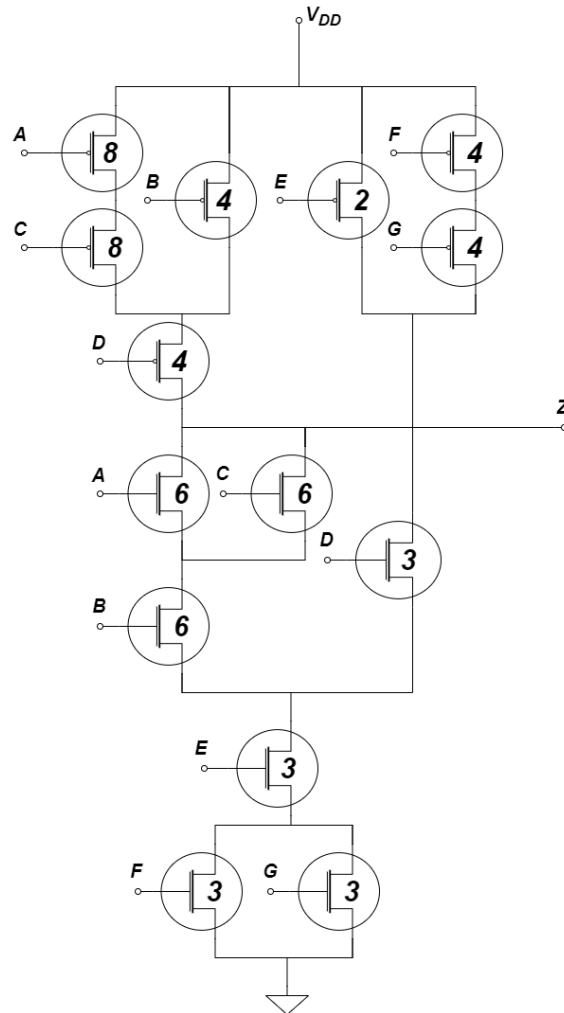


Figura 8: Dimensionamiento para el diseño encontrado en el punto anterior. (Creación Propia)

0.10. Optimice su diseño para el caso en que se sabe que la entrada “E” es la primera en llegar a la compuerta.

Como en el enunciado se dice que la señal “E” llega de primero, y se pide además optimizar el circuito con esta información, lo que se debe hacer es reducir el “body-effect” con el transistor *E*. Para esto, como el transistor *E*, se encuentra en serie con el paralelo de *F* y *G*, sería equivalente cambiar el orden de las cajitas en serie. Esto con el fin de poner el transistor *E* en la celda *NMOS* más cerca de tierra, ya que como se sabe que llega primero, ya el transistor estará encendido cuando lleguen las otras señales, comportándose así como un corto equivalente y por ende cuando lleguen las señales de los transistores *F* y *G* estarán virtualmente conectados a tierra, disminuyendo el “body-effect” y optimizando el circuito.

Del lado de los *PMOS*, no hay nada que cambiar con la información que se da, esto debido a que ya el transistor *E* se encuentra conectado a *VDD*, al igual que su sustrato y por ende no tiene “Body-Effect”.

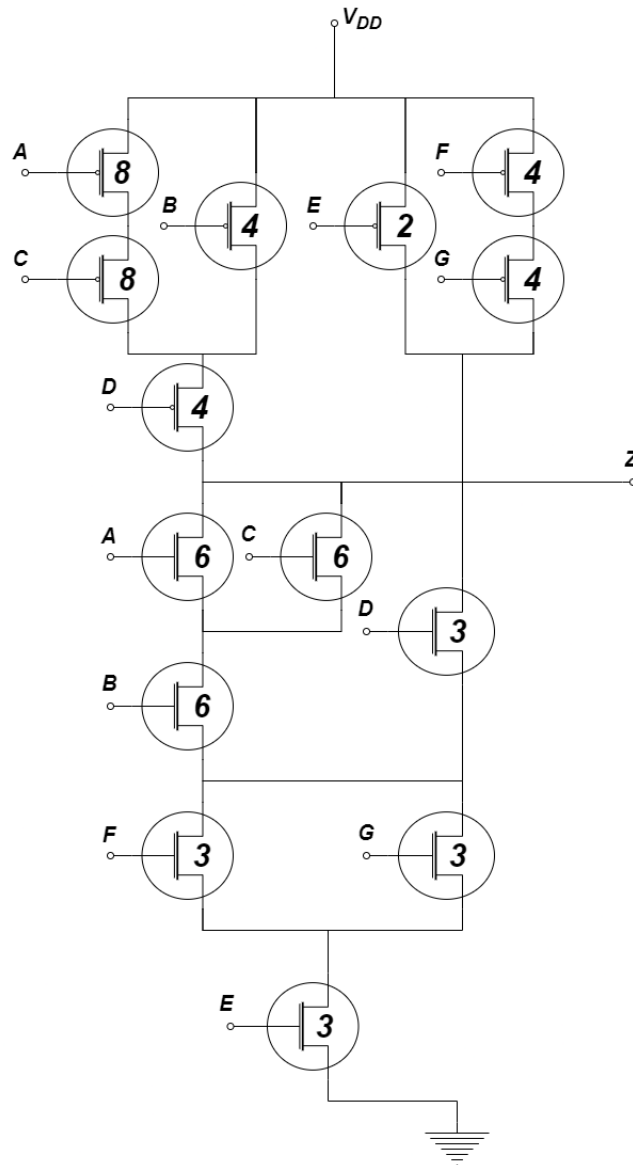


Figura 9: Diseño tomando en cuenta que la entrada “E” llega primero. (Creación Propia)

## Pregunta #5

### 0.11. Modulación por ancho de canal

La modulación del ancho del canal ocurre cuando el valor de  $V_{ds}$  crece más allá de la condición de “Pinch-off”, lo que hace que el canal se deforme lo suficiente para que ya no conecte las terminales de la fuente y el drenaje. Este efecto se empieza a observar cuando se empieza a hacer los transistores cada vez más pequeños, básicamente lo que causa es que la corriente en saturación en lugar de estancarse en un valor, sigue aumentando debido a la modulación.

Para que no haya modulación de canal se quiere que se cumpla  $V_{DS} \leq V_{GS} - V_{tn}$ , esto para que se llegue a la corriente máxima esperada y se evite el estrangulamiento en el punto exacto para que el canal deje pasar únicamente un valor constante de portadores mayoritarios. Esto ocurre exactamente en el punto en el que se da la transición entre el modo de triodo y el de saturación. Por ende la ecuación de la cual se puede obtener la corriente  $I_{ds}$  es la siguiente:

$$I_{ds} = \beta \left( V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} \quad (2)$$

Entonces del enunciado se obtiene que,  $V_{gs} = V_g - V_s$ , pero como la fuente se encuentra conectada a tierra  $V_g = V_{in} = 2.5V$ , también se sabe que  $V_{dsat} < V_{gs} - V_t$ , sustituyendo en la expresión anterior se obtiene  $V_{dsat} < 2.5 - 0.65 = 1.85$ .

Sustituyendo los valores en la ecuación de corriente y tomando el peor caso donde  $V_{ds} = V_{dsat} = 1.85V$  se obtiene:

$$I_{ds} = 4750\mu \left( 1.85 - \frac{1.85}{2} \right) \cdot 1.85 \longrightarrow 8.13mA$$

Este valor de corriente es el valor máximo de corriente que acepta este transistor antes de deformar el canal tanto que se da el fenómeno de modulación de canal. Sabiendo esto se puede obtener el valor mínimo de resistencia haciendo una ley de tensión en la malla exterior y posteriormente una ley de ohm.

$$-V_{DD} + V_{R_1} + V_{ds} = 0 \quad (3)$$

$$V_{R_1} = V_{DD} - V_{ds} \longrightarrow 3.3 - 1.85 = 1.45V$$

Ahora se efectúa una ley de ohm para hallar el valor de la resistencia mínima que cumple los requerimientos dados en el problema

$$V = I \cdot R \quad (4)$$

$$R_{min} = \frac{V}{I} \longrightarrow R = \frac{1.45}{8.13 \times 10^{-3}} = 178.35\Omega$$

Ahora, se sabe que nunca se va a dar el fenómeno de modulación de canal para valores de corrientes menores al encontrado anteriormente. Para encontrar el límite superior de la resistencia se debe usar la ecuación de corriente que contempla la modulación de canal.

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2 \cdot (1 + \lambda V_{ds}) \quad (5)$$

Como se desea que no haya modulación de canal, quiere decir que el término  $\lambda V_{ds}$  debe ser cero; sin embargo,  $\lambda$  es un parámetro físico, cercano a cero pero jamás cero, por lo que queda es decir que  $V_{ds} = 0V$  al hacer esto entonces la ecuación queda como la ideal.

$$I_{ds} = \frac{\beta}{2} (V_{gs} - V_t)^2 \quad (6)$$

Ahora se sustituyen valores con el fin de demostrar que la corriente  $I_{ds}$  tiene el mismo valor que la encontrada en el caso anterior.

$$I_{ds} = \frac{4750 \times 10^{-6}}{2} \cdot (2.5 - 0.65)^2 \rightarrow 8.128mA$$

Ahora para hacer el cálculo de la resistencia máxima, se hace una ley de ohm.

$$R_1 = \frac{V_{DD} - V_{ds}}{I_{ds}} \rightarrow \frac{3.3 - 0}{8.13 \times 10^{-3}} = 405.90\Omega \quad (7)$$

Entonces se concluye que el rango de resistencias que cumplen los requerimientos solicitados:

$$178.35\Omega \leq R_1 \leq 405.90\Omega$$

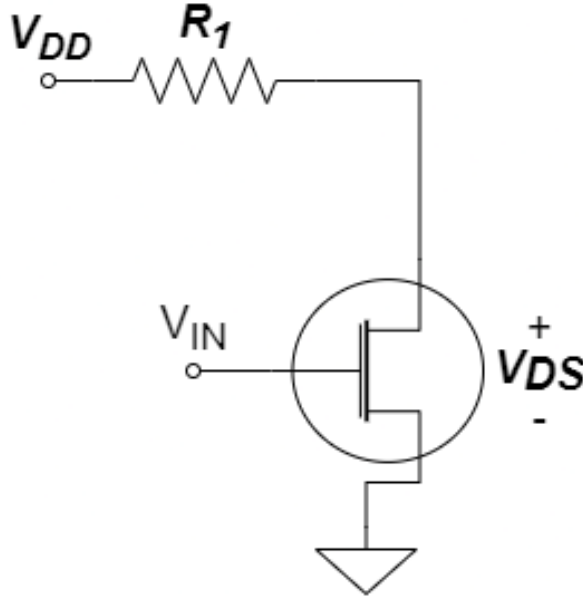


Figura 10: Esquemático para el diseño. (Creación Propia)

## Referencias

- [1] N. Weste and D. Harris. *CMOS VLSI Design*. Addison-Wesley, 4 edition, 2010.
- [2] Donald A Neamen. *Semiconductor physics and devices: basic principles*. New York, NY: McGraw-Hill,, 4 edition, 2012.
- [3] R. Boylestad and L. Nashelsky. *Electrónica: Teoría de Circuitos y Dispositivos Electrónicos*. Pearson Educación, 10 edition, 2009.
- [4] Raymond A Serway and John W Jewett. *Physics*. ISBN 9781337553292.
- [5] Enrique Coen. Videos de las clases impartidas por el profesor este semestre, 2021.