

# Inversor CMOS con LTspice

Gabriel Araya Mora B80525

*Escuela de Ingeniería Eléctrica, Universidad de Costa Rica*

*Dispositivos Semiconductores (IE-0311)*

---

## Punto 1:

Después de haber hecho la investigación acerca de los diferentes sabores de Spice, se llegó a la conclusión de usar LTspice, a pesar de contar con TINA y OrCad. No fue por un tema de interfaz gráfica, ya que TINA hubiera sido el ganador, sino que por un tema de documentación disponible, y simplicidad de implementación para los objetivos de esta tarea se escogió LTspice. Además de que Ltspice es un software completamente gratuito y disponible en la web.

## Punto 2:

Tomando como referencia el carné que se muestra en el título del documento. Para hacer la tarea, el mismo termina en un número impar, por lo que entonces este punto se trabaja con un transistor *PMOS*.

Utilizando el transistor por defecto del simulador LTspice, se conectan las fuentes correspondientes y se procede a hacer un barrido de la tensión de Drenaje (*D*) y la tensión de compuerta (*G*), la fuente (*S*) junto con el sustrato (*B*) siempre será la tensión más grande o bien la más positiva, en este caso tierra. Como el objetivo es generar la familia de curvas características del transistor es necesario variar las tensiones de compuerta y las de drenaje con la función de DC Sweep de spice.  $V_{ds}$  se varía con el objetivo de dar soporte a la gráfica, es decir el eje x. La variación se hace de 0V a -10V para ambas fuentes.

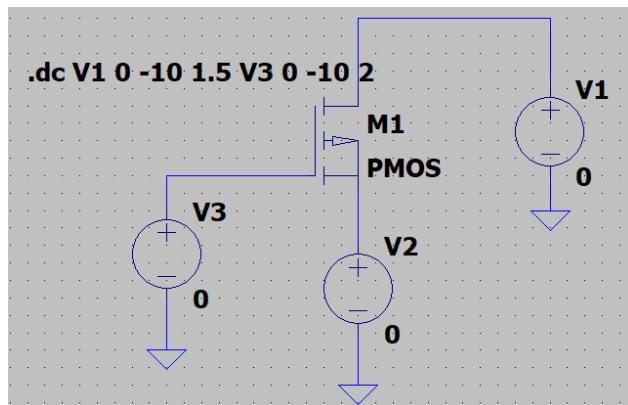


Figura 1: Circuito PMOS para obtener curva característica utilizando el transistor por defecto de LTspice.(Creación Propia)

Como se observa en la siguiente figura, la familia de curvas vive en el tercer cuadrante. Se nota que la corriente máxima que se obtiene en este barrido de  $V_{gs}$  es de aproximadamente  $-1.0mA$ . En el eje Y se encuentra la corriente  $I_{ds}$  y en el eje X la tensión  $V_{ds}$ . Cada una de las curvas ocurren para un valor diferente de  $V_{gs}$ .

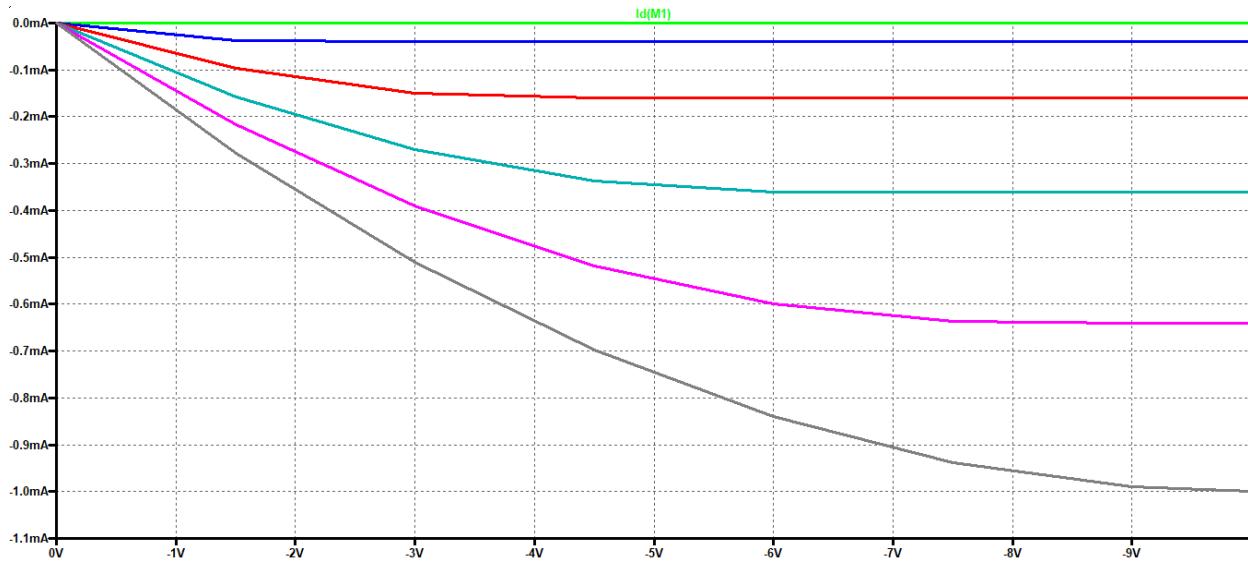


Figura 2: Curva característica para el PMOS base de LTspice.(Creación Propia)

### Punto 3:

Para este punto se hace lo mismo que en el anterior, solo que ahora se va a cambiar el modelo de Spice que se utiliza para la simulación. Básicamente se cambian todos los parámetros físicos y de construcción del transistor, esto con el fin de que la simulación se ajuste a la realidad de la mejor manera posible o en este caso a un proceso de manufactura específico, y no para un transistor de propósito general que ya tiene por defecto el simulador.

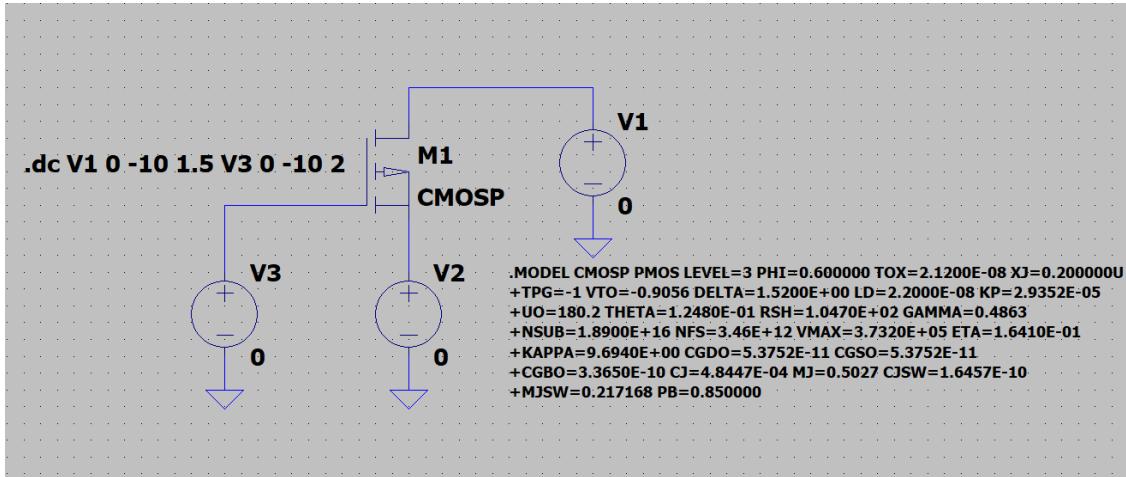


Figura 3: Circuito PMOS para obtener curva característica utilizando el transistor con parámetros típicos del enunciado.(Creación Propia)

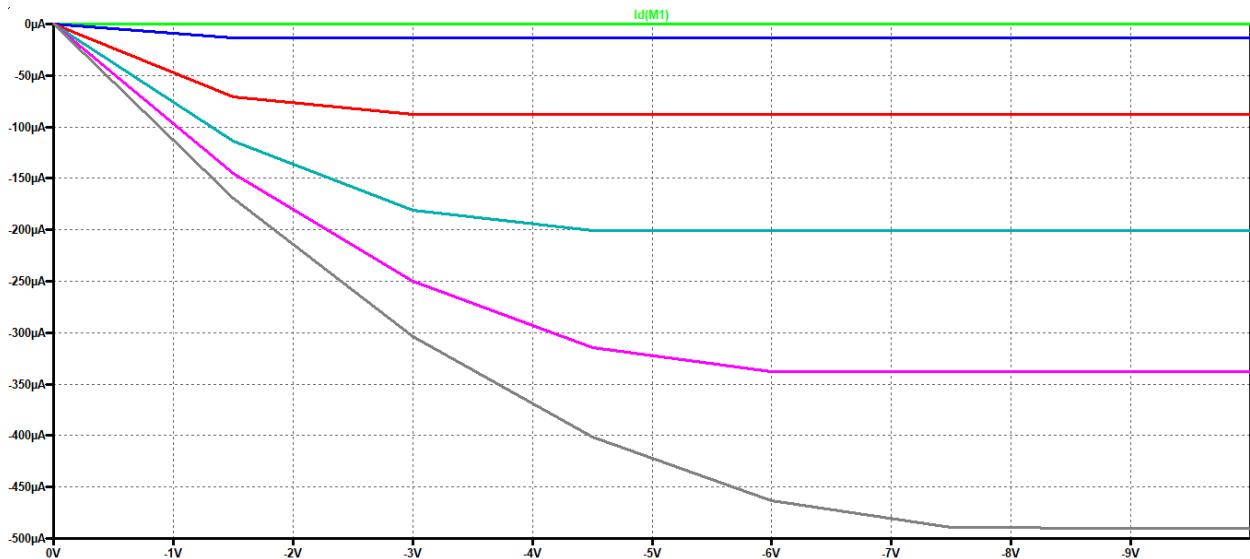


Figura 4: Curva característica para el PMOS con parámetros típicos proporcionado en el enunciado.(Creación Propia)

#### Punto 4:

Como se observa en las dos figuras anteriores se obtienen las curvas características para los dos transistores PMOS. Como era de esperar son muy similares ya que se trata del mismo dispositivo sometido a la misma prueba; sin embargo, la forma puede ser parecida pero realmente las dos gráficas están lejos de ser iguales. Primero se observa que la gráfica obtenida como solución al punto 2 de esta tarea alcanza un valor máximo de  $I_{ds} = -1mA$ , mientras que la gráfica que se obtiene como solución al punto 3 utilizando el transistor real del proceso de manufactura de 1.2 micrómetros la corriente máxima que se obtiene en este análisis es de la mitad de la anterior aproximadamente.

Seguidamente, el transistor proporcionado en el enunciado de la tarea, llega a la zona de saturación a una menor tensión que el que proporciona el simulador. Esto se puede observar en la figura (4) , a  $-8V$  el transistor de 1.2 micrómetros ya entró a la zona de saturación, mientras que el otro transistor que proporciona el simulador a esta misma tensión, aún está largo de entrar a esta misma zona.

De la zona de corte no se puede decir mucho ya que para ambos transistores ocurre cuando el dispositivo está apagado y es de esperar que únicamente dependa de  $V_T$  para estar encendido o apagado.

Para aplicaciones digitales se trabaja mucho en las zonas de saturación y corte del transistor, por lo que es deseable que el transistor se sature a menores tensiones, lo cual va a depender del material de construcción del mismo, pero también del ancho al cual se construye el transistor. Como el transistor que pone el simulador es de uso general, no debe servir bien solo para aplicaciones digitales, sino que debe servir para crear amplificadores analógicos también, por lo que entonces se espera que su zona útil (Zona lineal o de triodo) tenga un rango de tensiones  $V_{ds}$  mayores.

De las afirmaciones anteriores se puede llegar a la conclusión de que el transistor que tiene por defecto el simulador es mucho más grande que el que proporciona el enunciado de la tarea. Esto tiene sentido ya que de nuevo el que tiene el simulador de nuevo debe servir para aplicaciones un poco más generales, mientras que el transistor que da el profesor es pensado para un chip de un microprocesador o alguna aplicación de microelectrónica, por lo que tiene todo el sentido del mundo que el transistor al ser más pequeño, también tenga corrientes  $I_{ds}$  más pequeñas.

Esto no hace a un transistor mejor o peor que otro, simplemente están hechos para aplicaciones específicas muy diferentes.

### Punto 5:

El código del **NETLIST** con el que se trabajó todo el resto de la tarea se adjunta al final del documento debido a su tamaño.

En la siguiente figura se muestra el esquemático base del cual se extrajo el netlist; sin embargo, para poder hacer los puntos posteriores a este y poder comparar ambas salidas, lo que se hizo fue conectar varios circuitos iguales en paralelo para poder observar sus salidas al mismo tiempo y es por esto que el netlist es un poco grande. .

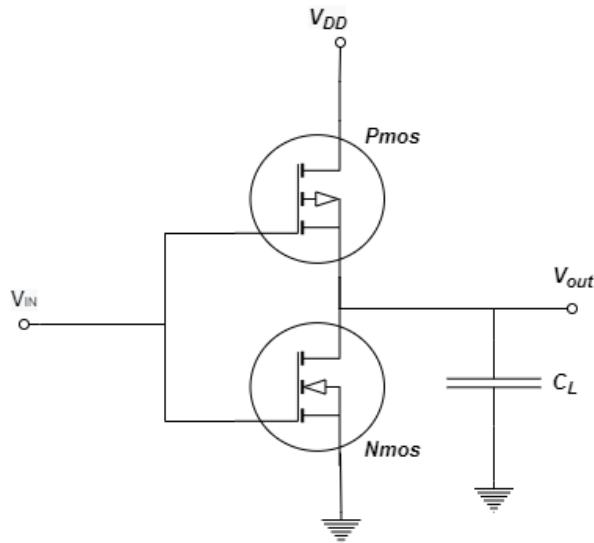


Figura 5: Esquemático base para la creación del Netlist.(Creación Propia)

### Punto 6 y 7:

Para esta sección se combinaron las simulaciones utilizando los transistores *NMOS* y *PMOS* por defecto del simulador y la simulación realizada utilizando los transistores con parámetros típicos de forma se ahora es más sencillo comparar ambas curvas y sacar conclusiones de ellas. Las siguientes simulaciones son para el circuito inversor con arquitectura CMOS presentado en la figura (5).

En la siguiente figura se van a contrastar las señales de salida del inversor ante la misma entrada. La señal rosada es la salida del inversor construido utilizando los transistores por defecto del simulador, mientras que la línea verde es la salida utilizando el transistor con parámetros típicos dado en el enunciado de la tarea.

La curva del inversor utilizando los transistores por defecto es sumamente ideal, por no decir que es perfecta respecto a la gráfica mostrada por el profesor en clase para el comportamiento del inversor. Esto ya que se ve claramente que cuando la tensión de entrada está a la mitad de su valor final, es decir  $2.5V$ , la tensión de salida (línea rosada) también está a la mitad de su valor de transición es decir  $2.5V$ .

Contrastando la gráfica verde con la rosada, se puede ver que el inversor construido con los parámetros dados por el profesor tiene menor falling propagation delay  $t_{pdf}$ , esto se ve claramente ya que la línea verde llega en menos tiempo a la mitad de su valor de  $2.5V$ , por lo que se puede decir que commuta más rápidamente.

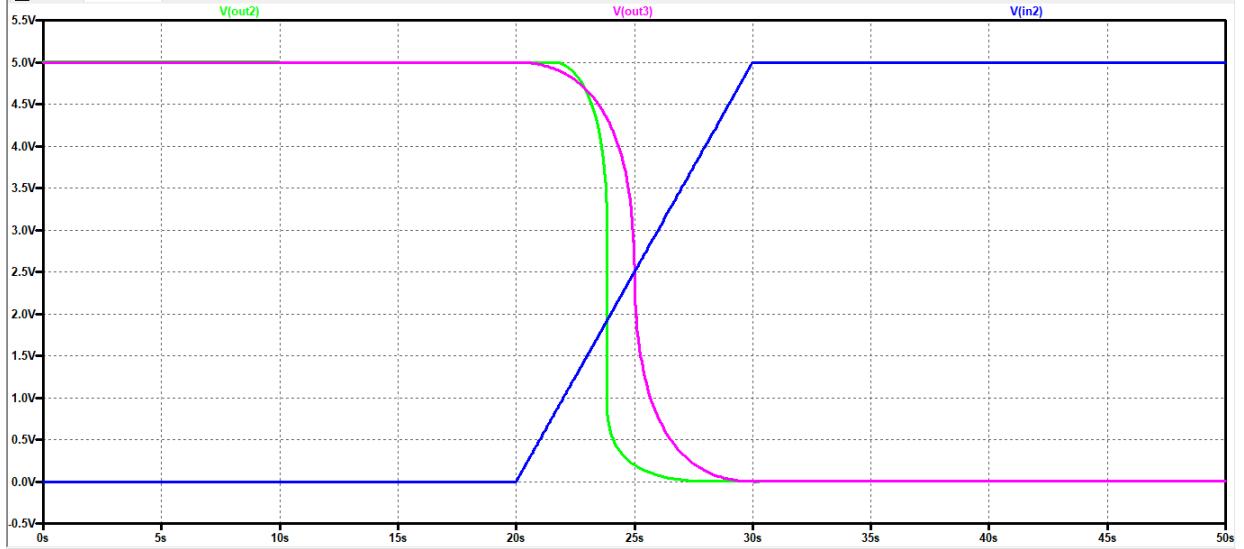


Figura 6: Salida de ambos inversores y la entrada correspondiente durante una transición.

En la siguiente figura se muestra el mismo comportamiento; sin embargo, ahora cuando se da la transición de 0 a 1 lógicos, la que dura más tiempo alcanzando el tiempo alcanzando el valor medio del valor máximo es la línea azul, es decir la del inversor construido a partir de los transistores con parámetros típicos.

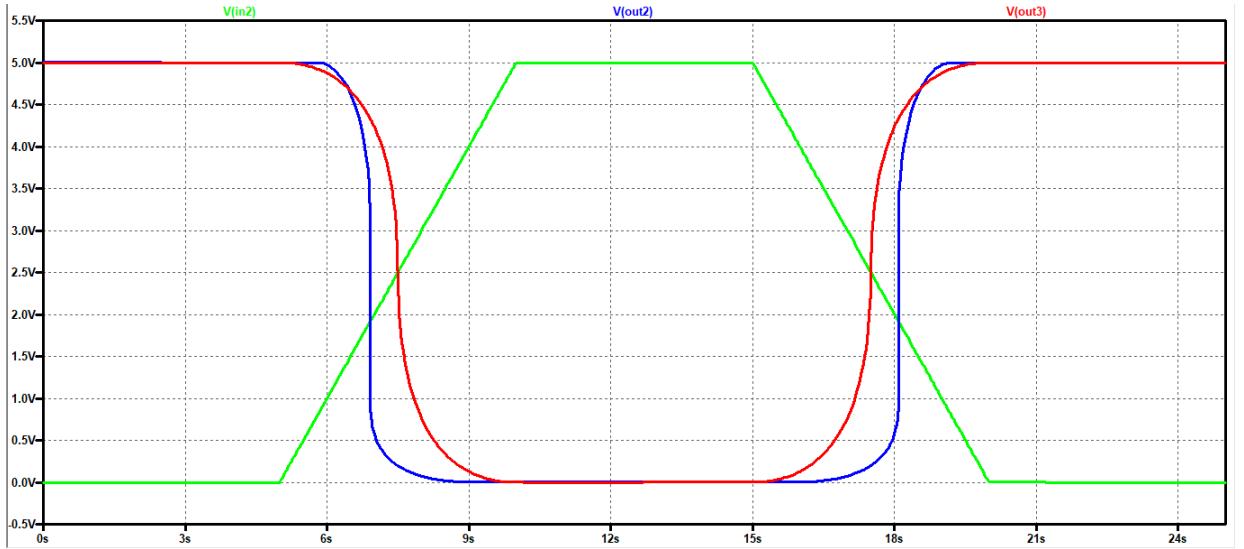


Figura 7: Salida de ambos inversores y la entrada correspondiente durante dos transiciones.

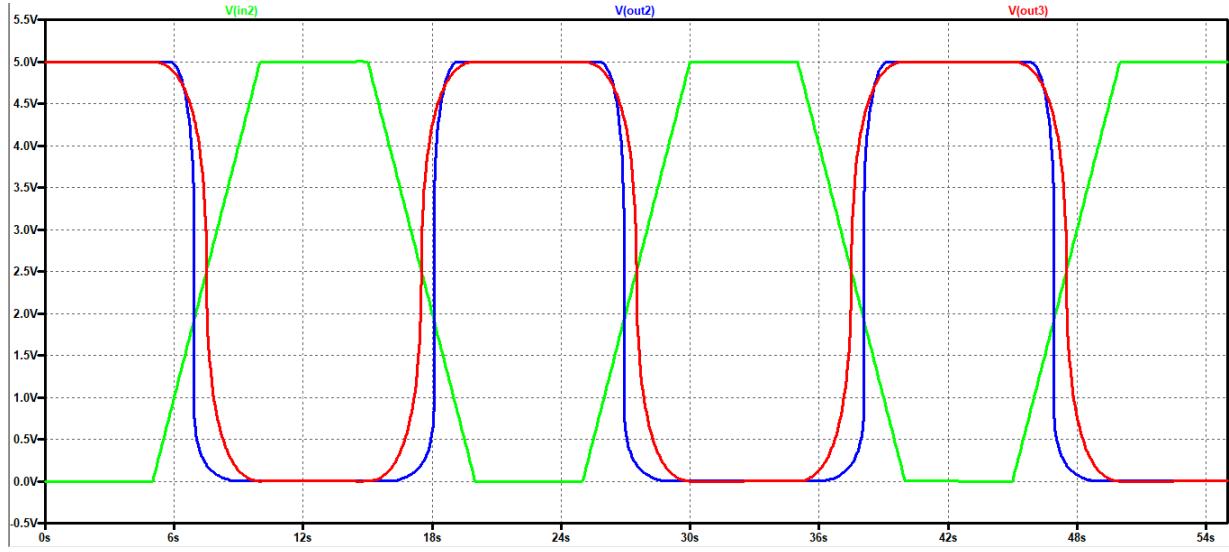


Figura 8: Salida de ambos inversores y la entrada correspondiente durante cinco transiciones.

Ahora si se aleja en el tiempo para poder observar el comportamiento del inversor por más de dos transiciones, se obtiene la siguiente gráfica, de la cual se puede decir que a grandes rasgos ambas salidas son equivalentes ante esta entrada.

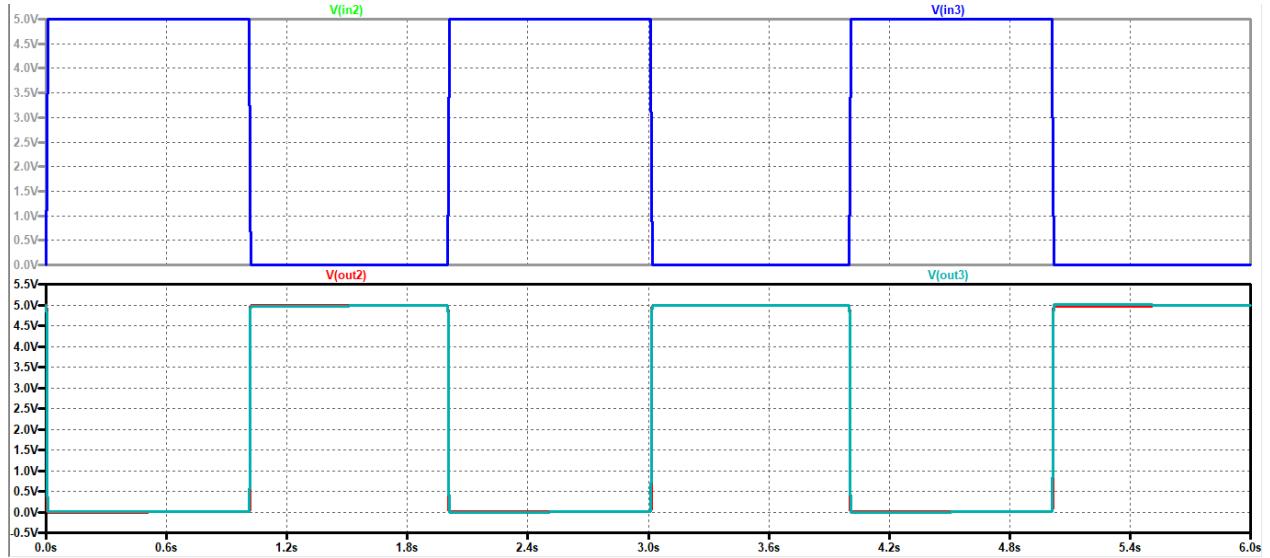


Figura 9: Respuesta del inversor ante una entrada cuadrada.

## Punto 8 y 9:

Nuevamente para esta sección se combinan ambas gráficas para la salida del inversor ahora construido a partir de los modelos para los parámetros mínimos y máximos ante la misma entrada. Ocurre un comportamiento similar que el analizado en la sección anterior; sin embargo, esta vez no hay una curva perfecta o ideal ya que lo que se está comparando son transistores para un proceso de manufactura específico.

La línea roja representa la salida del inversor con parámetros máximos, entonces nuevamente tiene un  $t_{pdf}$  poco menor que el de la salida del inversor con los parámetros mínimos.

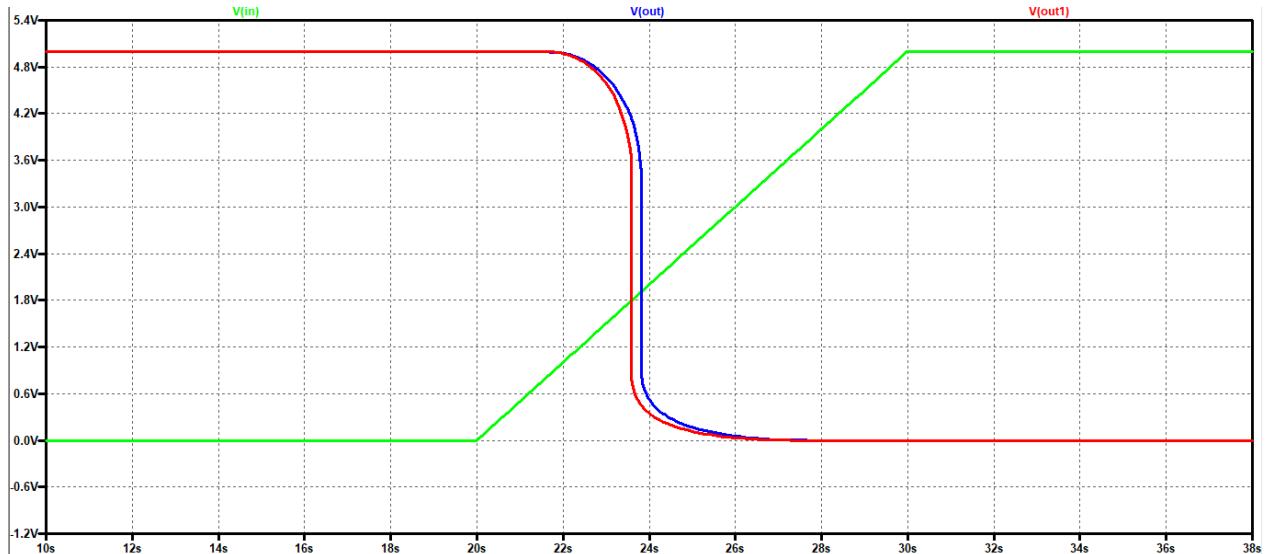


Figura 10: Salida de ambos inversores y la entrada correspondiente durante una única transición.

Por el otro lado la línea azul tiene un  $t_{pdr}$  menor que la línea roja. El comportamiento se repite, cuando el inversor tiene menor tiempo de commutación de 1 a 0 lógico, va a tener mayor tiempo de commutación de 0 a 1 lógico.

Cabe destacar que esto se espera que ocurra cuando la construcción se hace con ambos *MOSFET* con parámetros mínimos, máximos o típicos, pero esto es difícil que ocurra, ya que en los procesos de manufactura los transistores siempre salen entre ese rango de máximos, típicos y mínimos y todos son diferentes.

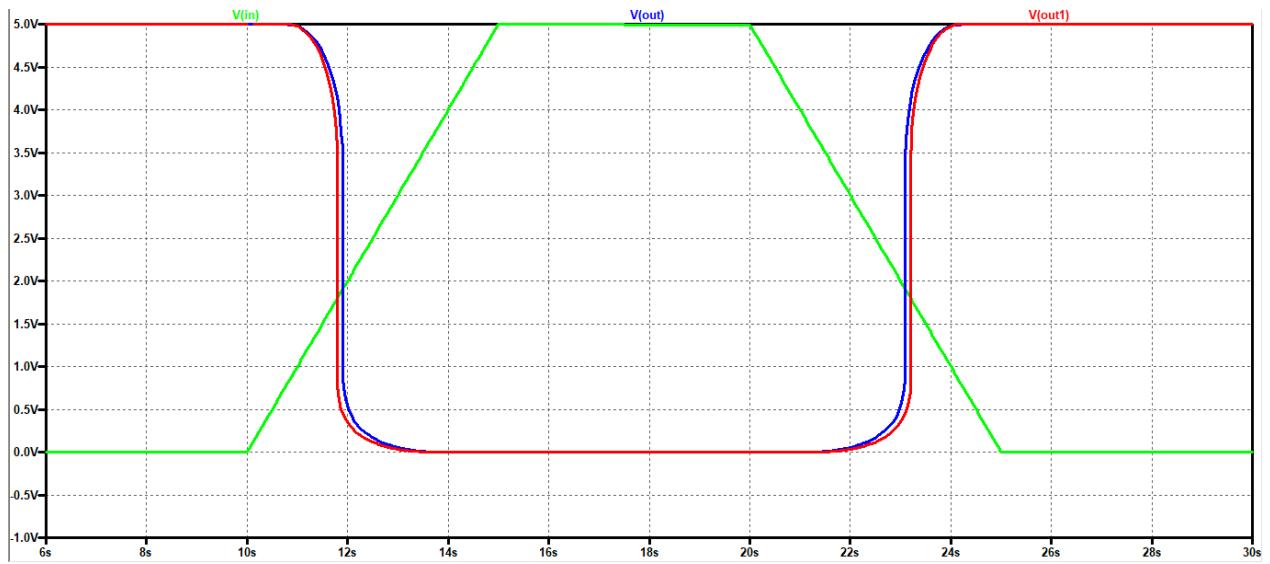


Figura 11: Salida de ambos inversores y la entrada correspondiente durante dos transiciones.

Ahora en la siguiente figura se puede ver que cuando se aleja un poco la vista y se observan más transiciones, se puede ver que las transiciones son prácticamente equivalentes, y entre más largo se vea la simulación, más equivalencia tienen las salidas.

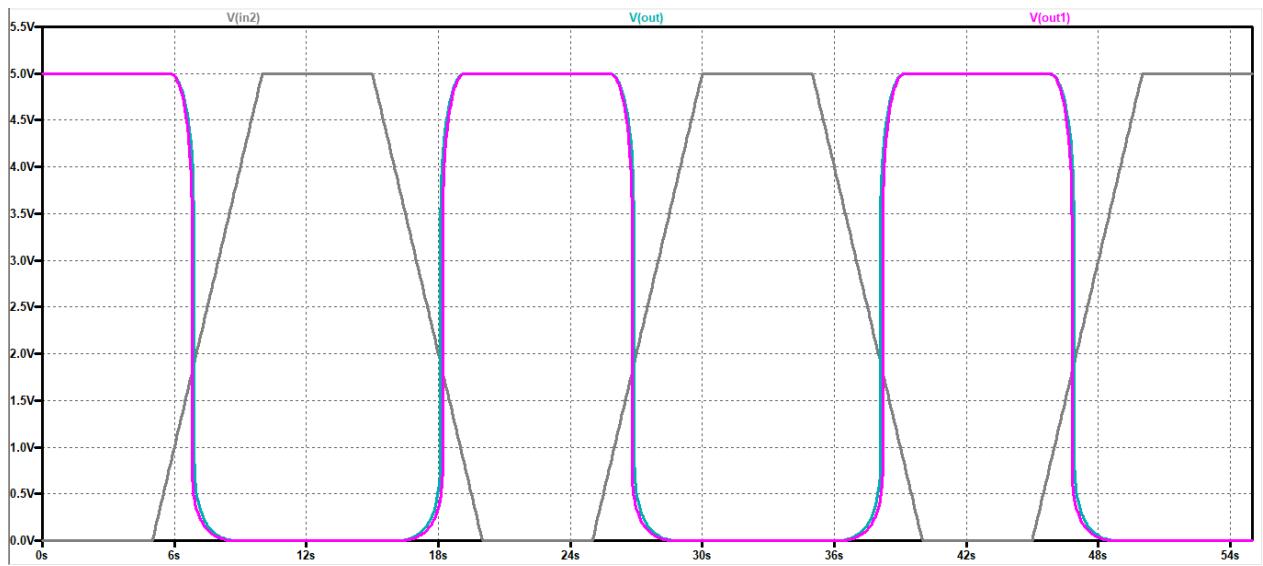


Figura 12: Salida de ambos inversores y la entrada correspondiente durante cinco transiciones.

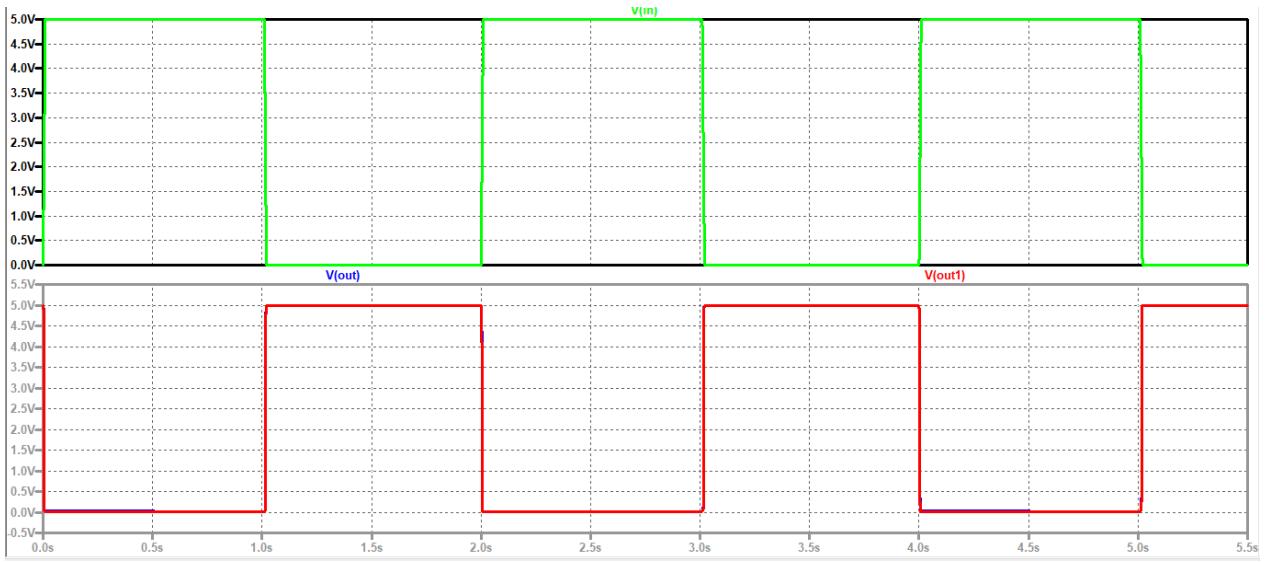


Figura 13: Respuesta del inversor ante una entrada cuadrada.

Aquí se puede notar perfectamente como las tres gráficas para los inversores construidos a partir de los parámetros típicos, mínimos y máximos, son prácticamente equivalentes.

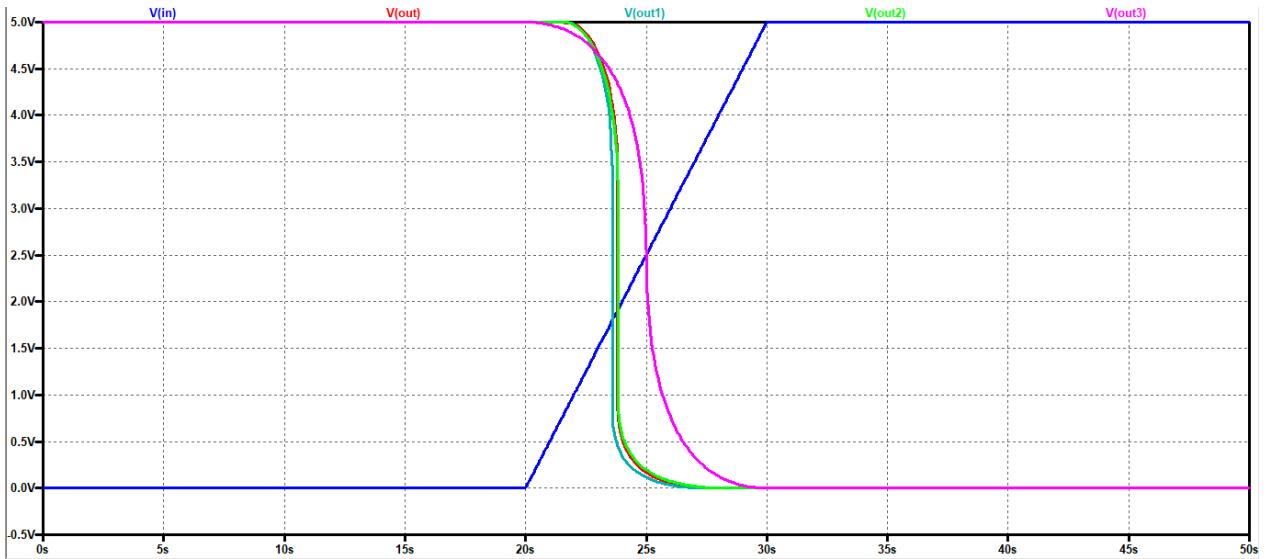


Figura 14: Combinación de todas las salidas del inversor.

## Punto 10:

En la siguiente figura se observa el consumo de corriente del transistor incluido por defecto en el simulador. Como este transistor es más grande que el proporcionado por el profesor entonces es de esperar que el mismo consuma más corriente por transición que los otros. Aquí se muestra como cuando inicia la transición comienza a subir la corriente y cuando la transición está por el punto medio en 2.5V la corriente está en el punto más alto de consumo y de aquí comienza a bajar. El punto máximo de la corriente ronda los  $60\mu A$ .

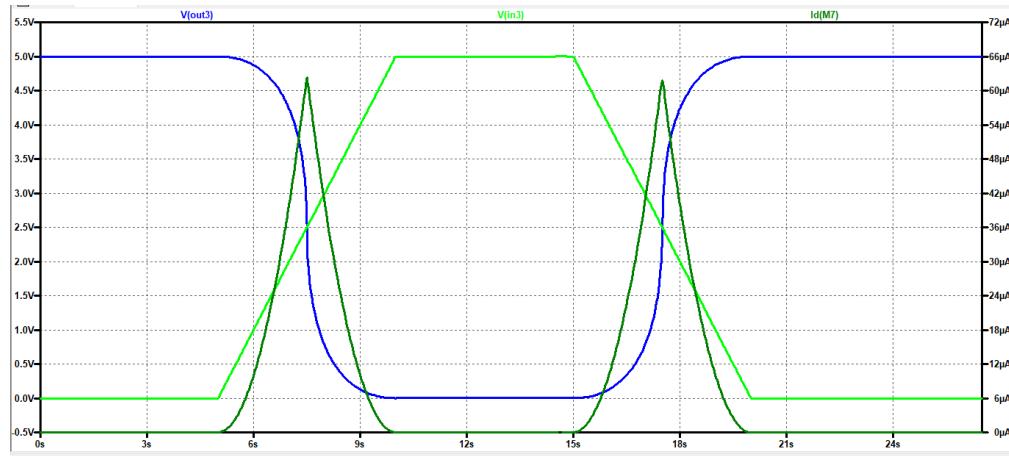


Figura 15: Curva de consumo de corriente para el inversor construido a partir de los transistores por defecto del simulador.

Ahora si se construye el inversor utilizando los transistores proporcionados en el enunciado de la tarea, se ve que el consumo de corriente disminuye, lo que es esperable ya que el transistor es más pequeño. Pero también como este transistor no pasa exactamente en 2.5V cuando la entrada está en ese punto, el consumo de potencia no es simétrico de arriba abajo.

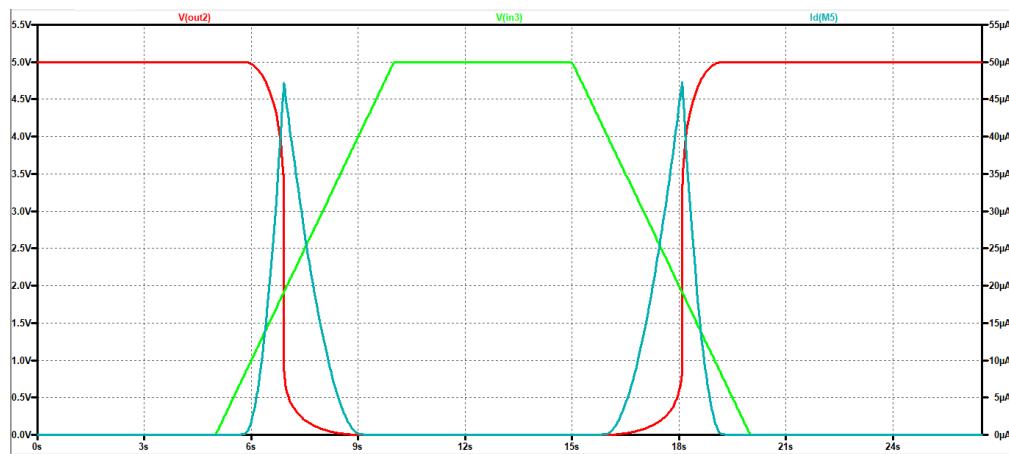


Figura 16: Curva de consumo de corriente para el inversor construido a partir de los transistores con parámetros típicos.

Utilizando el transistor con parámetros mínimos, se observa el mismo comportamiento solo que ahora como es de esperar se consume menos corriente, si para cuando se utilizaron los parámetros típicos el pico máximo de corriente se da cercano a los  $47\mu A$ , entonces se espera que usando los parámetros mínimos el pico sea de a un valor menor, lo que efectivamente ocurre a un valor máximo de  $40\mu A$ .

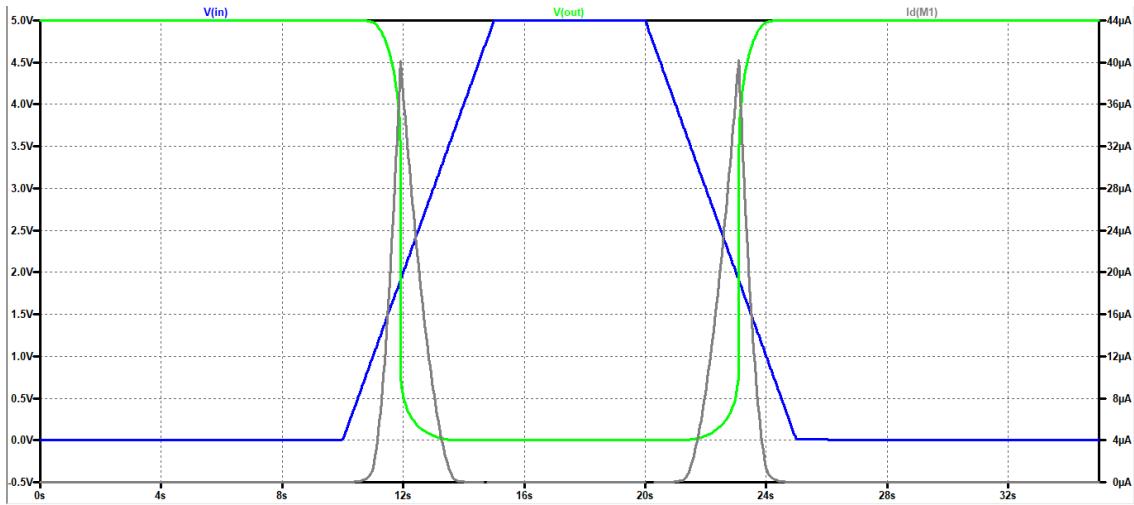


Figura 17: Curva de consumo de corriente para el inversor construido a partir de los transistores con parámetros mínimos.

Por último en la siguiente figura se muestra el consumo de corriente para el inversor construido a partir de los transistores con parámetros máximos. En ella se puede observar claramente como este inversor consume más corriente que el que se construye con los transistores de parámetros mínimos. Aquí el consumo de corriente máximo ronda los  $43\mu A$ .

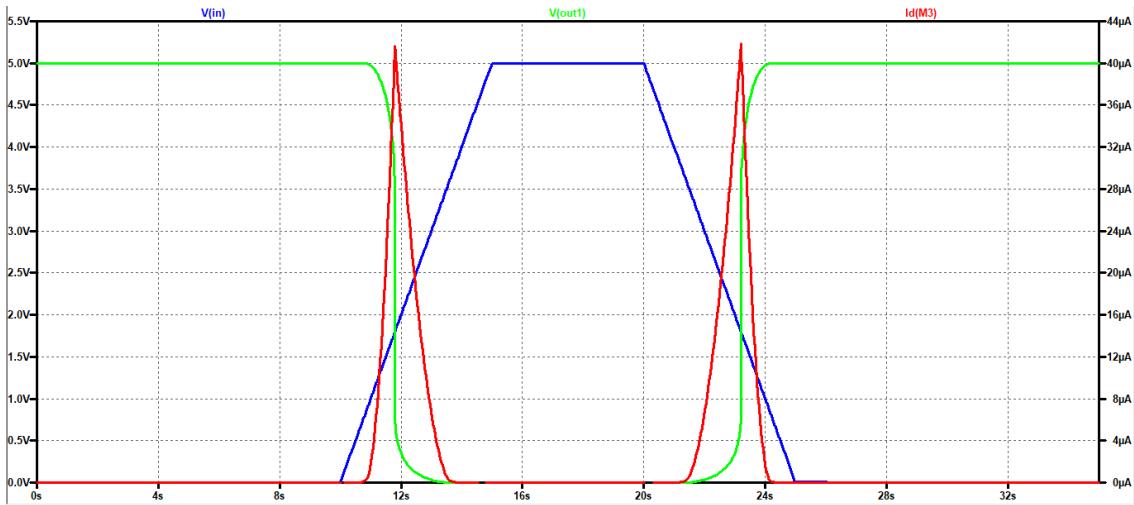


Figura 18: Curva de consumo de corriente para el inversor construido a partir de los transistores con parámetros máximos.

### 0.1. Modelo Ideal del Transistor:

La ganancia del transistor se puede describir con la siguiente ecuación: [1]

$$\beta = \left( \frac{\mu - \epsilon_{ox}}{t_{ox}} \right) \left( \frac{W}{L} \right) \quad (1)$$

Donde al primer paréntesis se le conoce como la constante del proceso  $K_p$  y es puesta por el fabricante, ya sea Intel, TSMC o SAMSUNG. La  $L$  la determina el mínimo del proceso de fabricación (22nm, 14nm, 10nmn, etc) y la  $W$  se diseña [1].

La ecuación de la recta de pinch-off tiene la siguiente forma:

$$I_{DS} = \frac{I_{DS_{sat}}}{V_{GS} - V_T} \quad (2)$$

Sin embargo la corriente  $I_{DS_{sat}}$  va a aumentar con el valor de  $V_{GS} - V_T$ , de lo que se obtiene la siguiente ecuación [1]:

$$I_{DS} = (V_{GS} - V_T)V_{DS} \quad (3)$$

Ahora la región de Triodo se modela de la forma:

$$I_{DS} = \beta \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4)$$

Al final la corriente de saturación del transistor queda modelada con la siguiente ecuación [1]:

$$I_{DS_{sat}} = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad (5)$$

De la ecuación anterior se concluye que la corriente  $I_{DS_{sat}}$  depende directamente de la ganancia del transistor, por lo que al cambiar la constante del proceso para cada uno de los casos típico, máximo y mínimo, se espera que la corriente de saturación máxima cambie, además de que  $V_T$  cambia un poco para los 3 casos, este comportamiento se observa claramente en las 3 gráficas que muestran el consumo de corriente, ya que al cambiar de parámetros también cambia el consumo de corriente aumentando o disminuyendo en un rango considerablemente pequeño ya que se trata del mismo transistor, solo que a la hora de cocinarlos en la fundidora algunos salen más pequeños o más grandes; sin embargo, al igual que en una población hay un promedio en el tamaño de las personas, el transistor con parámetros típicos es el promedio en cuanto a que la mayor cantidad de los transistores que se producen cumplen con estos parámetros.

## Referencias

- [1] Weste, Neil H.E. y Eshraghian Kamran. “Principles of CMOS VLSI Design: A Systems Perspective”. Second Edition. Addison-Wesley Publishing Company. 1994.

## Anexos

\*\*Inverter \*\*

\*Gabriel Araya Mora B80525

\*\*\*\*\*

\*Formula para definir transistores mosfet \*

\* M# Drain Gate Source Bulk Model. \*

\*\*\*\*\*

M1 vdd In Out vdd CMOSPMIn ; Transistor pmos

M2 Out In 0 0 CMOSNMin; Transistor nmos

M3 vdd1 In1 Out1 vdd1 CMOSPMax;

M4 out1 In1 0 0 CMOSNMax;

M5 vdd2 In2 Out2 vdd2 CMOSP;

M6 out2 In2 0 0 CMOSN;

M7 vdd3 In3 Out3 vdd3 PMOS;

M8 out3 In3 0 0 NMOS;

\*\*\*\*\*

\*Formula para definir fuentes de tension \*

\* V# +V -V value \*

\*\*\*\*\*

V1 vdd 0 5v; Bateria para alimentar los transistores

\*V2 In 0 PULSE(0 5 0 0.01 0.01 1 2);entrada cuadrada

V2 In 0 PWL(10 0 15 5 20 5 25 0)

```
V3 vdd1 0 5v; Bateria para alimentar los transistores  
*V4 In1 0 PULSE(0 5 0 0.01 0.01 1 2);entrada cuadrada  
V4 In1 0 PWL(10 0 15 5 20 5 25 0)
```

```
V5 vdd2 0 5v; Bateria para alimentar los transistores  
*V6 In2 0 PULSE(0 5 0 0.01 0.01 1 2);entrada cuadrada  
V6 In2 0 PWL(5 0 10 5 15 5 20 0)
```

```
V7 vdd3 0 5v; Bateria para alimentar los transistores  
*V8 In3 0 PULSE(0 5 0 0.01 0.01 1 2);entrada cuadrada  
V8 In3 0 PWL(5 0 10 5 15 5 20 0)
```

```
*****  
*Formula para definir capacitancias *  
* C# In Out value *  
*****
```

```
C1 out 0 100p  
C2 out1 0 100p  
c3 out2 0 100p  
c4 out3 0 100p
```

```
* Se definen los parametros de simulacion  
* Si se quiere usar un modelo externo al que ya trae el simulador  
* Se copia y pega en el documento de netlist y se le cambia el nombre  
* en la definicion del componente.
```

```
*TYP*  
.MODEL CMOSN NMOS LEVEL=3 PHI=0.600000 TOX=2.1200E-08 XJ=0.200000U  
+TPG=1 VTO=0.7860 DELTA=6.9670E-01 LD=1.6470E-07 KP=9.6379E-05  
+U0=591.7 THETA=8.1220E-02 RSH=8.5450E+01 GAMMA=0.5863  
+NSUB=2.7470E+16 NFS=1.98E+12 VMAX=1.7330E+05 ETA=4.3680E-02
```

```

+KAPPA=1.3960E-01 CGDO=4.0241E-10 CGSO=4.0241E-10
+CGB0=3.6144E-10 CJ=3.8541E-04 MJ=1.1854 CJSW=1.3940E-10
+MJSW=0.125195 PB=0.800000

```

```

.MODEL CMOSP PMOS LEVEL=3 PHI=0.600000 TOX=2.1200E-08 XJ=0.200000U
+TPG=-1 VT0=-0.9056 DELTA=1.5200E+00 LD=2.2000E-08 KP=2.9352E-05
+U0=180.2 THETA=1.2480E-01 RSH=1.0470E+02 GAMMA=0.4863
+NSUB=1.8900E+16 NFS=3.46E+12 VMAX=3.7320E+05 ETA=1.6410E-01
+KAPPA=9.6940E+00 CGDO=5.3752E-11 CGSO=5.3752E-11
+CGB0=3.3650E-10 CJ=4.8447E-04 MJ=0.5027 CJSW=1.6457E-10
+MJSW=0.217168 PB=0.850000

```

\*MAX\*

```

.MODEL CMOSNMax NMOS LEVEL=3 PHI=0.600000 TOX=2.1500E-08 XJ=0.200000U
+TPG=1 VT0=0.8063 DELTA=9.4090E-01 LD=1.3540E-07 KP=1.0877E-04
+U0=680.4 THETA=8.3620E-02 RSH=109.3 GAMMA=0.5487
+NSUB=2.3180E+16 NFS=1.98E+12 VMAX=1.8700E+05 ETA=5.5740E-02
+KAPPA=5.9210E-02 CGDO=3.2469E-10 CGSO=3.2469E-10
+CGB0=3.7124E-10 CJ=3.1786E-04 MJ=1.0148CJSW=1.3284E-10
+MJSW=0.119521 PB=0.800000

```

```

.MODEL CMOSPMax PMOS LEVEL=3 PHI=0.600000 TOX=2.1500E-08 XJ=0.200000U
+TPG=-1 VT0=-0.9403 DELTA=8.5790E-01 LD=1.1650E-09 KP=3.4276E-05
+U0=214.4 THETA=1.4010E-01 RSH=122.2 GAMMA=0.5615
+NSUB=2.4270E+16 NFS=3.46E+12 VMAX=3.9310E+05 ETA=1.5670E-01
+KAPPA=9.9990E+00 CGDO=2.7937E-12 CGSO=2.7937E-12
+CGB0=3.5981E-10 CJ=4.5952E-04 MJ=0.4845 CJSW=2.7917E-10
+MJSW=0.365250 PB=0.850000

```

\*MIN\*

```

.MODEL CMOSNMin NMOS LEVEL=3 PHI=0.600000 TOX=2.0500E-08 XJ=0.200000U
+TPG=1 VT0=0.8147 DELTA=3.0170E-05 LD=1.7540E-07 KP=8.9765E-05
+U0=532.9 THETA=9.0470E-02 RSH=1.5870E+01 GAMMA=0.6654
+NSUB=3.7840E+16 NFS=5.5000E+12 VMAX=1.7140E+05 ETA=6.4550E-02
+KAPPA=5.6190E-02 CGDO=4.4318E-10 CGSO=4.4318E-10

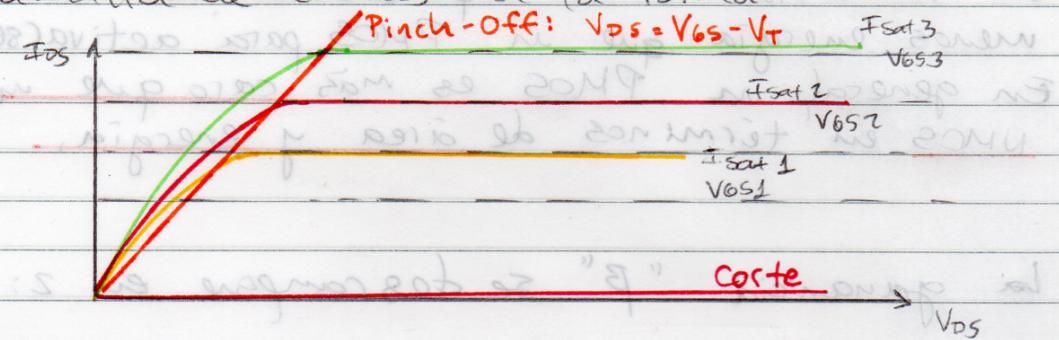
```

```
+CGB0=3.2044E-10 CJ=3.1786E-04 MJ=1.0148 CJSW=1.3284E-10 +MJSW=0.119521 PB=0.800000

.MODEL CMOSPMIN PMOS LEVEL=3 PHI=0.600000 TOX=2.0500E-08 XJ=0.200000U
+TPG=-1 VT0=-0.9189 DELTA=2.3190E+00 LD=1.0440E-08 KP=3.3521E-05
+U0=199.0 THETA=1.7940E-01 RSH=25.0000 GAMMA=0.4124
+NSUB=1.4540E+16 NFS=5.0000E+12 VMAX=5.4640E+05 ETA=2.1090E-01 +KAPPA=9.3670E+00 CGD0=2.6379E-11 CGSO
+CGB0=2.8996E-10 CJ=4.6135E-04 MJ=0.4831 CJSW=1.8681E-10
+MJSW=0.315030 PB=0.850000

.model NMOS NMOS
.model PMOS PMOS
.tran 36; tiempo de simulacion
.end; fin de la simulacion
```

- Se busca una ecuación para la curva de  $I_{DS}$ - $V_{DS}$  en el transistor. Se tenía una familia de curvas de la forma:



$$V_{GS4} > V_{GS3} > V_{GS2} > V_{GS1} \quad \Rightarrow \quad \text{Corte}$$

Las condiciones de operación se resumen en una tabla.

Región	Condiciones de operación	$I_{DS}$
Corte	$V_{GS} < V_T$	0
Saturación	$V_{GS} > V_T$	
	$V_{DS} > V_{DS} - V_T$	$I_{DS}$ constante
	$V_{DS} < V_{DS} - V_T$	$I_{DS} = 0$

- Modelo ideal: parábola concava hacia abajo:
- $$I_{DS} = A V_{DS}^2 + B V_{DS}, \quad A < 0 \quad (\text{concavidad})$$
- A y B dependen de las características físicas del transistor.

- Cabe decir que la movilidad de los electrones es mayor que la de los huecos, porque tienen más energía cinética. Por ello, un transistor NMOS requiere de mucha menos energía que un PMOS para activarse. En general, un PMOS es más caro que un NMOS en términos de área y energía.

- La ganancia " $\beta$ " se descompone en 2:

$$\beta_n = \left( \frac{\mu_n E_{ox}}{t_{ox}} \right) \left( \frac{w_n}{L_n} \right) < 22V[11-2]$$

$K_p$  depende del Layout, lo decide el ingeniero

Depende del proceso de fabricación del fabricante (40 nm, 22 nm, calibraciones, etc)

22 nm es el mínimo para diseño pero se puede escoger más de 22 nm. (múltiplos de 22 nm generalmente)

Cada equipo tiene una calibración diferente

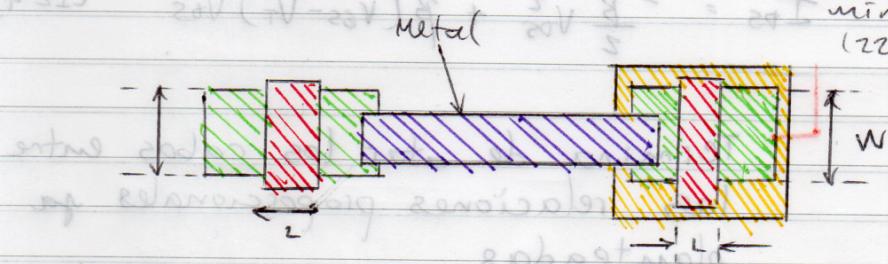
Cada equipo tiene un "yield" o eficiencia que aumenta con la calibración

- Por otro lado, la tensión  $V_{GSN}$  genera una familia de curvas. Cuando  $V_{GSN}$  aumenta, también lo hace  $I_{DSat}$  y cuando disminuye, también  $I_{DSat}$  lo hace. Esto determinará las ecuaciones de la parábola que se buscaba.

- La ganancia de los transistores se podía describir como el dos bloques:

$$\beta = \left( \frac{\mu \cdot E_A}{t_{ox}} \right) \left( \frac{W}{L} \right) \xrightarrow{K_p} \text{Ancho de la parte "verde"} \rightarrow \text{Se escoge el } L \text{ mínimo posible}$$

$\boxed{L}$  lo determina el mínimo del proceso (22nm, 14nm, etc)



- "L" se toma por defecto y "W" se diseña
- La curvación de la recta de pinch-off es de la forma:

$$I_{DS} = \frac{I_{DS\text{sat}}}{V_{GS} - V_T} \xrightarrow{m} \boxed{V_{DS}} \quad \text{No es constante}$$

$\boxed{m}$  Pero la corriente  $I_{DS\text{sat}}$  aumenta con el valor de  $V_{GS} + V_T$

$$I_{DS} = I_{DS} (V_{GS} - V_T) \quad [12-2]$$

- Como se descarta  $[12-2]$ , se descarta del modelo la ecuación  $[12-1]$ .

- Se plantea un modelo lineal de la forma:

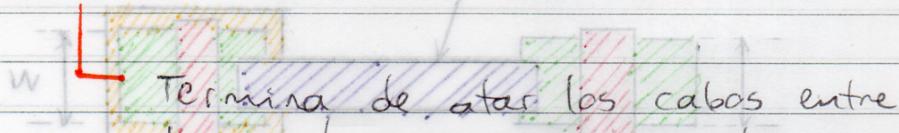
$$I_{DS} \leq (V_{GS} - V_T) V_{DS} \quad [12-3]$$

↓ Directamente proporcional

- T11-2 y T12-3 van a estar relacionadas, ya que  $V_{GS} - V_T$  es una relación directa con la ganancia del transistor

- La región de trío se termina de modelar como:

$$I_{DS} = \frac{B}{2} V_{DS}^2 + \beta(V_{GS} - V_T)V_{DS} \quad [12-4]$$

  
Termina de atar los cabos entre las relaciones proporcionales ya planteadas

- T12-4 se reescribe (y así aparece en libros) como:

$$[12-5] I_{DS} = \beta \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad [12-5]$$

- El " $\frac{1}{2}$ " del primer término de [12-4] nace de maximizar la  $I_{DS}$  parábola (que se da en el vértice del pinch-off)

$$\begin{aligned} & [12-5] (V - 20V) \frac{dI_{DS}}{dV_{DS}} = 20I \\ & \frac{dI_{DS}}{dV_{DS}} = 0 \Rightarrow 2A V_{DS} + \beta(V_{GS} - V_T) = 0 \\ & V_{DS} = V_{GS} - V_T \quad [12-5] \quad V_{DS} = V_{GS} - V_T \\ & \Rightarrow 2AV_{DS} = \beta(V_{GS} - V_T) \quad V_{DS} = V_{GS} - V_T \end{aligned}$$

$$\Rightarrow 2A(V_{GS} - V_T) = \beta(V_{GS} - V_T) \quad \checkmark$$

$$[12-5] \quad 2AV (V - 20V) \Rightarrow A = \frac{\beta}{2} \quad \checkmark \text{ concavidad hacia abajo}$$

$$\Rightarrow I_{DS\text{sat}} = I_{DS\text{Max}} = I_{DS} (V_{DS} - V_{GS} - V_T)$$

