

Anvance 1. Proyecto de Taller Integrador

Amanda Hernández Zarate*, Gabriel Pérez Ramírez, Francisco Coto Alcázar

Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica (ITCR), 30101 Cartago, Costa Rica,

Resumen—El presente corresponde a un avance del diseño de una plataforma de interconexión y prueba para el microcontrolador Siwa. En el cual se presenta el diseño del esquemático propuesto, el diseño del layout para el PCB, además de su estrategia de diseño y reporte de altium con las especificaciones.

Palabras Clave—Altium, Esquemático, Layout, Especificaciones, Diseños, Stackup

I. ESTRATÉGIA DE DISEÑO ESQUEMÁTICO

Para el esquemático, se comienza realizando el estudio de los componentes requeridos según la hoja de especificaciones dada por el profesor. Se buscan las hojas de datos de cada componente, para asegurarse de que el número de parte se encuentra dentro de la herramienta de software Altium, además de cerciorarse de que no necesita ningún tipo de interconexión aparte de su esquemático por defecto.

Luego, se investiga cómo deberían realizarse las conexiones de los dispositivos, por ejemplo, se dimensionan los valores de las resistencias de protección de los leds o cómo debería conectarse el oscilador junto con su buffer. En el caso del botón de reset, se utiliza un esquemático creado desde cero en Altium, que cumpliera con las dimensiones del footprint requerido, ya que el componente no se encontró en la herramienta.

Posteriormente, se hace la investigación del uso de cada pin del micro-controlador SIWA y sus correctas dimensiones para posteriormente colocar los headers correspondientes con las asignaciones correctas.

En cuanto a la estrategia de diseño en el esquemático, se buscó aprovechar bien el espacio, pero dado que era un esquemático, no se debía preocupar por las distancias o por si habían cables entrelazados, entre otras cosas. Simplemente se coloca por etapas de forma que sirva de base para posteriormente comenzar a diseñar el layout.

El diseño del Esquemático puede ser visible en la primera imagen adjunta al documento.

II. ESTRATÉGIA DE DISEÑO PARA EL LAYOUT DE LA PCB

El diseño pasó por varias etapas de modificación, en primera instancia se busca tomar como referencia el diseño propuesto en el esquemático, esto con el fin de determinar las dimensiones que iba a tener la tarjeta, la cual para este caso tiene una dimensión de 120x100 mm o bien 12x10 cm. Se consideró que era espacio suficiente

para que tanto los componentes como los paths pudieran ser colocados de la manera más óptima y así aprovechar el espacio sin que todo esté muy pegado y se complicara el proceso de conexión.

Se definen las dimensiones del diseño, tomando en cuenta las especificaciones requeridas.

Mas adelante se adjunta el reporte de Altium, donde se puede apreciar el valor utilizado para el dieléctrico en este proyecto y además de los demás valores importante como el grosor de las capas y demás.

Con respecto a como se acomodó, se tomaron en cuenta las sugerencias y posibles correcciones que se iban dando por parte del profesor en cada una de las sesiones de revisión, el diseño final queda evidenciado más adelante en las imágenes adjuntas al documento, en donde se puede apreciar que el SIWA se encuentra en una posición centralizada con los LEDS ubicados a su izquierda en la parte superior y a la derecha en la parte inferior, esto con el fin de que los dispositivos de GPIO quedaran más cerca del micro-controlador y con esto se logra que los paths no recorran caminos tan largos, además facilita la conexión porque no se ven interceptados con algunas otras señales de otros pines del SIWA. Los LEDS se conectan en grupos de 4 para hacer uso de los headers y que estos a su vez, sean conectados de forma ordenada al SIWA. La pantalla se coloca en el fondo para que físicamente no se vea comprometido el espacio a la hora de colocarla, por culpa de algún header del GPIO o por el propio SIWA.

En el caso de la memoria, se coloca en la esquina inferior derecha porque esta es externa y queda cercana a los pines correspondientes del SIWA y a demás a los pines del Header 20x2 para el caso de conectar SPI de la memoria a este mismo.

El Header grande, al consumir mucho espacio y al ser utilizado por el Oscilador del CLK, la alimentación y el SIWA, se busca una posición estratégica en la que todos estos tengan acceso a este. El cual se evidencia en la imagen correspondiente, que se encuentra en la esquina superior derecha junto con el reset y el oscilador, que no requiere mucho espacio.

Finalmente, la parte de la alimentación se coloca en la parte superior, porque así puede haber suficiente espacio para sus reguladores y el header de alimentación. Para el caso de la alimentación VCC se utiliza todo el Top Layer, ya que todas las vías son through hole y pueden

conectarse a esta fácilmente, lo mismo para conectarse a GDN, la cual corresponde al Bottom Layer en donde se aterriza tanto los pines correspondientes de cada componente, como los pines que no están conectados.

III. RETROSPECTIVA DEL SPRINT 2

El Sprint 2, el cual correspondía al diseño del Layout del PCB, fue realizado en su mayoría por los integrantes Amanda y Gabriel. Este diseño al principio se fue trabajando en conjunto, pero conforme se iba cambiando el diseño y tomando en cuenta la retroalimentación del profesor, había cada vez menos aporte o muestra de interés del compañero Francisco.

Esto ya se conversó como grupo y se harán las correcciones necesarias para que no vuelva a suceder en las siguientes entregas o avances.

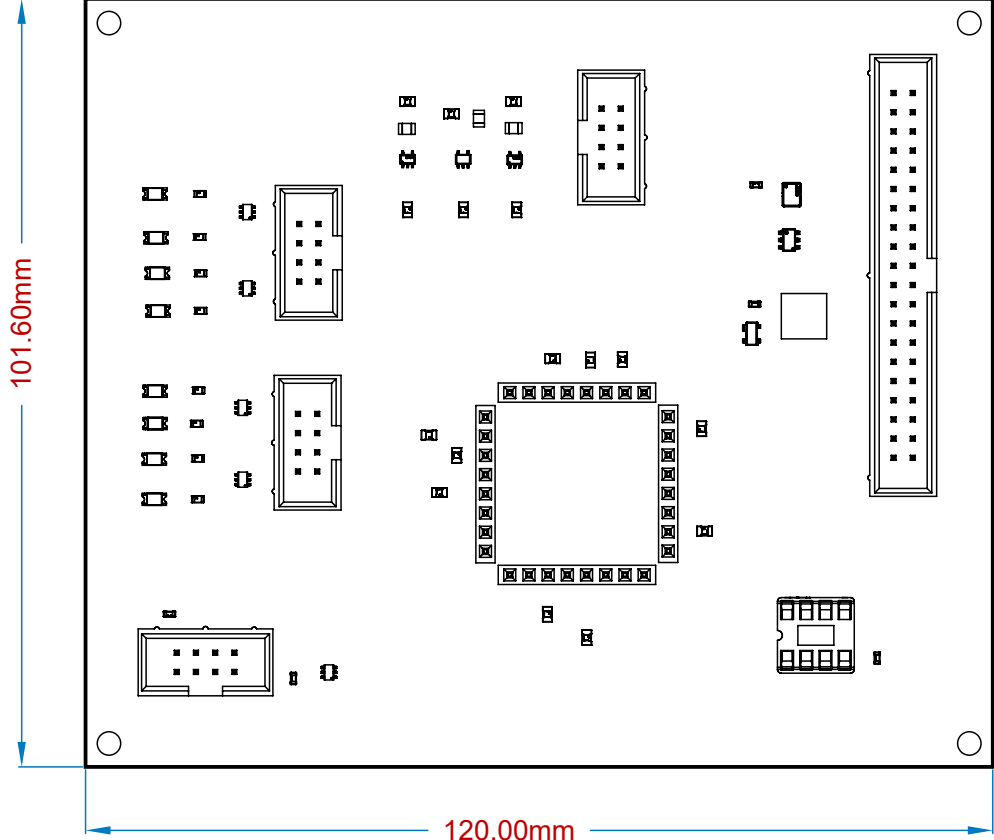
A manera de retrospectiva de lo que fue el Sprint, como grupo se considera que fue una experiencia retardadora que requirió mucho tiempo y bastante cuidado pero que fue bastante provechosa para aprender a utilizar la herramienta y en general en el diseño de PCBs.

IV. CONCLUSIONES

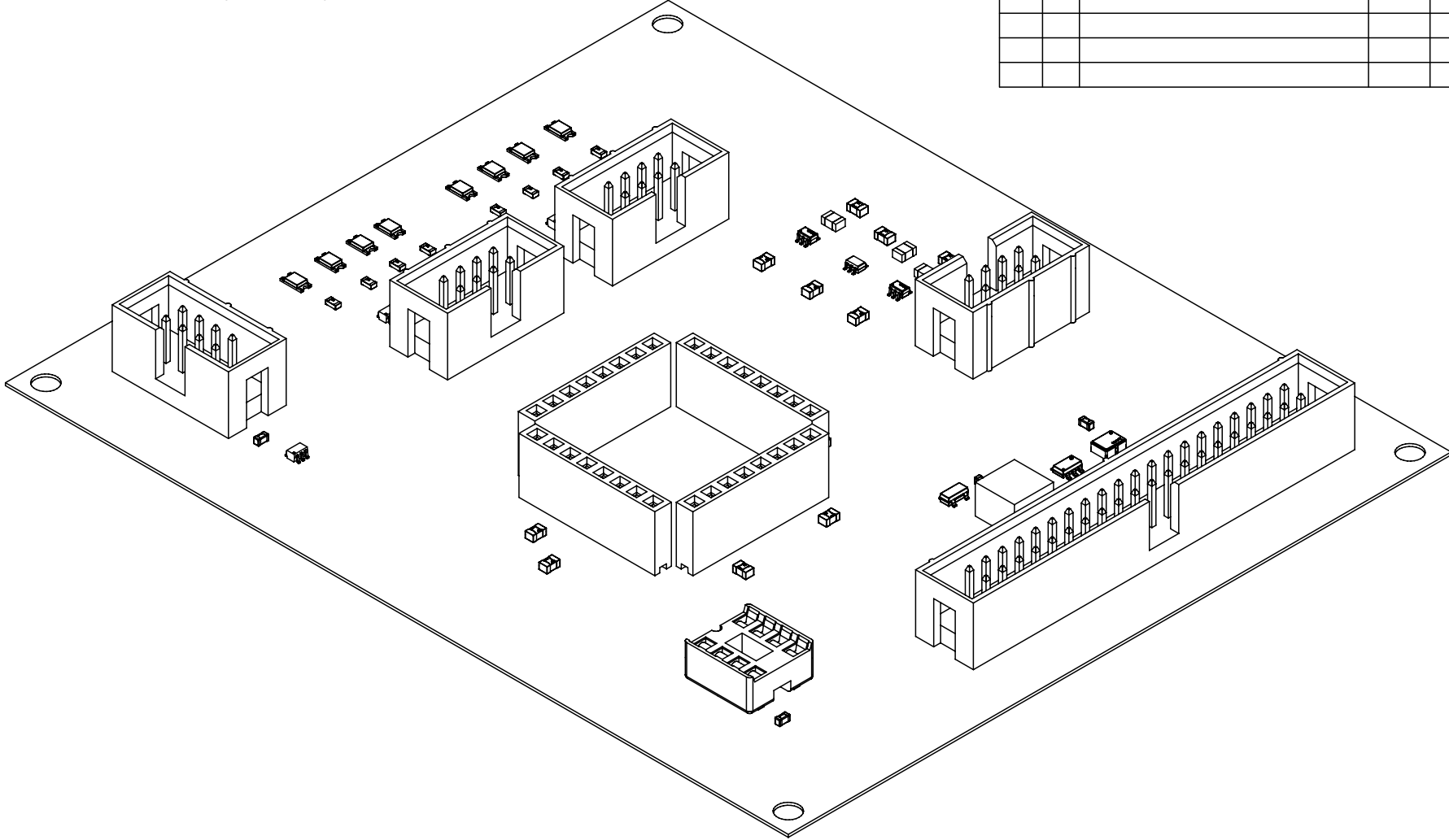
- El proceso de diseño del esquemático permitió definir claramente la interconexión de los componentes principales, garantizando que el microcontrolador SIWA se encuentre en una posición estratégica para optimizar la distribución de señales.
- Las decisiones tomadas en el diseño del layout de la PCB, como la centralización del SIWA y la ubicación de los LEDs y memorias, favorecen recorridos más cortos de las pistas y una mejor organización de los headers, facilitando la conexión y reduciendo posibles interferencias.
- La definición de parámetros técnicos como el espesor del dieléctrico y otros, asegura que el diseño cumpla con buenas prácticas de manufactura y prepara el proyecto para las siguientes etapas de implementación y pruebas.

THIS DOCUMENT AND THE DATA DISCLOSED HEREIN OR HEREWITH IS THE PROPERTY OF ALTUM LIMITED AND MAY BE FREELY DISTRIBUTED IN WHOLE. NO RIGHTS ARE RESERVED OR EXPRESS OR IMPLIED WARANTEE GIVEN.

View from Top side (Scale 1:1)



View from Front side (Scale 3:2)



Bill Of Materials

Line #	Designator	Name	Quantity
1	C_BP, C_BP22, C_BP_	10nF	3
3	C_des_1, C_des_2, C_des_3, C_des_4, C_des_5, C_des_6, C_des_7, C_des_8, C_des_9, C_des_10, C_IN, C_IN3, C_IN4, C_IN_, C_OUT, C_OUT_	1uF, CC0805KKX7R7BB105	16
2	C_desacouple_1, C_desacouple_2, C_desacouple_3, C_desacouple_4, C_desacouple_22	CC0603KRX7R7BB104	5
4	Crystal Oscillator	ASE3-20.000MHZ-KT	1
	D1, D2, D3, D4, D5, D6, D7, D8	150120BS75000	8
6	Header extr	61204021621	1
7	j1	1-2199298-2	1
8	P1, P2, P3, P4	61200821621	4
9	R1, R2, R3, R4, R5, R6, R7, R8	10	8
10	Regulador 1.8V	MAX8510EXK18+T	1
11	Regulador 3V	MAX8510EXK30+T	1
12	siwa1, siwa2, siwa3, siwa4	PPPC081LFBN-RC	4
13	SW1	B3F-1000	1
14	U1	APX812-29UG7	1
15	U3	PL133-37TI-R	1
	U4, U5, U7, U8, U9	74LVC2G17GW,125	5
17	U6	TPS71710DCKT	1

Layer Stack Legend

Material	Layer	Thickness	Dielectric	Material	Type	Gerber
	Top Overlay				Legend	GTO
Surface Material	Top Solder	0.01mm	Solder Resist		Solder Mask	GTS
Copper	Top Layer	0.04mm			Signal	GTL
		0.32mm	FR-4		Dielectric	
Copper	Bottom Layer	0.04mm			Signal	GBL
Surface Material	Bottom Solder	0.01mm	Solder Resist		Solder Mask	GBS
	Bottom Overlay				Legend	GBO
Total thickness: 0.41mm						

PART NO: =PCB_PART_NUMBER		APPROVALS		DATE		
ENGINEER: =PCB_ENGINEER		PCB_ENGINEER				
DESIGNER: =PCB_DESIGNER		PCB_DESIGNER				
CHECKER: =PCB_CHECKER		PCB_CHECKER				
BOM DOC: =DOC_NO_BOM		Reference Documents		DESIGN ITEM: .Item		
ASSY DOC: =DOC_NO_FAB_DWG		=DOC_NO_SCH_DWG		DESIGN ITEM REVISION: .ItemRevision		
SCH DOC: =DOC_NO_SCH_DWG		PCB DOC: =PCB_DWG_NO		TITLE: =PCB_TITLE_1 =PCB_TITLE_2		
SIZE: B		CAGE CODE: =CAGE_CO		DWG NO:		REV:
SCALE:		FILE NAME: PCB_partes_proyecto.PCBDwf		SHEET: 1		OF 1

