

Test Plan para la verificación del PCB para SIWA

Hernández Zárate Amanda, Pérez Ramírez Gabriel y Coto Alcázar Fransisco

Escuela de Ingeniería Electrónica, Tecnológico de Costa Rica, 30101 Cartago, Costa Rica,
{amanda.hz, gabo20021228, frjcotoa}@estudiantec.cr

I. INTRODUCCIÓN

El presente documento muestra procedimientos, métodos y criterios necesarios para verificar el correcto funcionamiento del prototipo desarrollado de la plataforma de interconexiones para el microcontrolador SIWA. Este documento describe las pruebas eléctricas, funcionales y de seguridad que se aplicarán a la placa y a sus componentes asociados, con el fin de garantizar el cumplimiento de los requerimientos de diseño.

Las pruebas se realizarán siguiendo un enfoque sistemático que permita detectar posibles fallos en la fabricación, el ensamblaje o el desempeño del circuito. Asimismo, se documentarán los resultados obtenidos y se establecerán los criterios de aceptación que aseguren que el producto final cumple con las especificaciones definidas durante la etapa de diseño.

II. PLAN DE PRUEBAS

II-A. Pruebas sin ASIC

II-A1. Validación de conectividad

Esta verificación busca comprobar que los distintos nodos que se plantearon en las simulaciones efectivamente estén conectados entre sí, además de comprobar que no hay nodos distintos en corto circuito.

Para realizar esto se toma la placa luego de las etapas de fabricación de EndMill, con ayuda de un multímetro en modo “Continuidad” y el PCB en la herramienta de Altium, se deben verificar que las conexiones entre nodos estén debidamente conectadas o aisladas, según sea el caso.

En caso de que existan dos nodos distintos en corto, se debe verificar de manera detallada las pistas de la placa, hasta encontrar en dónde se estás cortocircuitando dichos nodos (en dónde no se removió el cobre de manera precisa). Con esto identificado, se debe reenviar a la etapa de EndMill para corregir el error.

Esta metodología se debe repetir una vez ensamblados todos los componentes en la PCB, dado que al soldarse, estos podrían generar un corto entre nodos distintos. En caso de existir un corto, se debe inspeccionar la placa hasta determinar el componente que lo está causando y corregir el problema.

En la Tabla I se puede observar las distintas verificaciones que se realizan para comprobar que la conectividad entre los distintos nodos de la placa es la esperada.

Tabla I
REVISIÓN DE LA CONECTIVIDAD EN LOS DISTINTOS MÓDULOS DE LA PCB.

Módulo	Conectividad
Alimentación	Esperada
SIWA	Esperada
LEDs	Esperada
Pantalla	Esperada
Memoria	Esperada
Header 40 pines	Esperada
Reset	Esperada
Reloj	Esperada

II-A2. Validación de fuentes

Objetivo: verificar que los reguladores entregan el voltaje correcto y que la distribución hacia la tarjeta es adecuada.

Header de 8 pines:

- **Izquierda:** pin 1 = 3.0 V, pin 3 = 1.0 V, pin 5 = 1.8 V, pin 7 = entrada de 3.3 V.
- **Derecha:** pin 2 = GND, pin 4 = Alimentación 3 V, pin 6 = Alimentación 1 V, pin 8 = Alimentación 1.8 V.

II-A2a. 1) Prueba en vacío

- Conectar la fuente externa: +3.3 V al pin 7 y GND al pin 2.
- Medir con multímetro en modo DC cada rail respecto a GND (pin 2): primero en *salida de regulador* (1, 3, 5) y luego en *distribución* (4, 6, 8).
- Criterio: $\pm 3\%$ del valor nominal. Diferencia entre salida y distribución < 50 mV.

Cuadro II
FUENTES EN VACÍO (REGISTRO)

Medición	Pines (+ → GND)	Valor esperado	Valor medido / OK
3.0 V (salida regulador)	1 → 2	3.00 V $\pm 3\%$	3 V
3.0 V (distribución)	4 → 2	3.00 V $\pm 3\%$	2.99 V
1.0 V (salida regulador)	3 → 2	1.00 V $\pm 3\%$	1.01 V
1.0 V (distribución)	6 → 2	1.00 V $\pm 3\%$	1.01 V
1.8 V (salida regulador)	5 → 2	1.80 V $\pm 3\%$	1.79 V
1.8 V (distribución)	8 → 2	1.80 V $\pm 3\%$	1.79 V

II-A2b. 2) Prueba bajo carga

Se simula consumo con una resistencia entre cada pin de distribución y GND (pin 2). Se utiliza una corriente de prueba aproximada de 20 mA. Las resistencias sugeridas se calculan con:

$$R = \frac{V}{I}, \quad P = \frac{V^2}{R}.$$

Cuadro III
RESISTENCIAS DE CARGA SUGERIDAS (20 mA)

Rail (pin de distribución)	Resistencia	Potencia mín.	Conectar
3.0 V (pin 4)	150 Ω	0.06 W	4 → 2
1.8 V (pin 8)	90 Ω	0.04 W	8 → 2
1.0 V (pin 6)	50 Ω	0.02 W	6 → 2

Pasos:

1. Con la placa energizada (7 = +3.3 V, 2 = GND), colocar una resistencia a la vez: 4→2, luego 8→2, luego 6→2.
2. Medir el voltaje en el mismo pin de distribución respecto a GND (por ejemplo, 4→2 con la resistencia conectada).

Cuadro IV
FUENTES BAJO CARGA (REGISTRO)

Rail	Pines (+ → GND)	Resistencia usada	Esperado	Medido / OK
3.0 V	4 → 2	1k Ω	3.00 V $\pm 3\%$	2.99
1.8 V	8 → 2	1k Ω	1.80 V $\pm 3\%$	1.004
1.0 V	6 → 2	1k Ω	1.00 V $\pm 3\%$	1.79

Criterios de aceptación

- Cada rail dentro de $\pm 3\%$ tanto en vacío como con la resistencia conectada.
- Caída entre “salida” (1/3/5) y “distribución” (4/6/8) < 50 mV.
- Ausencia de calentamiento inusual en los reguladores durante la prueba.

II-A3. Validación del reset

Se puede energizar la PCB y medir con multímetro el pin del *RESET*. Este debe estar en alto normalmente y, al presionar el botón, debe caer a 0 V, provocando el reinicio del microcontrolador. Se debe asegurar que la señal cambia correctamente y el microcontrolador se reinicia.

Al presionar el interruptor, se observa en el multímetro como el reset es normalmente en bajo, con un valor de 23.28 mV, y al presionarlo sube a 3.06 V.

II-A4. Validación del oscilador

Esta verificación busca comprobar que el circuito del oscilador bufferizado logra generar la señal de reloj de manera correcta, es decir, con la frecuencia que se espera y que esta sea consistente.

Para comprobar esto, se va a energizar el módulo y con la ayuda de un osciloscopio se debe observar la señal que el oscilador brinda en su salida. Luego de esto, hay que observar la salida ya bufferizada. En ambas se busca comprobar que esta posea una frecuencia de 20 MHz, y que la amplitud entre las dos sea prácticamente igual (idealmente el buffer tiene ganancia = 1).

En caso de no funcionar, se debe de conectar un reloj externo al pin 19 o al 21 del header de 40 pines del PCB. Con esto, se procedería a observar en el osciloscopio la señal del reloj externo y se verificaría que esta posea la frecuencia de 20 MHz que se espera.

Los detalles de las mediciones se muestran en la Tabla V.

Tabla V
REVISIÓN DE LOS RELOJES EN LA PCB.

Señal	Amplitud	Frecuencia	Detalle
Reloj generado en la PCB			Para esta medición se debe de colocar la punta del osciloscopio en el pin 22 del header de 40 pines.
Reloj externo			Para esta medición se debe de colocar la punta del osciloscopio en el pin 19 del header de 40 pines.

II-A5. Validación de la memoria (Flash SPI)

Objetivo: verificar alimentación a 1.8 V, continuidad, niveles en reposo y capacidad de conducción de las señales SPI de la memoria Flash, sin utilizar módulos externos.

Header de 8 pines (según serigrafía):

Cuadro VI
PINOUT DEL HEADER DE MEMORIA

Pin	Señal	Descripción
1	CS#	Chip Select (activo en bajo)
2	MISO	Datos hacia el maestro
3	VCC_1V8	Alimentación 1.8 V
4	GND	Tierra
5	MOSI	Datos desde el maestro
6	SCLK	Reloj SPI
7	VCC_1V8	Alimentación 1.8 V
8	VCC_1V8	Alimentación 1.8 V

II-A5a. 1) Continuidad (sin energizar)

- Verificar continuidad desde el header hacia el encapsulado de la Flash en CS#, SCLK, MOSI y MISO.
- Confirmar ausencia de cortos entre pines adyacentes del header.

Cuadro VII
CONTINUIDAD DE SEÑALES SPI

Señal	Recorrido verificado	Resultado
CS# (pin 1)	Header → pin del IC	
SCLK (pin 6)	Header → pin del IC	
MOSI (pin 5)	Header → pin del IC	
MISO (pin 2)	Header → pin del IC	
Cortos adyacentes	Entre pines contiguos	

II-A5b. 2) Alimentación (placa energizada)

- Aplicar 1.8 V a VCC (pines 3/7/8) y GND al pin 4.
- Medir VCC con multímetro en DC.

Cuadro VIII
VERIFICACIÓN ELÉCTRICA DE VCC Y GND

Medición	Pines (+ → GND)	Esperado	Medido / OK
VCC 1.8 V	3 → 4	1.80 V ± 3 %	1.79
VCC 1.8 V	7 → 4	1.80 V ± 3 %	1.79
VCC 1.8 V	8 → 4	1.80 V ± 3 %	1.79

II-A5c. 3) Niveles en reposo (placa energizada, sin tráfico SPI)

- Medir con multímetro el nivel DC de CS#, SCLK, MOSI y MISO respecto a GND.
- Criterio: coherencia con la polarización del diseño. Ejemplos típicos: CS# en alto ≈ 1.8 V si existe *pull-up*; SCLK y MOSI definidos por sus *pulls*; MISO en alta impedancia (nivel definido por *pull* si está presente).

Cuadro IX
NIVELES EN REPOSO DE SEÑALES SPI

Señal	Pin	Medido (V)	Criterio / Observación
CS#	1	Despreciable	Alto ≈ 1.8 V si hay pull-up
SCLK	6		Alto/bajo según pull
MOSI	5		Alto/bajo según pull
MISO	2		Alta-Z; nivel según pull (si existe)

II-A5d. 4) Ensayo de forzado suave (sin tráfico SPI)

- Con la placa energizada, aplicar una resistencia de $1\text{ k}\Omega$ desde cada línea (CS#, SCLK, MOSI, MISO) a VCC (1.8 V) y luego a GND, **una línea a la vez**.
- Medir el nivel resultante en el pin. Criterio: la línea debe seguir el forzado (cambiar de nivel) sin sobrecorriente ni caída anómala; indicio de que no hay cortos ni bloqueos en la ruta.

Cuadro X
FORZADO SUAVE CON $1\text{ k}\Omega$

Línea	Forzado	Pines	Voltaje medido	Observación
CS#	a VCC	1 \rightarrow 3		Debe subir cerca de 1.8 V
CS#	a GND	1 \rightarrow 4		Debe bajar cerca de 0 V
SCLK	a VCC	6 \rightarrow 3		
SCLK	a GND	6 \rightarrow 4		
MOSI	a VCC	5 \rightarrow 3		
MOSI	a GND	5 \rightarrow 4		
MISO	a VCC	2 \rightarrow 3		
MISO	a GND	2 \rightarrow 4		

Criterios de aceptación

- VCC = 1.8 V dentro de $\pm 3\%$ en los pines 3/7/8.
- Continuidad correcta y sin cortos adyacentes en CS#, SCLK, MOSI y MISO.
- Niveles en reposo coherentes con la polarización del diseño.

II-A6. Validación de los LEDs

Se puede cargar un firmware de prueba que encienda y apague los LEDs uno por uno. Se debe verificar visualmente que todos los LEDs funcionan correctamente. Opcionalmente, medir el voltaje o la corriente de cada LED.

Cuadro XI
REGISTRO DE VERIFICACIÓN DEL FUNCIONAMIENTO DE LOS LEDs

Grupo de GPIO	Pines (Header)	Comportamiento esperado	Observación / OK
GPIO4–GPIO7	SIWA U(2,3,5,8)	Parpadeo secuencial ≈ 2 Hz	
GPIO0–GPIO3	SIWA L(7,6,4,1)	Parpadeo secuencial ≈ 2 Hz	

Se comprueba conectando con el reset a la entrada de los buffer, y que estos se encendían y apagaban al presionar el pulsador.

II-A7. Validación de la pantalla

Esta verificación busca comprobar que el módulo de la pantalla OLED logra encenderse y comunicarse de manera correcta mediante el protocolo SPI. Dado que para este punto aún no se tiene conectado el SIWA, hay que buscar otra forma de comunicarse con la pantalla que se encuentra en la PCB.

Dado que no se encuentra el SIWA conectado, simplemente se va a realizar una verificación similar a la de conectividad, en la que se van a medir los voltajes que tienen los distintos pines del header de la pantalla, esto para verificar que tienen valores adecuados y no van a presentar un problema al conectar la pantalla. En la Tabla se pueden observar estos valores más a detalle.

Tabla XII
REVISIÓN DE VOLTAJES EN HEADER DE LA PANTALLA

Señal	Amplitud [V]	Detalle
GND		Se mide el pin 1 del header <i>Screen</i> con respecto a tierra.
Alimentación 3 V	3.01 V	Se mide el pin 2 del header <i>Screen</i> con respecto a tierra.
Alimentación 3 V	2.99	Se mide el pin 3 del header <i>Screen</i> con respecto a tierra.
GND		Se mide el pin 4 del header <i>Screen</i> con respecto a tierra.
GPIO 0		Se mide el pin 5 del header <i>Screen</i> con respecto a tierra.
GPIO 1		Se mide el pin 6 del header <i>Screen</i> con respecto a tierra.
Alimentación 3 V	2.98	Se mide el pin 7 del header <i>Screen</i> con respecto a tierra.
GND		Se mide el pin 8 del header <i>Screen</i> con respecto a tierra.

II-B. Pruebas con ASIC

II-B1. Validación con SIWA y programa corriendo

Objetivo: verificar el arranque desde la memoria Flash y el funcionamiento básico del SIWA con firmware de prueba, contemplando reset, reloj, actividad SPI y GPIO/LEDs, así como un registro simple de consumo.

Headers y pinout :

Cuadro XIII
RESUMEN DE HEADERS DE SIWA

Header	Pin	Señal / Nota
SIWA_U	1	GND
	2	GPIO4
	3	GPIO5
	4	Alimentación 1.8 V
	5	GPIO6
	6	Alimentación 1 V
	7	Alimentación 1 V
	8	GPIO7
SIWA_R	1	GND
	2	Alimentación 1.8 V
	3	CLK de SIWA
	4	POC_CONTROL
	5	MAIP
	6	RESET SIWA
	7	Alimentación 1 V
	8	SCS (SPI Chip Select)
SIWA_D	1	GND
	2	UART_TX (no usado)
	3	Alimentación 1 V
	4	UART_RX (no usado)
	5	Alimentación 1.8 V
	6	SCLK (SPI)
	7	MOSI (SPI)
	8	MISO (SPI)
SIWA_L	1	GPIO3
	2	Alimentación 1 V
	3	Alimentación 1 V
	4	GPIO2
	5	Alimentación 1.8 V
	6	GPIO1
	7	GPIO0
	8	GND

II-B1a. 1) Preparación

- Cargar en la Flash un firmware de prueba que realice parpadeo secuencial de LEDs.
- Instalar SIWA en el zócalo con orientación correcta; verificar continuidad de VCC/GND.

II-B1b. 2) Reset y reloj

- Aplicar alimentación nominal al sistema.
- Verificar estado de **RESET SIWA** en reposo y pulso de reset manual.
- Medir la señal de **CLK de SIWA**.

Cuadro XIV
RESET Y RELOJ

Medición	Punto / Puerto → GND	Esperado	Registrado / OK
RESET en reposo	SIWA_R(6) → GND	Nivel alto válido (lógica 1)	
Reset manual	SIWA_R(6) → GND	Pulso válido y reinicio	
CLK de SIWA	SIWA_R(3) → GND	≈ 20 MHz, estable	

II-B1c. 3) Arranque desde Flash (actividad SPI)

- Observar líneas SPI tras un reset: **SCS** (CS#), **SCLK**, **MOSI**, **MISO**.
- Criterio: presencia de transacciones de lectura dentro de un tiempo breve posterior al reset; niveles 0–1.8 V y flancos definidos.

Cuadro XV
ACTIVIDAD SPI POST-RESET

Señal	Punto / Puerto → GND	Esperado	Observado / OK
CS#	SIWA_R(8) → GND	Activo en bajo durante transacción	
SCLK	SIWA_D(6) → GND	Frecuencia y duty regulares	
MOSI	SIWA_D(7) → GND	Datos válidos en el flanco correspondiente	
MISO	SIWA_D(8) → GND	Datos devueltos por la Flash	

II-B1d. 4) Verificación funcional (GPIO/LEDs)

- Confirmar secuencia de LEDs en los GPIO indicados.

Cuadro XVI
GPIO/LEDs

Grupo	Puntos	Esperado	Registrado / OK
GPIO4–GPIO7	SIWA_U(2,3,5,8)	Parpadeo secuencial ≈ 2 Hz	
GPIO0–GPIO3	SIWA_L(7,6,4,1)	Parpadeo secuencial ≈ 2 Hz	

Criterios de aceptación

- Arranque consistente tras reset; presencia de reloj estable.
- Actividad SPI coherente posterior al reset (CS# activo, SCLK regular, MOSI/MISO con datos).
- LEDs responden según el firmware de prueba.

II-B2. Medición de señales

Usar un multímetro u osciloscopio para comprobar: Voltajes de alimentación (VCC) dentro los rangos esperados. Presencia y forma correcta de la señal de reloj. Con esto se puede verificar que todas las señales presentan niveles y frecuencias correctas.

Cuadro XVII
VERIFICACIÓN DE SEÑALES EN LA PCB CON SIWA

Señal	Punto de medición (Header → GND)	Valor esperado	Valor medido	Observación / OK
VCC 1.0 V	Fuente interna / regulador	1.00 V ± 3 %		
VCC 1.8 V	Fuente interna / regulador	1.80 V ± 3 %		
VCC 3.0 V	Fuente interna / regulador	3.00 V ± 3 %		
Reloj (CLK SIWA)	SIWA R(3) → GND	20 MHz ± 5 %		
SCLK (SPI)	SIWA D(6) → GND	0–1.8 V con flancos definidos		
MOSI (SPI)	SIWA D(7) → GND	Datos válidos en flanco de subida/bajada		
MISO (SPI)	SIWA D(8) → GND	Datos devueltos por la Flash		
RESET SIWA	SIWA R(6) → GND	Nivel alto en reposo, pulso bajo al reset		

II-B3. Medición de consumo

En esta verificación se busca comprobar que el PCB posee niveles de consumo acorde a lo que se espera según la situación en la que se encuentre. Ya sea corriendo el programa que maneja los LEDs, el que maneja la OLED o simplemente está conectada, pero sin ejecutar nada.

Para esto, se va a conectar la alimentación (la que alimenta los reguladores) y se van a monitorear los niveles de corriente según la situación en la que se encuentre el SIWA.

Los resultados detallados de estas mediciones se pueden observar en las Tablas [XVIII](#), [XIX](#), [XX](#) y [XXI](#).

Tabla XVIII
MONITOREO DE LOS CONSUMOS DE LA FUENTE EXTERNA

Caso	Fuente externa [mA]	Descripción
Sin programa		Se debe de conectar la GND de la fuente en el pin 2 del header <i>Sources</i> . Luego, se debe conectar el positivo de la fuente al amperímetro, cuya salida debe conectarse al pin 7 del header de <i>Sources</i> .
Programa de la pantalla		
Programa de los LEDs		

Tabla XIX
MONITOREO DE LOS CONSUMOS DE LA FUENTE DE 3 V

Caso	Fuente de 3 V [mA]	Descripción
Sin programa		Se debe conectar el pin 1 del header <i>Sources</i> al positivo del amperímetro. Luego, se debe conectar el negativo al pin 4 del header de <i>Sources</i> .
Programa de la pantalla		
Programa de los LEDs		

Tabla XX
MONITOREO DE LOS CONSUMOS DE LA FUENTE DE 1.8 V

Caso	Fuente de 1.8 V [mA]	Descripción
Sin programa		Se debe conectar el pin 5 del header <i>Sources</i> al positivo del amperímetro. Luego, se debe conectar el negativo al pin 8 del header de <i>Sources</i> .
Programa de la pantalla		
Programa de los LEDs		

Tabla XXI
MONITOREO DE LOS CONSUMOS DE LA FUENTE DE 1 V

Caso	Fuente de 1 V [mA]	Descripción
Sin programa		Se debe conectar el pin 3 del header <i>Sources</i> al positivo del amperímetro. Luego, se debe conectar el negativo al pin 6 del header de <i>Sources</i> .
Programa de la pantalla		
Programa de los LEDs		