

Diseño, fabricación y puesta a prueba de PCB para el microcontrolador SIWA

Hernández Zárate Amanda*, Pérez Ramírez Gabriel* y Coto Alcázar Fransisco*

*Escuela de Ingeniería Electrónica, Instituto Tecnológico de Costa Rica (ITCR), 30101 Cartago, Costa Rica,
{amanda.hz, gab0021228, frjcotoa}@estudiantec.cr

Abstract—This document presents the complete process of design, manufacturing, assembly, and validation of a printed circuit board (PCB) developed for the SIWA microcontroller. The design was carried out using Altium, covering everything from schematic capture to physical layout. The PCB includes essential peripherals such as LEDs, an OLED display, SPI Flash memory, and power and reset circuits. After manufacturing and assembly, a comprehensive test plan was executed to validate the operation of each module, first without the SIWA and later with the microcontroller integrated. Issues such as an incorrect connection in the OLED display were identified and corrected, ultimately enabling both the LED control program and the display program to function correctly. The results demonstrate the feasibility of the design and its ability to support the SIWA operation in a test environment.

Keywords—SIWA, PCB, schematic, layout, manufacturing, assembly, SMD, through-hole, validation.

I. INTRODUCCIÓN

El objetivo fue materializar una tarjeta que permita operar y evaluar el microcontrolador SIWA con periféricos básicos, siguiendo buenas prácticas de documentación, trazabilidad de diseño y control de proceso. La estrategia combinó el modelado en Altium para esquemático y layout, con una cadena de fabricación y ensamblaje disponible en el laboratorio, y verificaciones funcionales de arranque y programación de memoria.

II. ESQUEMÁTICOS

Para el desarrollo del esquemático, se inició con el estudio de los componentes requeridos de acuerdo con la hoja de especificaciones proporcionada. Se consultaron las hojas de datos de cada componente para verificar que el número de parte estuviera disponible en la herramienta Altium y para confirmar que no requiriera interconexiones adicionales a las de su esquemático predeterminado.

Posteriormente, se investigaron las configuraciones de conexión adecuadas para los dispositivos, lo que incluyó dimensionar los valores de las resistencias de protección para los LEDs y definir la conexión del oscilador junto con su buffer. Para el botón de reset, fue necesario crear un esquemático personalizado en Altium, ya que el componente no se encontró en las librerías disponibles.

Se realizó un análisis de la asignación de pines del microcontrolador SIWA y de sus dimensiones, con el fin de posicionar los headers correspondientes con las asignaciones

correctas. En cuanto a la estrategia de diseño, se organizaron los componentes por etapas funcionales, priorizando la claridad sobre la disposición espacial, ya que el esquemático no está sujeto a restricciones físicas como distancias o entrecruzamiento de trazas.

A continuación, se van a mostrar los esquemáticos usados para las distintas etapas del sistema.

II-A. Sistema completo

El esquemático del sistema completo se puede observar en la Fig. 1.

II-B. Alimentación

La etapa de alimentación se puede observar en la Fig. 2. Ver que en el header se tiene un pin para la alimentación externa de 3.3 V, además de las salidas de los reguladores, y los nodos que alimentan todo el circuito.

II-C. Reset

La etapa de generación del reset se puede ver en la Fig. 3. Como se mencionó anteriormente, el integrado APX812-29UG7 se construyó usando el *Wizard* de Altium.

II-D. Oscilador

La etapa de generación del reloj se observa en la Fig. 4. Cabe mencionar que una vez se estaban realizando las pruebas físicas del reloj, se descubrió que hizo falta agregar una resistencia a la salida del *buffer* de esta etapa, típicamente de valor 30 Ω. Mencionar que por esta razón esta etapa no se pudo usar en la implementación física.

II-E. LEDs

Para la etapa de los LEDs se traen las señales de los ocho pines de propósito general del SIWA, los cuales se pasan por *buffers* y una resistencia (de 100 Ω) hasta llegar al diodo. Dicha etapa se observa en la Fig. 5.

II-F. Pantalla

La etapa de la pantalla se puede ver en la Fig. 6.

II-G. Memoria

Las conexiones de la memoria se puede observar en la Fig. 7. Ver que esta necesita los pines del SIWA para realizar la comunicación por el protocolo SPI.

II-H. SIWA

Finalmente, el esquemático de los headers a los que se va a conectar el SIWA se puede ver en la Fig. 8.

III. DISEÑO PCB

En el diseño de la PCB se estableció en $120 \times 100 \text{ mm}$ las dimensiones. Se consideró que este espacio era suficiente para ubicar los componentes y las rutas de forma óptima, aprovechando el área disponible sin que el diseño resultara demasiado compacto.

La disposición de componentes se realizó considerando las sugerencias y correcciones proporcionadas durante las sesiones de revisión. En el diseño final, SIWA se posicionó en una ubicación centralizada. Los LEDs se distribuyeron en la parte superior izquierda, con el objetivo de acercarlos a los pines de GPIO del microcontrolador, minimizando así la longitud de las rutas y reduciendo interferencias con otras señales. Los LEDs se conectaron en grupos de cuatro mediante headers para lograr una conexión ordenada al SIWA.

La pantalla se ubicó en el borde posterior de la tarjeta para evitar interferencias mecánicas con otros componentes. La memoria externa se posicionó en la esquina inferior derecha, próxima a sus pines dedicados en el SIWA y a los pines del header 20x2 para facilitar la conexión SPI.

El header principal, de mayores dimensiones y utilizado por el oscilador de CLK, la alimentación y el SIWA, se situó estratégicamente en la esquina superior derecha, junto al circuito de reset y el oscilador, aprovechando que estos últimos requieren un espacio reducido.

Finalmente, el circuito de alimentación se dispuso en la parte superior de la tarjeta para proporcionar espacio suficiente a los reguladores y al header de alimentación. Para la distribución de VCC se utilizó la capa superior aprovechando que todas las vías eran through-hole y podían conectarse fácilmente a este plano. Para GND se empleó la capa inferior como plano de masa, conectando tanto los pines correspondientes de cada componente como los pines no utilizados.

Como se ha descrito en párrafos anteriores, la disposición de las distintas etapas se puede observar en las Figs. 9, 10, 11 y 12, visión en 2D del *top*, en 2D del *bottom*, en 3D del *top* y en 3D del *bottom*.

IV. FABRICACIÓN Y ENSAMBLAJE DE LA PCB

IV-A. Fabricación

El proceso de fabricación del PCB se ejecutó mediante una secuencia de etapas controladas para garantizar la calidad eléctrica y mecánica del circuito. Las principales fases se describen a continuación:

- **Drills:** Se realizó el perforado del sustrato de cobre utilizando los archivos generados en Altium, creando los orificios para componentes through-hole y vías de interconexión. El resultado de este se puede ver en la Fig. 13.
- **Metalización:** La placa se sometió a un proceso secuencial de seis etapas, realizadas en la máquina observada en la Fig. 14:

- Limpieza y desengrasar.
- Acondicionamiento de la superficie.
- Activación de paredes de los orificios.
- Limpieza activa de vías.
- Galvanizado con cobre.
- Estanado químico.

- **EndMill:** El trazado de pistas se efectuó con el sistema LPKF ProtoMat D104 en modo de fresado mecánico, como se puede observar en la Fig. 15:

- **EndMill Bottom:** Fresado de la capa inferior.
- **EndMill Top:** Fresado de la capa superior.

- **Verificación:** Se realizó una inspección visual completa y verificación de continuidad con multímetro para asegurar la correcta formación de pistas y ausencia de cortocircuitos.

- **Recubrimiento:** Se aplicó un recubrimiento de estaño para mejorar la adherencia durante el proceso de soldadura, el cual se puede ver en la Fig. 16.

- **Acabado:** Se aplicaron las capas finales de soldermask y silkscreen para protección y identificación de componentes, y el resultado de la placa se puede observar en la Fig. 17.

IV-B. Ensamblaje

El proceso de ensamblaje se desarrolló en dos etapas consecutivas:

- **Componentes SMD:**

- Se utilizó el equipo LPKF ProtoPlace S para colocación asistida por succión.
- Se alinearon los componentes con apoyo de cámara y referencias de serigrafía. Luego de que se ensamblaron todos los componentes, se tiene la placa como se observa en la Fig. 18.
- Se realizó soldadura en horno con temperatura y tiempo controlados. La placa entrando al horno se observa en la Fig. 19.
- Se efectuó inspección visual post-soldadura.

- **Componentes Through-Hole:**

- Se soldaron manualmente con cautín y estaño 60/40.
- Se inició con el header principal, seguido de headers menores.
- Se verificó verticalidad y correcto asentamiento.
- Se confirmó continuidad eléctrica en uniones críticas.
- En la Fig. 20 se puede observar el frontal de la placa con sus componentes ya soldados, y en la Fig. 21 su parte trasera.

- **Verificación Final:** Se realizó revisión de continuidad y aislamiento, confirmando la ausencia de puentes y la correcta conexión eléctrica en todas las uniones.

Posterior al ensamblaje, se procedió con la programación de la memoria Flash externa. Para verificar la correcta programación, se realizó una comparación de los valores escritos en las direcciones de memoria contra los datos originales del archivo fuente. Finalmente, se confirmó la integridad total del

programa cargado, validando que la operación se completó exitosamente.

V. PLAN DE PRUEBAS

V-A. Pruebas sin ASIC

Se realizó una validación exhaustiva de todos los módulos de la PCB antes de la integración del ASIC. Esta se va a mostrar sección a sección que se verificó.

V-A1. Validación de la conectividad: Inicialmente se verificó la conectividad eléctrica entre nodos, confirmando la ausencia de cortocircuitos y la continuidad adecuada en todos los módulos principales. En la Tabla I se puede observar las distintas verificaciones que se realizan para comprobar que la conectividad entre los distintos nodos de la placa es la esperada.

V-A2. Validación de fuentes: En las pruebas de fuentes de alimentación, se comprobó que los reguladores entregaban voltajes correctos (3.0V, 1.8V, 1.0V) dentro de una tolerancia del $\pm 3\%$, tanto en vacío como bajo carga. Específicamente, en vacío se tienen los valores indicados en la Tabla II. Mientras que con carga se tiene la Tabla III.

V-A3. Validación del reset: El circuito de reset funcionó correctamente, manteniendo bajo en condiciones normales, y al presionar el botón genera un pulso de voltaje alto. Esto se puede observar en la Fig. 22.

V-A4. Validación del oscilador: El oscilador interno no operó adecuadamente debido a la omisión de una resistencia en el esquemático. Aunque se intentó corregir con una resistencia externa para mejorar la forma de onda, no se logró el comportamiento esperado, por lo que se optó por utilizar una señal de reloj externa de 15 MHz. La Fig. 23 muestra la señal generada por el oscilador de la PCB, mientras que en la Fig. 24 se observa la señal externa que se usa.

V-A5. Validación de la memoria (Flash SPI): Para la memoria Flash SPI, se confirmó la continuidad de señales, Tabla IV, niveles de alimentación de 1.8V, Tabla V y los estados en reposo de las líneas de control.

V-A6. Validación de los LEDs: En las pruebas funcionales, siete de los ocho LEDs respondieron correctamente al firmware de prueba, identificándose que el GPIO1 no activaba su LED correspondiente. Los leds se estresaron ingresando una señal de 1 Hz y 3 V_{pp} del generador al GPIO del SIWA correspondiente, el comportamiento obtenido se resume en la Tabla VI y en la Fig. 25.

V-A7. Validación de la pantalla: Finalmente, en la validación de la pantalla OLED se verificaron los niveles de voltaje en el conector, confirmando la correcta distribución de alimentación y tierras para su posterior integración. Esto se puede observar en la Tabla VII.

V-B. Validación de comunicación header SIWA a header de memoria

Para verificar que la comunicación entre los pines del SIWA que van a realizar la comunicación SPI y los pines del header de memoria, se inyecta una señal de 10 MHz y se verifica que este llegue a los otros pines. Al inyectar la señal en el pin

del ChipSelect se obtiene la Fig. 26, con el MISO la Fig. 27, con el MOSI la Fig. 28 y con el SCLK la Fig. 29.

V-C. Pruebas con ASIC

V-C1. Validación con SIWA: Al conectar SIWA se obtienen las mediciones mostradas en la Tabla VIII. La Tabla VIII muestra las mediciones de los distintos pines sin tener conectada la memoria.

V-C2. Medición de consumo: En esta verificación se busca comprobar que el PCB posee niveles de consumo acorde a lo que se espera según la situación en la que se encuentre. Ya sea corriendo el programa que maneja los LEDs, el que maneja la OLED o simplemente está conectada, pero sin ejecutar nada.

Para esto, se va a conectar la alimentación (la que alimenta los reguladores) y se van a monitorear los niveles de corriente según la situación en la que se encuentre el SIWA.

Los resultados detallados de estas mediciones se pueden observar en las Tablas IX, X, XI y XII.

V-C3. Prueba de LEDs: Luego de ya conectar la memoria y cargar el programa de los LEDs se obtiene el resultado mostrado en el video Programa_LEDs.

Se puede observar que el funcionamiento es el esperado, al cargar el programa de los leds se obtiene el parpadeo de los primeros 4 leds de manera constante. Ver que cuando se presiona el reset, la funcionalidad de los leds se detiene.

Además, en la Fig. 34 se puede observar el programa funcionando. Mientras que en la Fig. 35 se observa la señal de un GPIO que está funcionando con el programa de los LEDs. Ver que en esta se puede observar que hay una señal, que indica que el led está encendido, y luego no hay señal, que indica que el led está apagado, que es el comportamiento esperado.

V-C4. Prueba pantalla OLED: Al conectar la memoria con el programa de la pantalla OLED inicialmente no se consigue que la pantalla encienda. No obstante, se encienden de manera titilante los primeros cuatro GPIO del SIWA (GPIO0-GPIO3), que se observa en el video de LEDs_Programa_Pantalla. Las señales en cada GPIO se observan en las Figs. 36, 37, 38 y 39, siendo GPIO0, GPIO1, GPIO2 y GPIO3. Mencionar que el buffer que enciende los LEDs 0 y 1 no funciona correctamente, esta es la razón que este led no enciende, mas sí hay una señal en este GPIO1.

Se identifica que la conexión con la que se tenía la pantalla no era correcta. Esta se ajusta y se logra que la pantalla se encienda. Esta nueva conexión se especifica en la Tabla XIII. Al realizar esta nueva conexión, se obtienen los resultados que se pueden ver en el video Pantalla_Programa_Pantalla y la Fig. 40.

VI. CONCLUSIONES

ANEXO A
IMÁGENES

A continuación, se adjuntan todas las imágenes del informe, esto para que este posea un formato más ordenado.

ANEXO B
TABLAS

A continuación, se adjuntan todas las tablas del informe, esto para que este posea un formato más ordenado.

Tabla I: Revisión de la conectividad en los distintos módulos de la PCB.

Módulo	Conectividad
Alimentación	Esperada
SIWA	Esperada
LEDs	Esperada
Pantalla	Esperada
Memoria	Esperada
Header 40 pines	Esperada
Reset	Esperada
Reloj	Esperada

Tabla II: Fuentes en vacío, header Sources

Medición	Pines (+ → GND)	Valor esperado	Valor medido / OK
3.0 V (salida regulador)	1 → 2	3.00 V ± 3 %	3 V
3.0 V (distribución)	4 → 2	3.00 V ± 3 %	2.99 V
1.0 V (salida regulador)	3 → 2	1.00 V ± 3 %	1.01 V
1.0 V (distribución)	6 → 2	1.00 V ± 3 %	1.01 V
1.8 V (salida regulador)	5 → 2	1.80 V ± 3 %	1.79 V
1.8 V (distribución)	8 → 2	1.80 V ± 3 %	1.79 V

Tabla III: Fuentes bajo carga, header Sources

Rail	Pines (+ → GND)	Resistencia usada	Esperado	Medido / OK
3.0 V	4 → 2	1k Ω	3.00 V ± 3 %	2.99 V
1.8 V	8 → 2	1k Ω	1.80 V ± 3 %	1.004 V
1.0 V	6 → 2	1k Ω	1.00 V ± 3 %	1.79 V

Tabla IV: Continuidad de señales SPI

Señal	Recorrido verificado	Resultado
CS# (pin 1)	Header → pin del IC	Continuidad
SCLK (pin 6)	Header → pin del IC	Continuidad
MOSI (pin 5)	Header → pin del IC	Continuidad
MISO (pin 2)	Header → pin del IC	Continuidad
Cortos adyacentes	Entre pines contiguos	Sin cortos

Tabla V: Verificación eléctrica de VCC y GND

Medición	Pines (+ → GND)	Esperado	Medido / OK
VCC 1.8 V	3 → 4	1.80 V ± 3 %	1.79
VCC 1.8 V	7 → 4	1.80 V ± 3 %	1.79
VCC 1.8 V	8 → 4	1.80 V ± 3 %	1.79

Tabla VI: Registro de verificación del funcionamiento de los LEDs

GPIO	Pines (Header)	Comportamiento esperado	Observación / OK
GPIO0	SIWA L(7)	Parpadeo secuencial	Ok
GPIO1	SIWA L(6)	Parpadeo secuencial	-
GPIO2	SIWA L(4)	Parpadeo secuencial	Ok
GPIO3	SIWA L(1)	Parpadeo secuencial	Ok
GPIO4	SIWA U(2)	Parpadeo secuencial	Ok
GPIO5	SIWA U(3)	Parpadeo secuencial	Ok
GPIO6	SIWA U(5)	Parpadeo secuencial	Ok
GPIO7	SIWA U(8)	Parpadeo secuencial	Ok

Tabla VII: Revisión de voltajes en header de la pantalla

Señal	Amplitud [V]	Detalle
GND	0	Se mide el pin 1 del header <i>Screen</i> con respecto a tierra.
Alimentación 3 V	3.01 V	Se mide el pin 2 del header <i>Screen</i> con respecto a tierra.
Alimentación 3 V	2.99	Se mide el pin 3 del header <i>Screen</i> con respecto a tierra.
GND	0	Se mide el pin 4 del header <i>Screen</i> con respecto a tierra.
GPIO 0	0	Se mide el pin 5 del header <i>Screen</i> con respecto a tierra.
GPIO 1	0	Se mide el pin 6 del header <i>Screen</i> con respecto a tierra.
Alimentación 3 V	2.98	Se mide el pin 7 del header <i>Screen</i> con respecto a tierra.
GND	0	Se mide el pin 8 del header <i>Screen</i> con respecto a tierra.

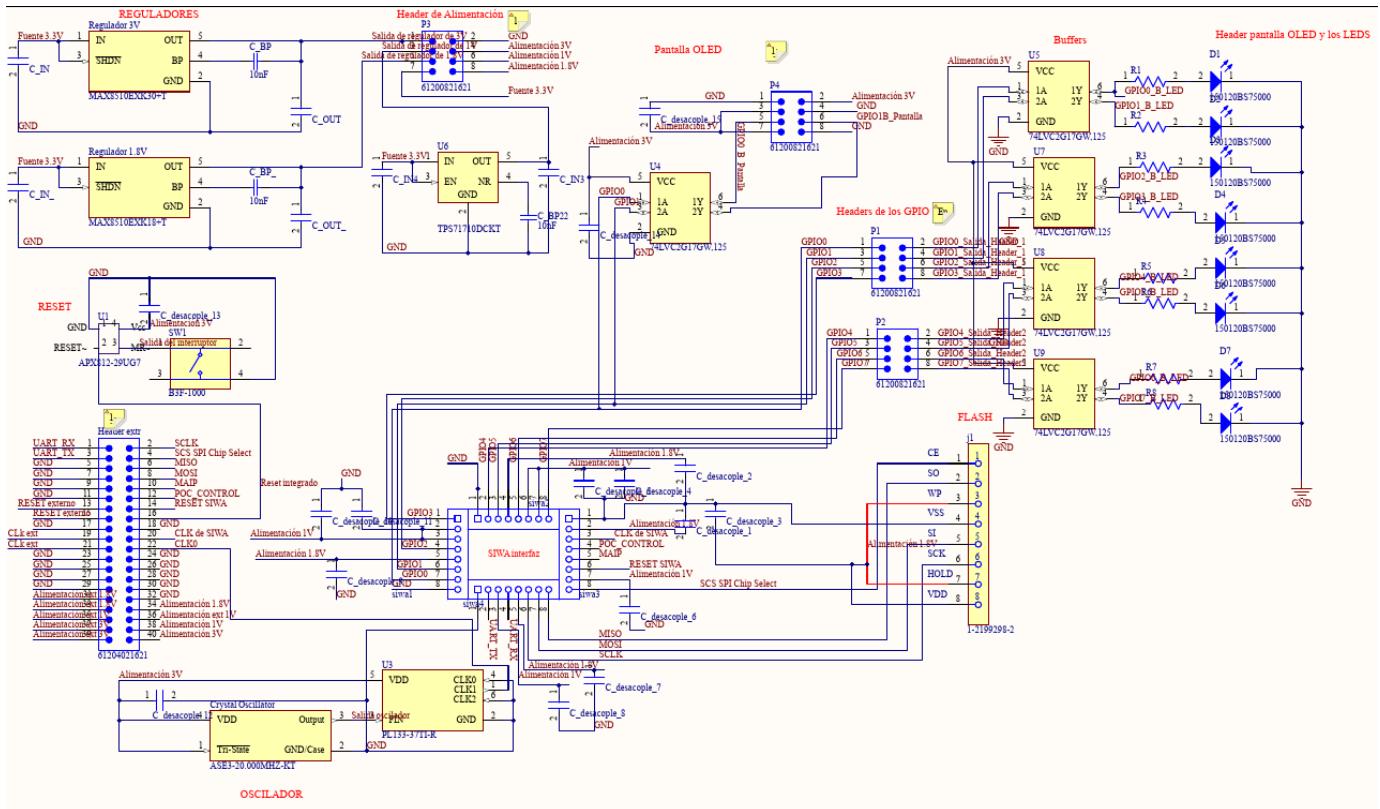


Fig 1: Esquemático completo

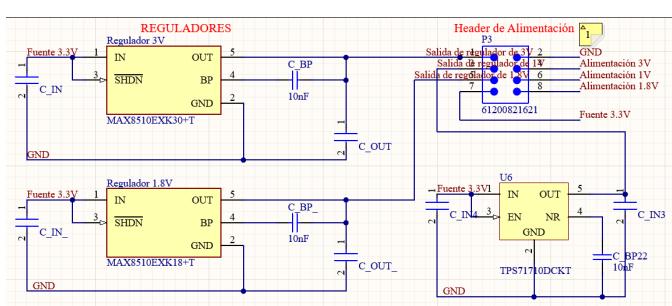


Fig 2: Esquemático de alimentación

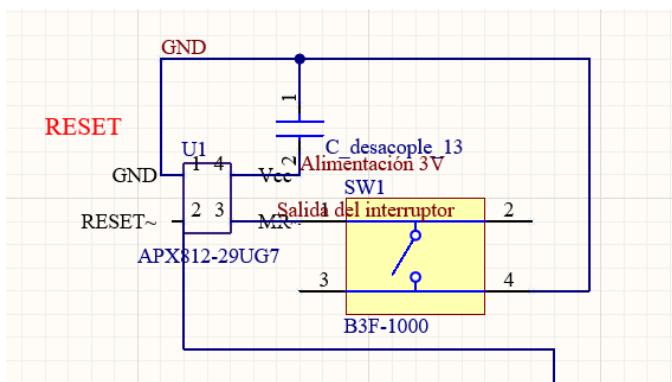


Fig 3: Esquemático del reset

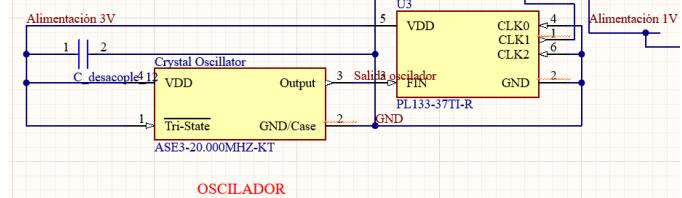


Fig 4: Esquemático del oscilador

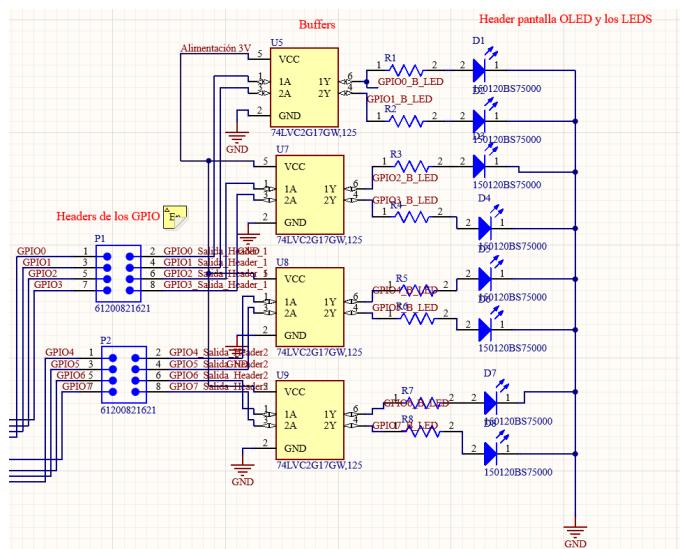


Fig 5: Esquemático de los leds

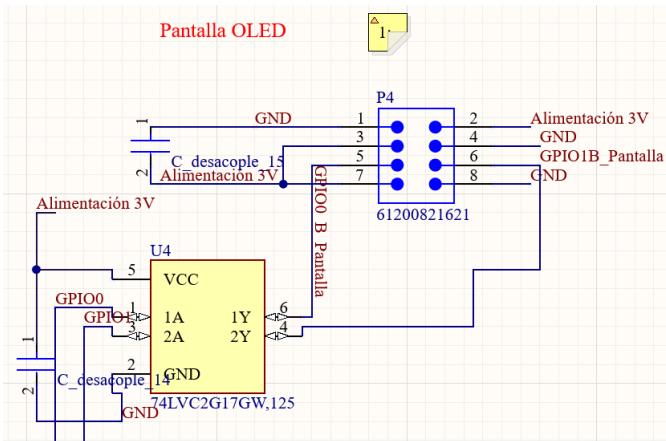


Fig 6: Esquemático de la pantalla

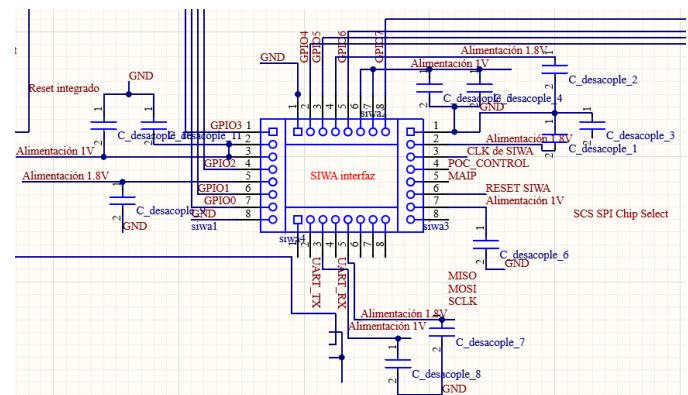


Fig 8: Esquemático del SIWA

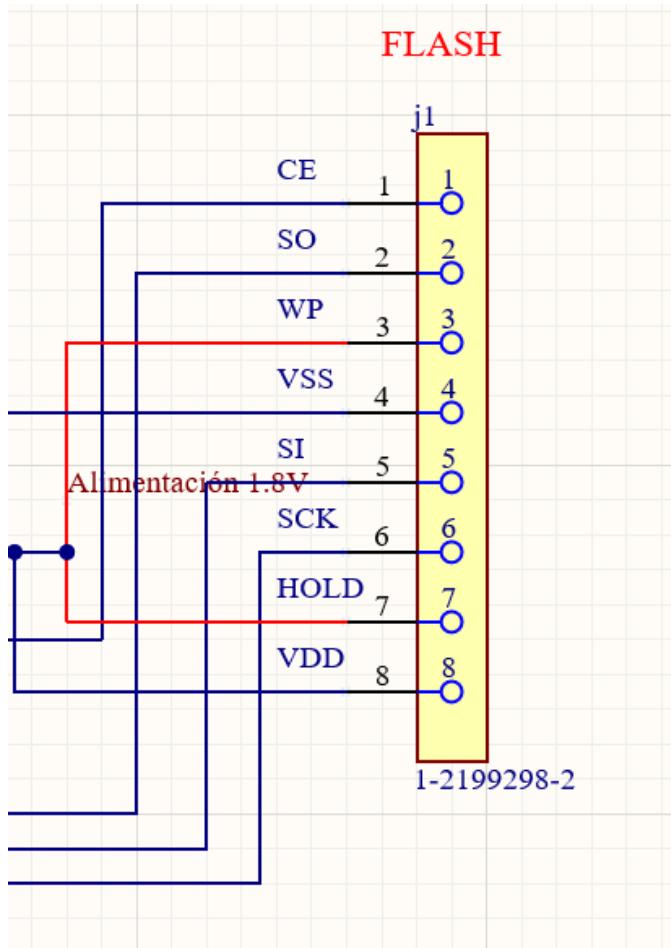


Fig 7: Esquemático de la memoria

Tabla VIII: Resumen de headers de SIWA

Header	Pin	Señal / Nota	Medición
SIWA_U	1	GND	0 V
	2	GPIO4	0 V
	3	GPIO5	0 V
	4	Alimentación 1.8 V	1.79 V
	5	GPIO6	0 V
	6	Alimentación 1 V	1.01 V
	7	Alimentación 1 V	V
	8	GPIO7	0 V
SIWA_R	1	GND	0 V
	2	Alimentación 1.8 V	1.81 V
	3	CLK de SIWA	Esperado, Fig. 30
	4	POC_CONTROL	-
	5	MAIP	-
	6	RESET SIWA	0 V y 3 V al presionar el interruptor
	7	Alimentación 1 V	1.01 V
	8	SCS (SPI Chip Select)	Fig. 31
SIWA_D	1	GND	0 V
	2	UART_RX (no usado)	-
	3	Alimentación 1 V	1.01 V
	4	UART_RX (no usado)	-
	5	Alimentación 1.8 V	1.81 V
	6	SCLK (SPI)	Fig. 32
	7	MOSI (SPI)	Fig. 33
	8	MISO (SPI)	0 V (no hay conectado nada)
SIWA_L	1	GPIO3	0 V
	2	Alimentación 1 V	1.01 V
	3	Alimentación 1 V	1.01 V
	4	GPIO2	0 V
	5	Alimentación 1.8 V	1.81 V
	6	GPIO1	0 V
	7	GPIO0	0 V
	8	GND	0 V

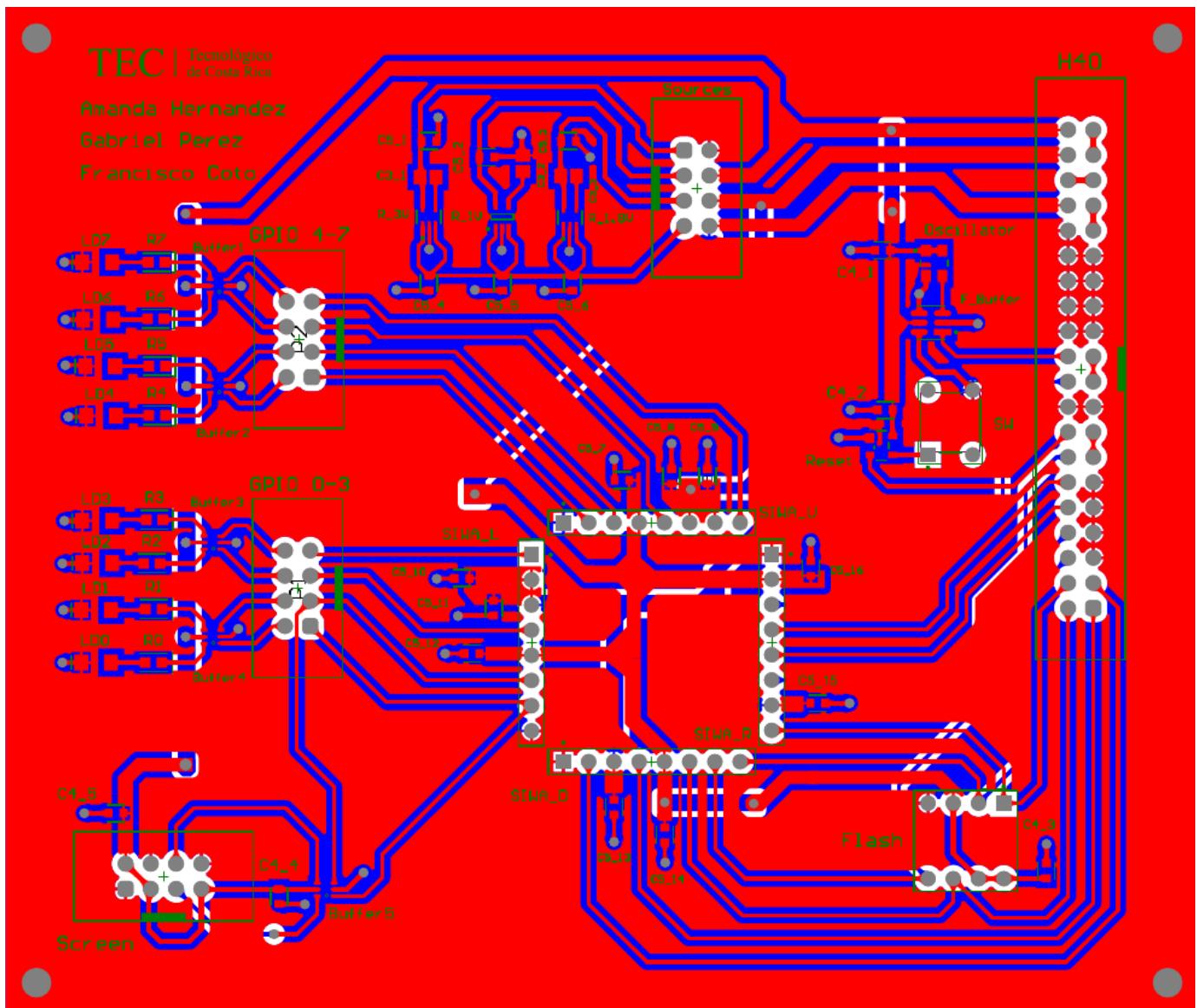


Fig 9: PCB top

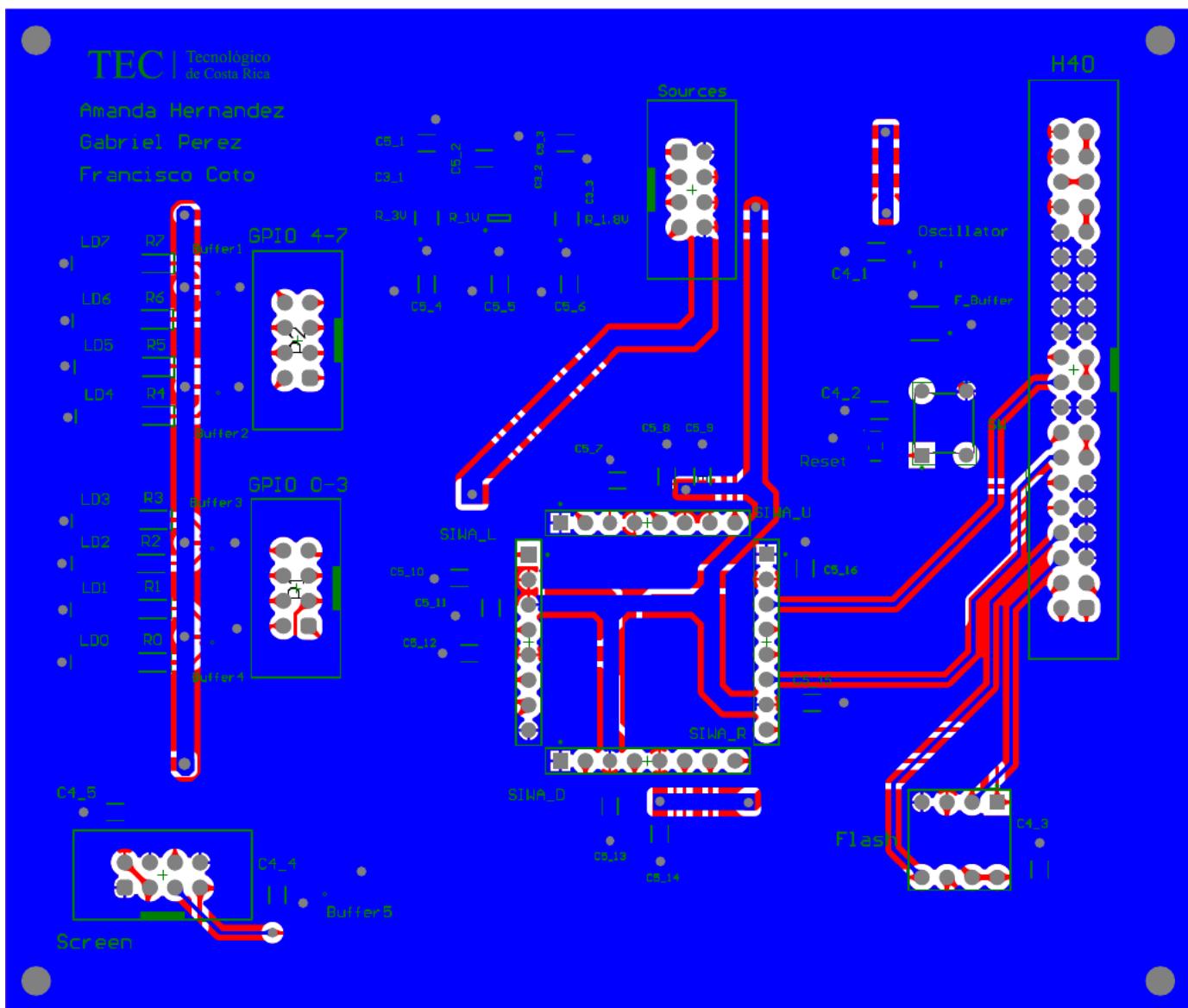


Fig 10: PCB *bottom*

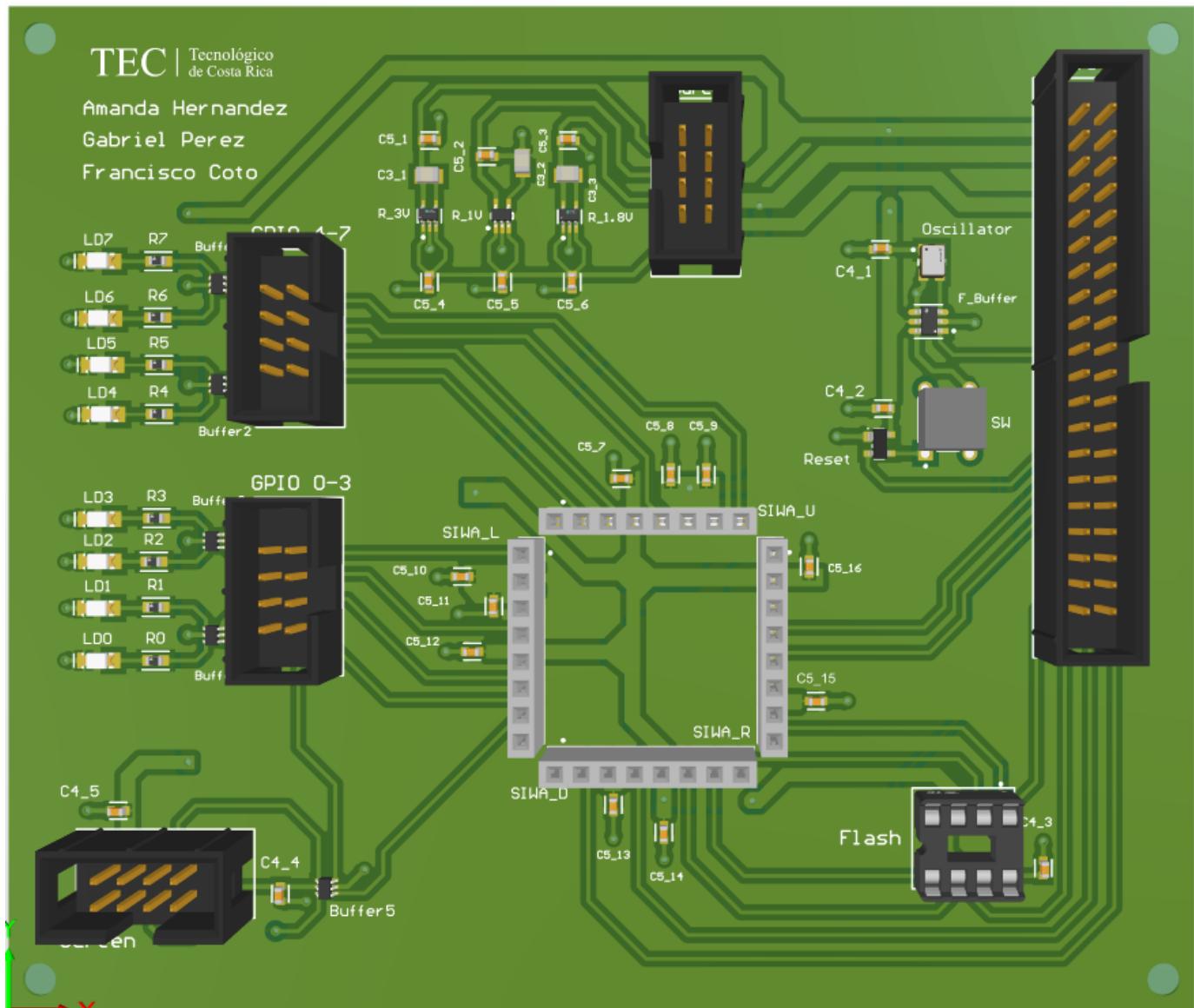


Fig 11: PCB *top* en 3D

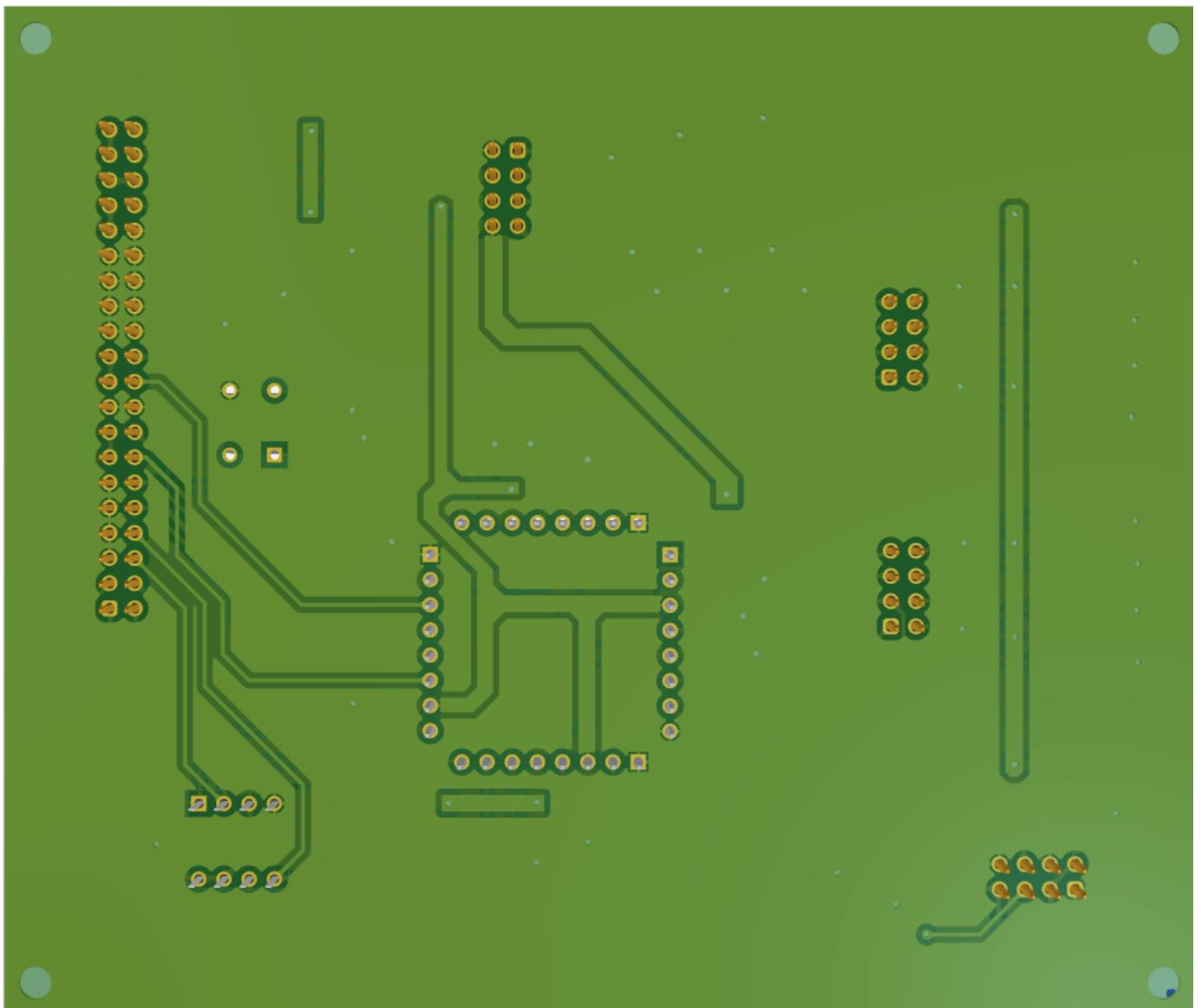


Fig 12: PCB *bottom* en 3D

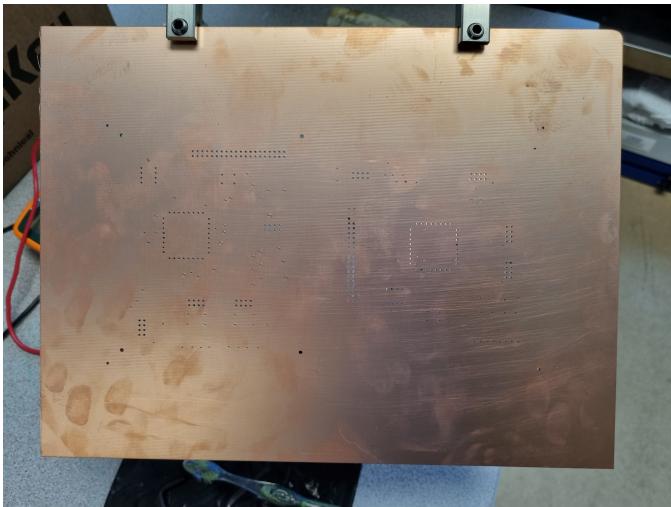


Fig. 13: Placa al finalizar el drilling



Fig. 16: Resultado del recubrimiento con estaño.



Fig. 14: Equipo que permite realizar la metalización del PCB.



Fig. 15: Resultado del fresado EndMill Bottom.

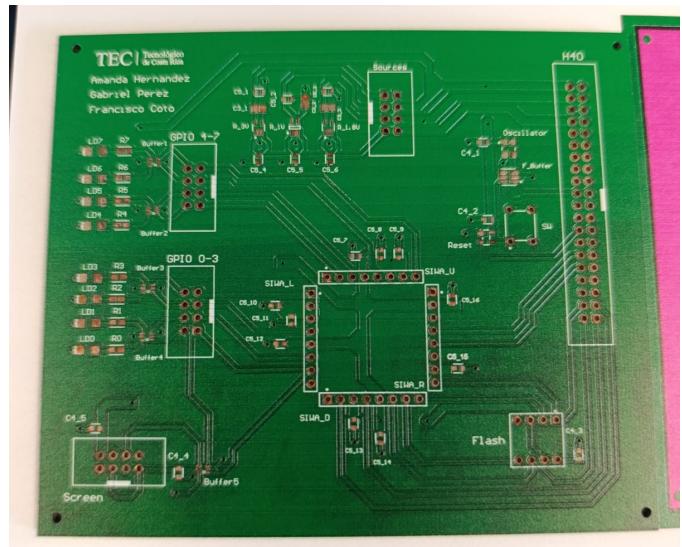


Fig. 17: Resultado del proceso de Soldermask y Silkscreen.

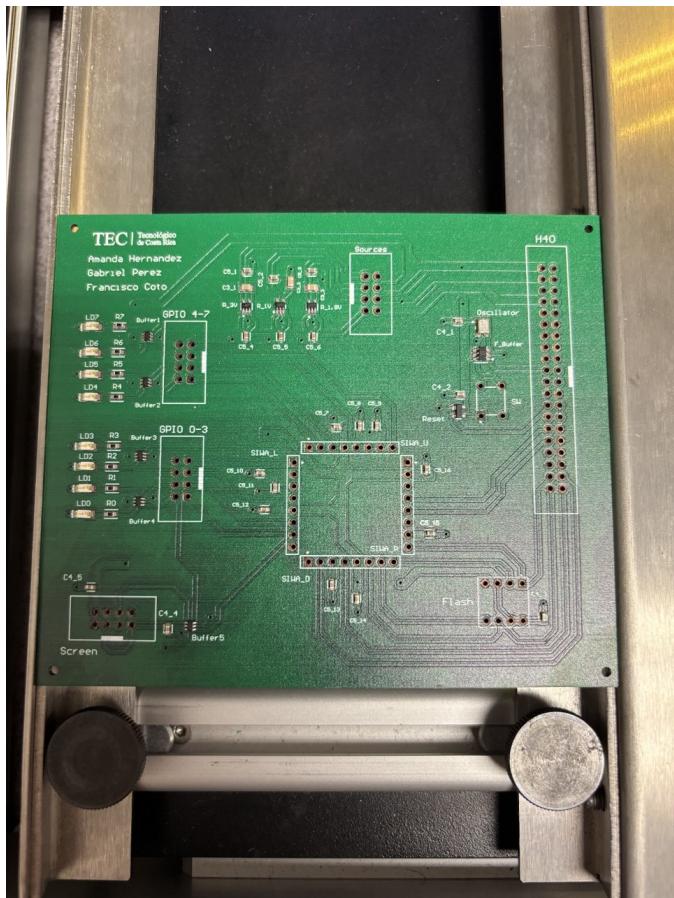


Fig. 18: PCB luego ensamblar componentes de montaje superficial.



Fig. 19: PCB entrando a su proceso de horneado.

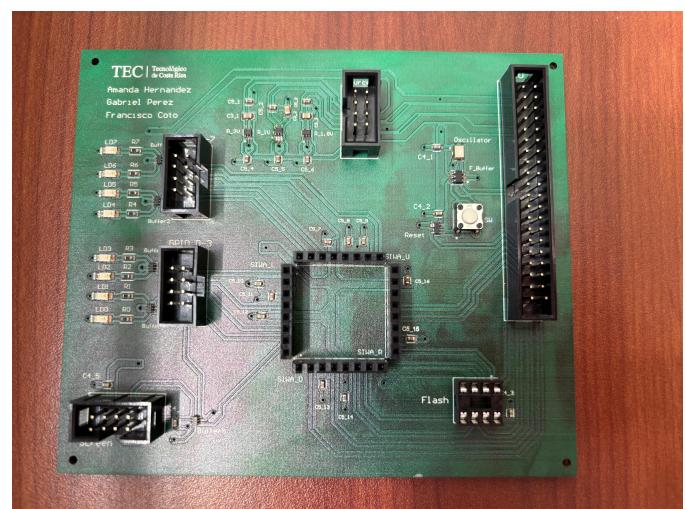


Fig. 20: Top del PCB con el ensamblaje completo.

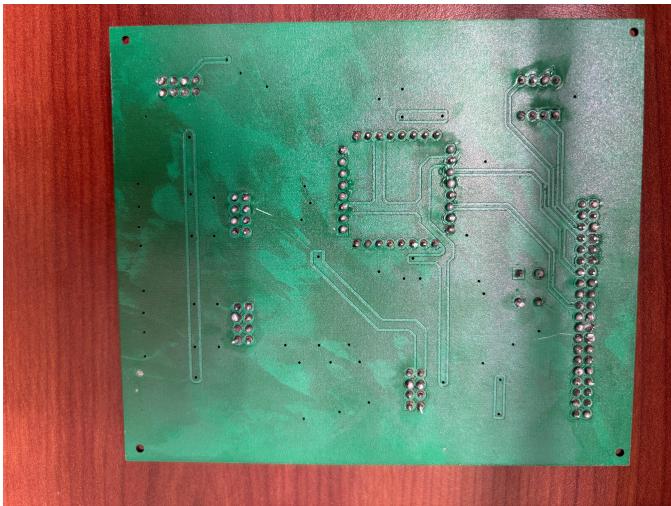


Fig. 21: Bottom del PCB con el ensamblaje completo.

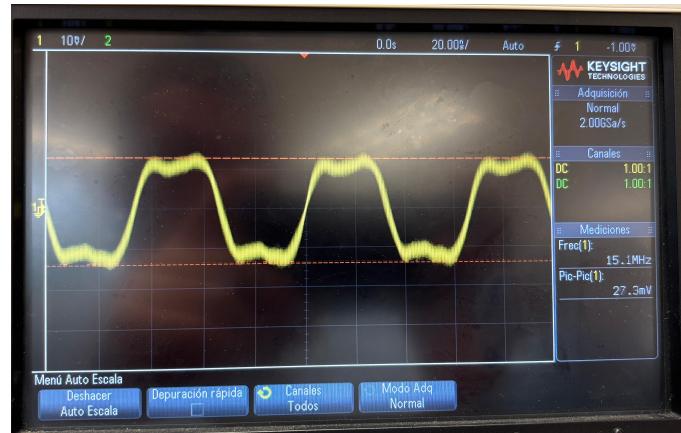


Fig 24: Reloj externo



Fig 22: Reset activo en alto

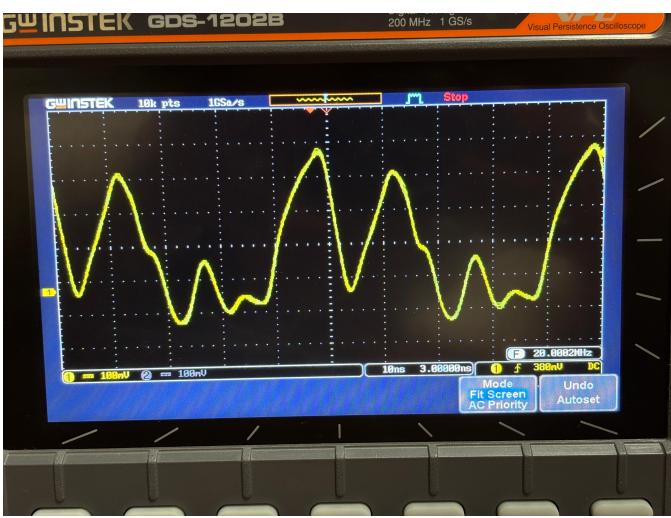


Fig 23: Reloj de la placa

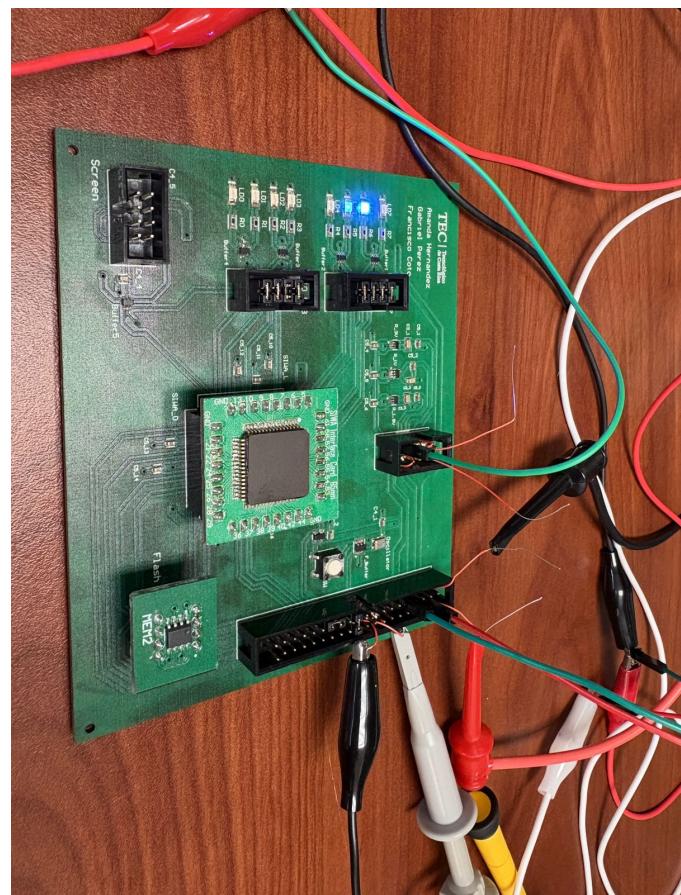


Fig 25: Prueba leds

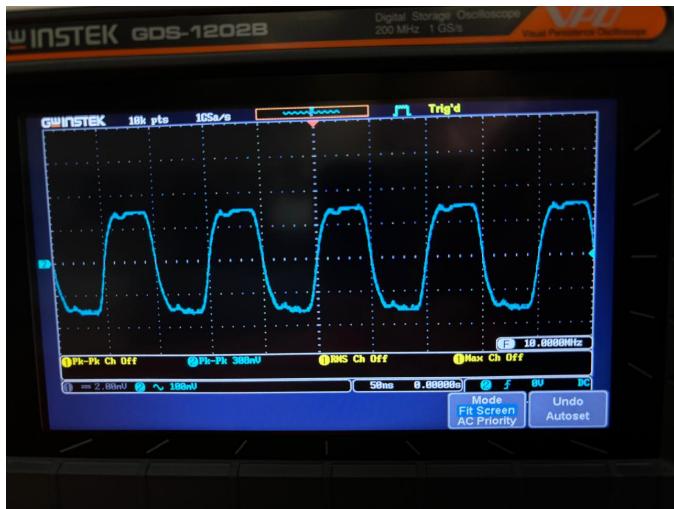


Fig 26: Excitación del ChipSelect sin SIWA

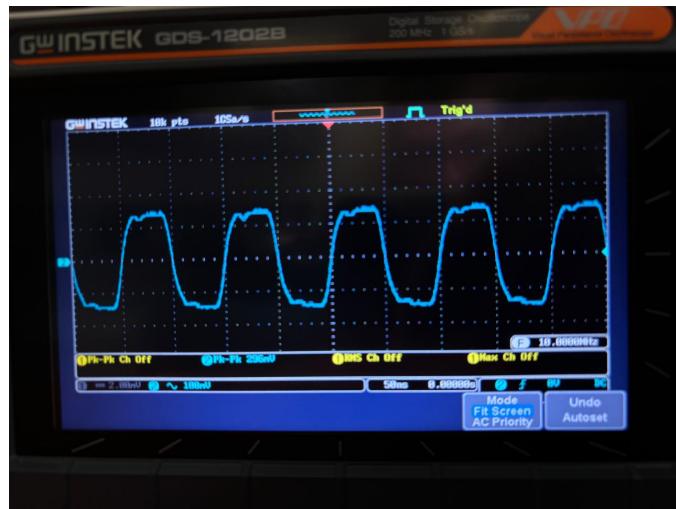


Fig 29: Excitación del SCLK sin SIWA

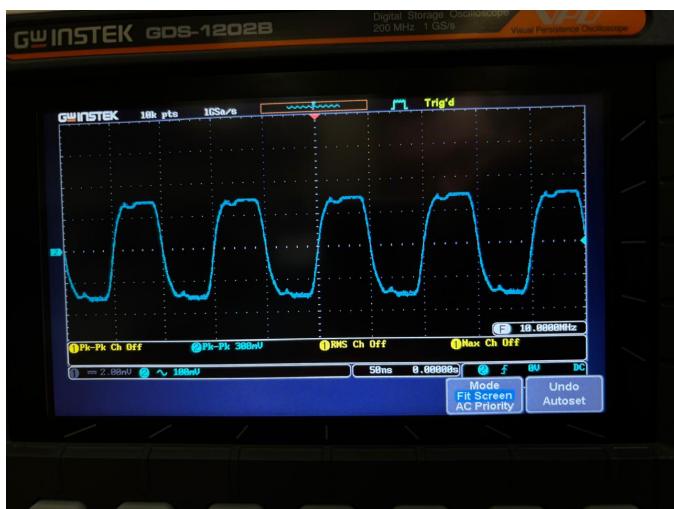


Fig 27: Excitación del MISO sin SIWA

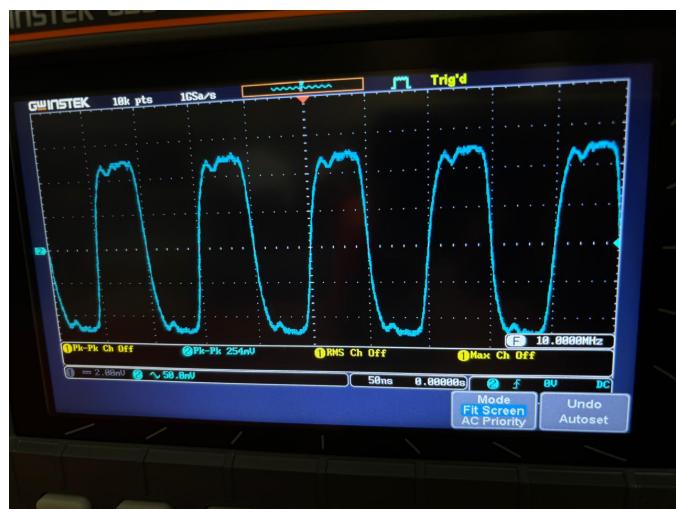


Fig 30: Reloj medido en el SIWA



Fig 28: Excitación del MOSI sin SIWA

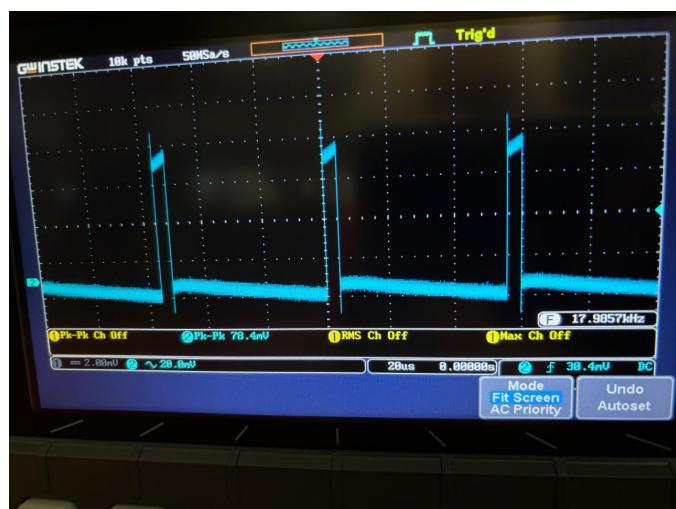


Fig 31: ChipSelect medido en SIWA

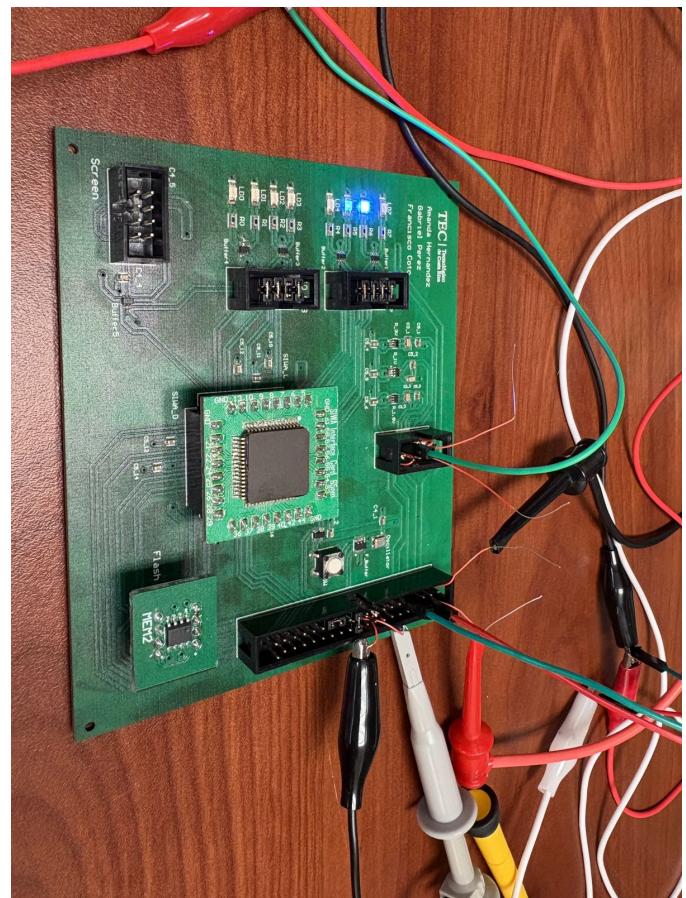
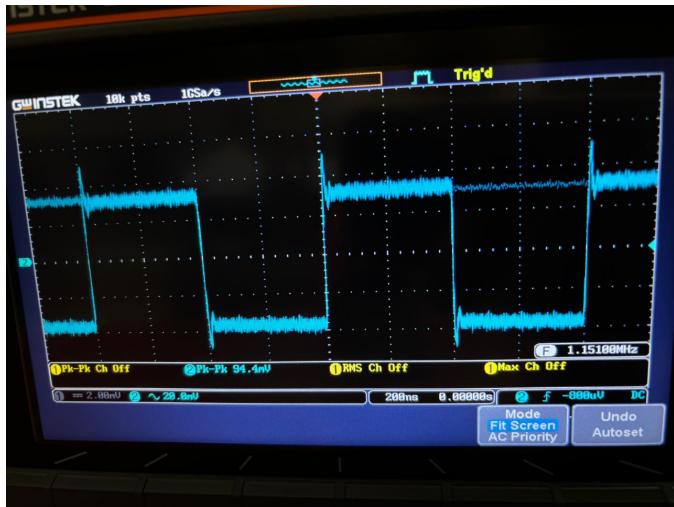


Fig 34: Funcionamiento de los LEDs

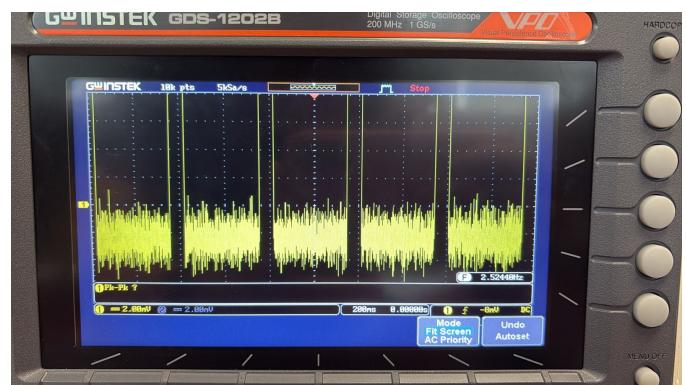
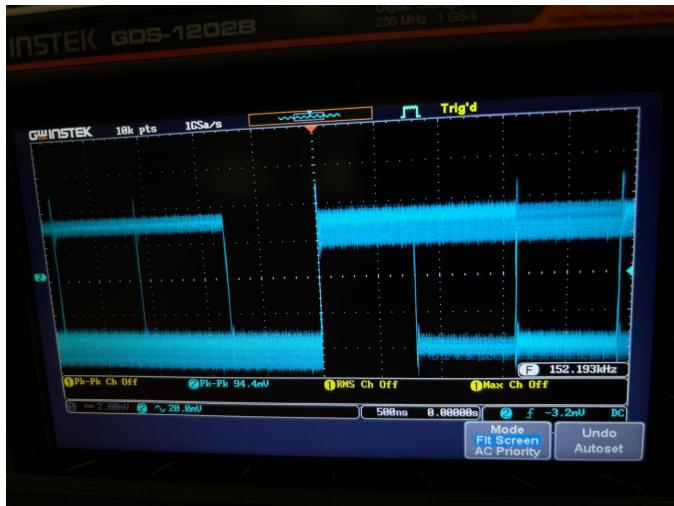


Fig 35: Señal de GPIO al funcionar el programa de los LEDs

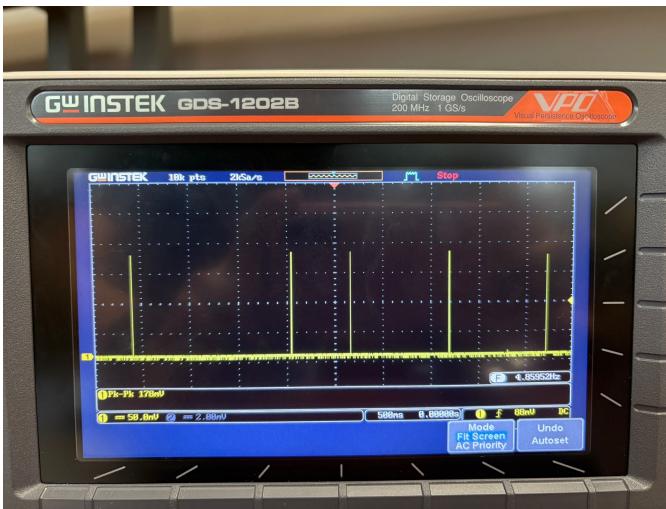


Fig 36: Señal GPIO0 con el programa de la pantalla

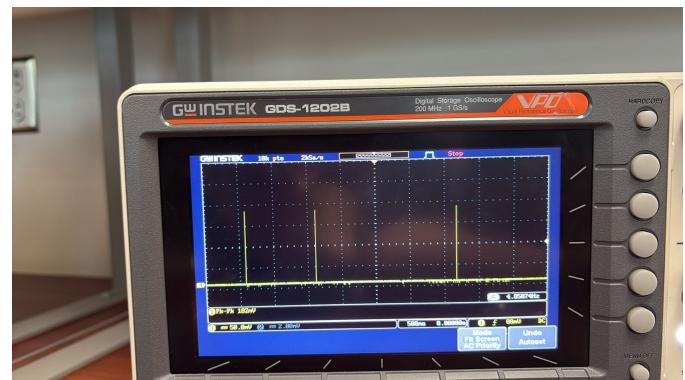


Fig 39: Señal GPIO3 con el programa de la pantalla

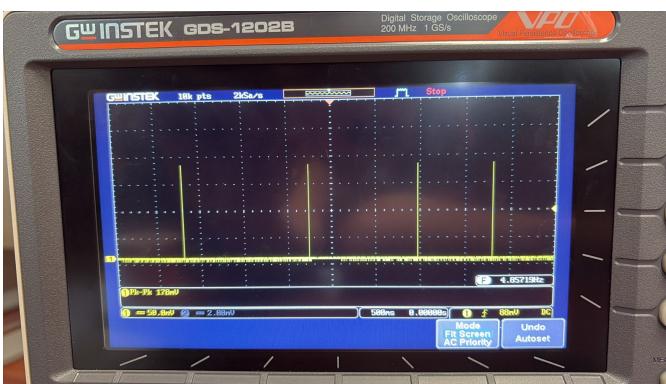


Fig 37: Señal GPIO1 con el programa de la pantalla

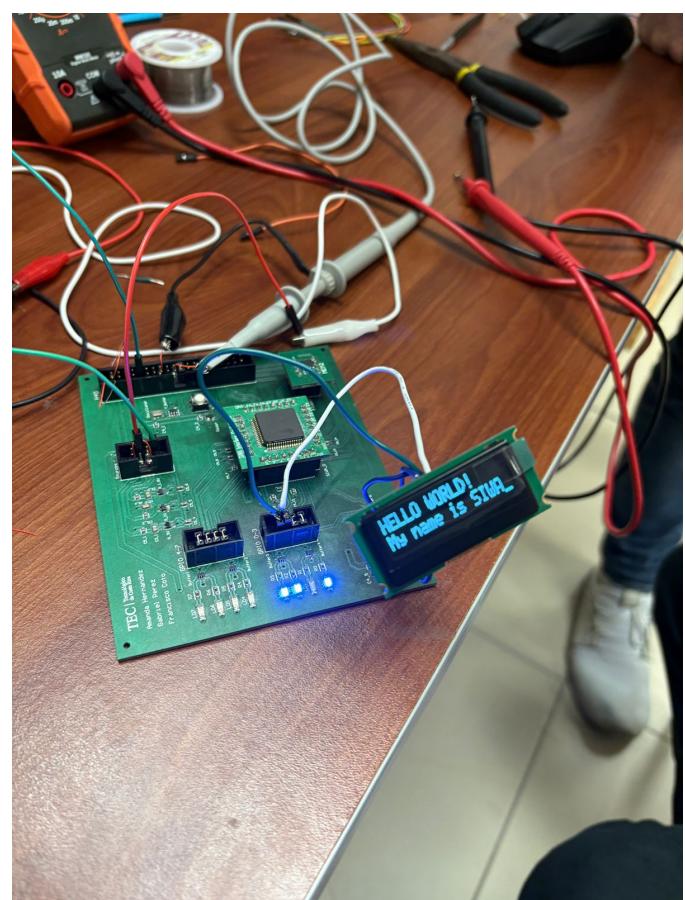


Fig 40: Impresión de texto en la pantalla

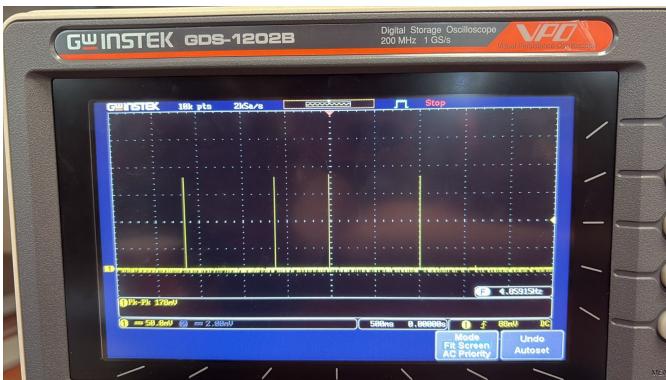


Fig 38: Señal GPIO2 con el programa de la pantalla

Tabla IX: Monitoreo de los consumos de la fuente externa

Caso	Fuente externa [mA]	Descripción
Sin programa	10 mA	Se debe de conectar la GND de la fuente en el pin 2 del header <i>Sources</i> . Luego, se debe conectar el positivo de la fuente al amperímetro, cuya salida debe conectarse al pin 7 del header de <i>Sources</i> .
Programa de la pantalla	20 mA	
Programa de los LEDs	20 mA	

Tabla X: Monitoreo de los consumos de la fuente de 3 V

Caso	Fuente de 3 V [mA]	Descripción
Sin programa	15.39 mA	Se debe conectar el pin 1 del header <i>Sources</i> al positivo del amperímetro. Luego, se debe conectar el negativo al pin 4 del header de <i>Sources</i> .
Programa de la pantalla	19.69 mA	
Programa de los LEDs	18.32 mA	

Tabla XI: Monitoreo de los consumos de la fuente de 1.8 V

Caso	Fuente de 1.8 V [mA]	Descripción
Sin programa	8 uA	Se debe conectar el pin 5 del header <i>Sources</i> al positivo del amperímetro. Luego, se debe conectar el negativo al pin 8 del header de <i>Sources</i> .
Programa de la pantalla		
Programa de los LEDs	12.1 uA	

Tabla XII: Monitoreo de los consumos de la fuente de 1 V

Caso	Fuente de 1 V [mA]	Descripción
Sin programa	94 uA	Se debe conectar el pin 3 del header <i>Sources</i> al positivo del amperímetro. Luego, se debe conectar el negativo al pin 6 del header de <i>Sources</i> .
Programa de la pantalla		
Programa de los LEDs	104.4 uA	

Tabla XIII: Conexión de pantalla OLED

Pin	Anterior conexión	Nueva conexión	Posición de nueva conexión
1- GND	GND	GND	Pin 1 del header Screen
2- VDD_SEL	3 V	3 V	Pin 2 del header Screen
3- VDDIO	3 V	3 V	Pin 3 del header Screen
4- SA0	GND	GPIO0 Bufferizado	Pin 5 del header Screen
5- SCL	GPIO0 Bufferizado	GPIO3	Pines 7-8 del header GPIO 0-3
6- SDA	GPIO1 Bufferizado	GPIO2	Pines 5-6 del header GPIO 0-3
7- /RES	3 V	GPIO1 Bufferizado	Pin 6 del buffer Screen
8- NC	GND	NC	NC