

UNIVERSIDAD DE COSTA RICA

Facultad de Ingeniería
Escuela de Ingeniería Eléctrica
IE0311 - Circuitos Integrados Digitales

Reporte de Laboratorio #1

Profesor:

Erick Carvajal Barboza, PhD

Estudiante:

Gabriel Siles Chaves - C17530

Grupo 01

I ciclo de 2025

1. Introducción

En el presente reporte de laboratorio se familiarizó con las herramientas de simulación *Electric VLSI CAD* y *LTspice* para observar las características y comportamientos de los transistores NMOS y PMOS. Se inicia desde la creación de una librería y una celda enfocada en el layout usando la tecnología MOSIS CMOS (mocmos) a una escala de 200 nm. Por medio de modelos SPICE se realizan conexiones para posteriormente simular y analizar las curvas de corriente y regiones de operación de los transistores.

2. Objetivos

- Analizar la curva de corriente I_{ds} vs V_{ds} para distintos valores de V_{ds} en los transistores NMOS y PMOS
- Identificar las regiones de operación para los transistores NMOS y PMOS

3. Resultados

En esta sección se presentan los resultados obtenidos a partir del desarrollo del layout y la caracterización de transistores NMOS y PMOS, utilizando simulaciones en LTspice generando archivos .spi.

3.1. Transistor NMOS

Inicialmente, en la herramienta Electric se realizó el layout del transistor conectando la difusión n+ del source a tierra, generando además el gate y el drenaje con su debido material y pozo, que para el caso de transistor NMOS es tipo P. En la Figura 1 se observa el el diseño del layout con su debido etiquetado de cada compuerta. A la hora de realizar el Design Rule Check no se encontró ningún error tal como se puede observar en la Figura 2 por lo que se procedió a instanciar la celda para simular.

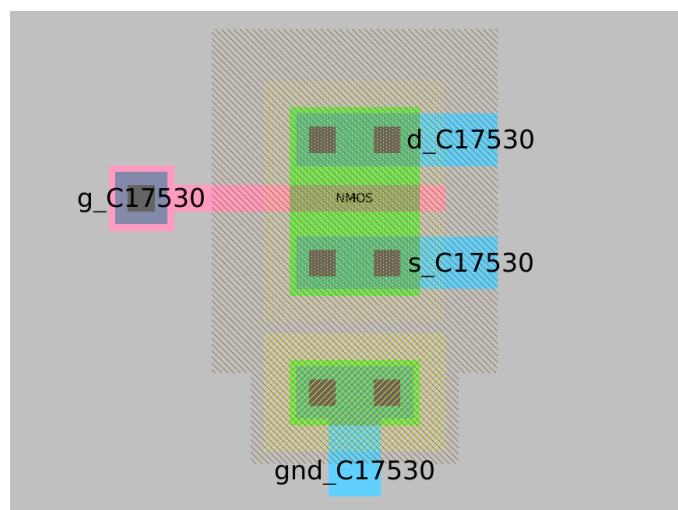


Figura 1: Layout transistor NMOS.

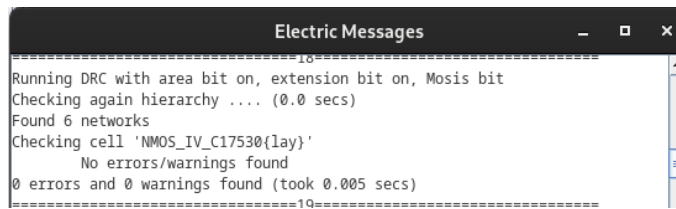


Figura 2: Design Rule Check del NMOS.

Para la simulación se creó un modulo spice anteriormente en la implementación del layout y al instanciar la celda se agregó un Spice Code para obtener tanto la curva de I_{ds} vs V_{ds} como las áreas de operación del transistor. A continuación se muestra el código para obtener la curva I_{ds} vs V_{ds} :

```
.include /home/ragnarok/Desktop/lab01-ie0311/spice.txt
VVDD VDD 0 DC 5
Vgs Vg Vs DC 0
Vs Vs VDD DC 0
Vds Vd Vs DC 0
.DC Vds -5 0 1m
```

Al escribir el Spice deck se generó el archivo tipo .spi por lo cual se pudo seleccionar la corriente por la terminal D obteniendo lo que se visualiza en la Figura 3.

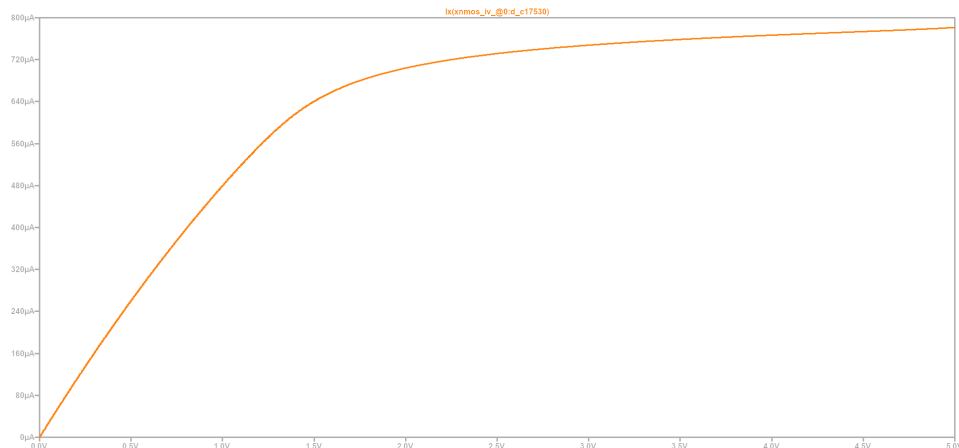


Figura 3: Curva I_{ds} vs V_{ds} del transistor NMOS

Para la obtención del área de operación del transistor se modificó el código para poder realizar el barrido de manera que se pudiera ver el comportamiento de la corriente con respecto a la tensión drain-source mientras variaba V_{gs} que se observa a continuación:

```
.include /home/ragnarok/Desktop/lab01-ie0311/spice.txt
VGND GND 0 DC 0
Vgs Vg Vs DC {Vgs_var}
Vs Vs 0 DC 0
Vds Vd Vs DC 0
.step param Vgs_var list 0 1 2 3 4 5
.DC Vds 0 5 1m
```

Por lo que se obtuvo la gráfica exitosamente y se puede observar en la Figura 4.

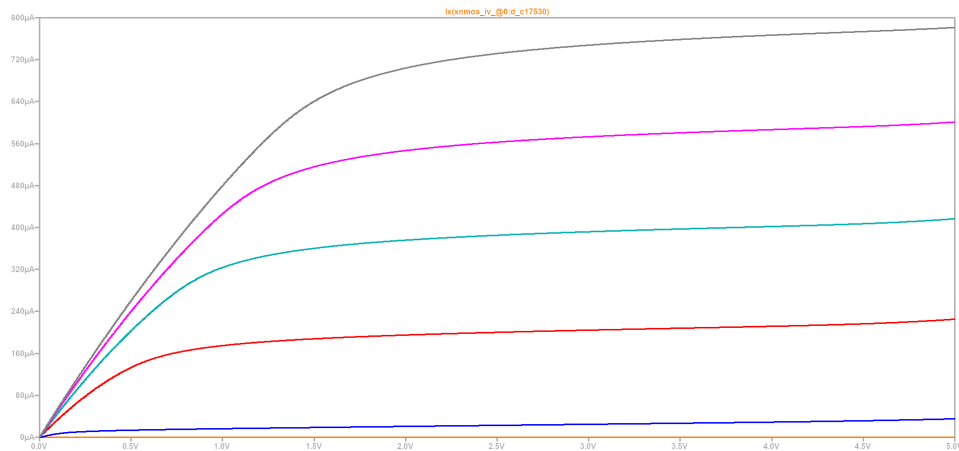


Figura 4: Curvas de operación del transistor NMOS

3.2. Transistor PMOS

De la misma manera a NMOS se inició con el desarrollo del layout unicamente que el PMOS contiene diferentes materiales como por ejemplo el pozo es de material n y contiene una difusión tipo P, para este caso a diferencia del NMOS se conecta la terminal del source a VDD por lo que el layout es diferente al anterior, en la Figura 5 se puede observar el layout y en la Figura 6 el DRC sin ningún error.

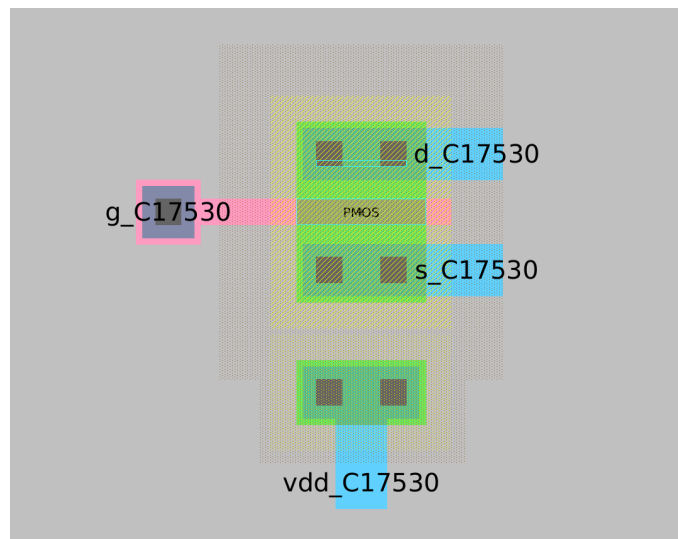


Figura 5: Layout transistor PMOS.

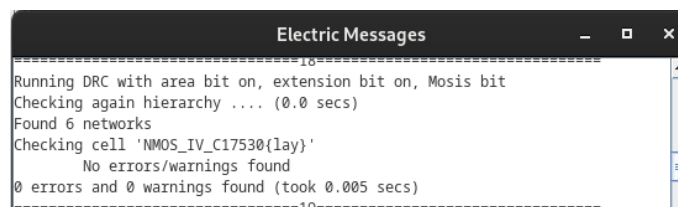


Figura 6: Design Rule Check del PMOS.

Para este caso el código se modificó de manera que para obtener la curva I_{ds} vs V_{ds} se utilizó el siguiente código para poder conseguir la curva que se visualiza en la Figura 7:

```
.include /home/ragnarok/Desktop/lab01-ie0311/spice.txt
VVDD VDD 0 DC 5
Vgs Vg Vs DC 0
Vs Vs VDD DC 0
Vds Vd Vs DC 0
.DC Vds -5 0 1m
```

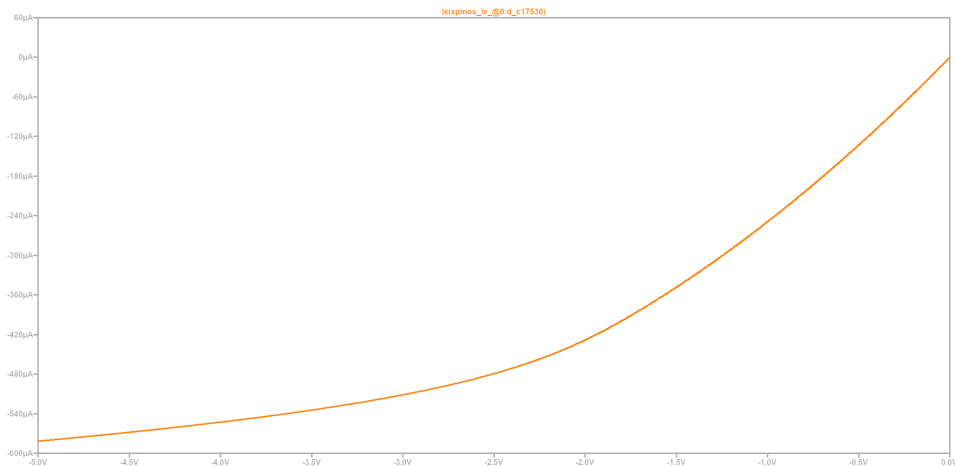


Figura 7: Curva I_{ds} vs V_{ds} del transistor PMOS

Y por último para el caso del barrido para obtener el área de operación del transistor PMOS se realizó el siguiente código para poder obtener el comportamiento que se evidencia en la Figura 8:

```
.include /home/ragnarok/Desktop/lab01-ie0311/spice.txt
VVDD VDD 0 DC 5
Vgs Vg Vs DC {Vgs_var}
Vs Vs VDD DC 0
Vds Vd Vs DC 0
.step param Vgs_var -5 0 1
.DC Vds -5 0 1m
```

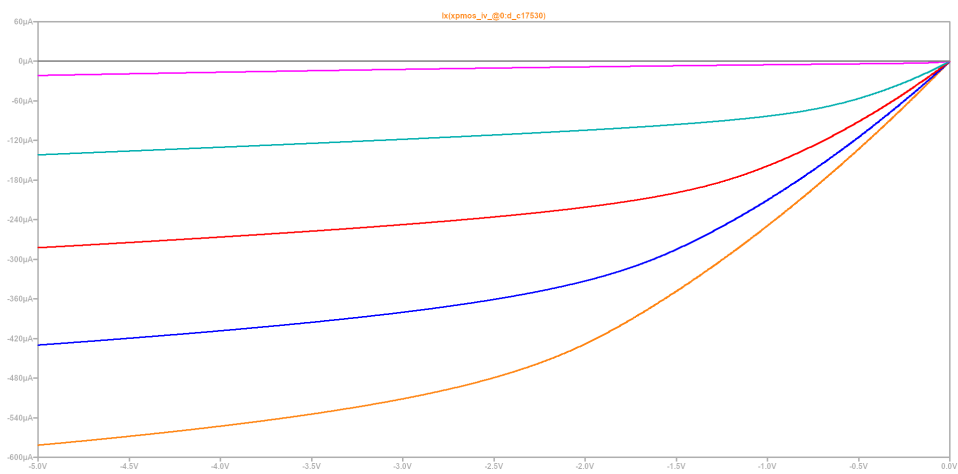


Figura 8: Curvas de operación del transistor PMOS