

UNIVERSIDAD DE COSTA RICA

Facultad de Ingeniería
Escuela de Ingeniería Eléctrica
IE0311 - Circuitos Integrados Digitales

Reporte de Laboratorio #2: *Inversores*

Profesor:

Erick Carvajal Barboza, PhD

Estudiante:

Gabriel Siles Chaves - C17530

Grupo 01

I ciclo de 2025

1. Introducción

En este laboratorio se diseñaron y analizaron inversores CMOS con diferentes relaciones de dimensionamiento entre transistores PMOS y NMOS, utilizando la herramienta Electric VLSI. Para cada configuración se desarrollaron las vistas de esquemático, ícono y layout, cumpliendo con estándares de diseño para garantizar compatibilidad y reutilización en sistemas más complejos. Posteriormente, se verificó la correspondencia entre el diseño esquemático y el layout físico mediante la herramienta de comparación entre el layout y esquemático.

Además, se realizaron simulaciones en LTSpice con el fin de obtener la curva característica de transferencia, medir el retardo de propagación ante señales cuadradas y calcular la potencia dinámica consumida por el inversor bajo condiciones de carga FO4. Estos análisis permitieron observar cómo el dimensionamiento de los transistores afecta directamente el comportamiento eléctrico del inversor, brindando así una comprensión más profunda del impacto de decisiones físicas sobre el rendimiento de circuitos digitales. [Barboza \(2025a\)](#)

2. Objetivos

- Analizar la curva V_{in} vs V_{out} de un inversor para distintas proporciones β_p / β_n .
- Simular el tiempo de ascenso y caída de un inversor.
- Analizar el consumo de potencia de un inversor.

3. Resultados

A continuación, se presentan los resultados obtenidos a partir del diseño, verificación y simulación de los tres inversores desarrollados durante el laboratorio. Para cada uno se documenta su correspondiente vista esquemática, ícono y layout, incluyendo verificaciones de integridad como DRC y NCC. Posteriormente, se detallan los resultados de las simulaciones realizadas en LTSpice: curva característica de transferencia, medición de retardo de propagación y análisis de potencia dinámica.

3.1. Inversor CMOS 20/10

El primer diseño implementado corresponde a un inversor CMOS con un dimensionamiento de $W_p = 20\lambda$ para el transistor PMOS y $W_n = 10\lambda$ para el transistor NMOS, lo cual establece una relación $\beta_p/\beta_n = 2$. Para este inversor se desarrollaron las tres vistas fundamentales, el primero es el esquemático, el cual se desarrolla cumpliendo con el DRC el cual se puede visualizar en la Figura 1. Para la segunda vista se realiza el ícono para el inversor (ver Figura 2), agregando las figuras que se encuentra en componentes de manera que se pueda representar todo el módulo del inversor.

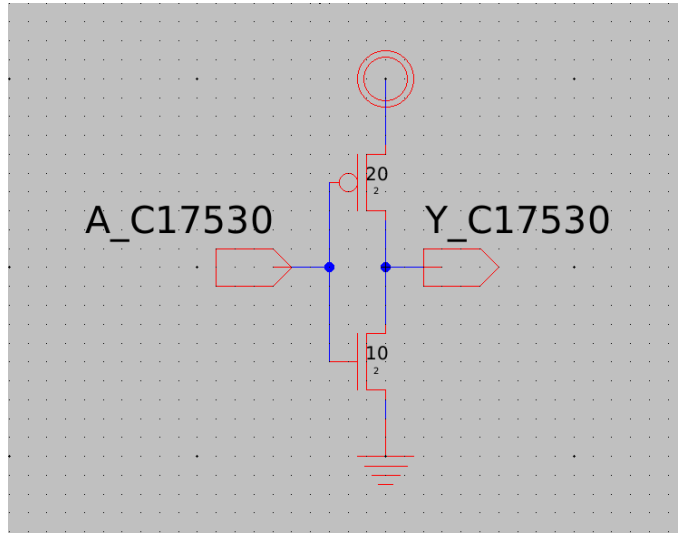


Figura 1: Esquemático Inversor CMOS 20/10

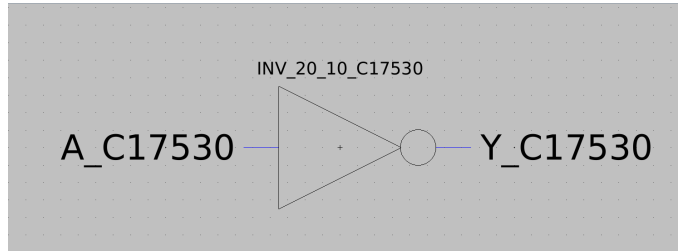


Figura 2: Ícono Inversor CMOS 20/10

Una vez completado el esquemático y el ícono, se procedió con la implementación del *layout* del inversor CMOS 20/10. El transistor PMOS se ubicó en la parte superior y el NMOS en la inferior. Durante la construcción del layout se establecieron rieles horizontales de VDD y GND utilizando metal-1, con un ancho de 8λ y separación de 80λ entre ellos. Las conexiones internas se realizaron mediante contactos y vías apropiadas, y se exportaron los pines de entrada y salida. También se incluyeron contactos de polarización (*taps*) para garantizar la correcta conexión de los pozos a sus respectivos potenciales, este diseño se puede observar en la Figura 3.

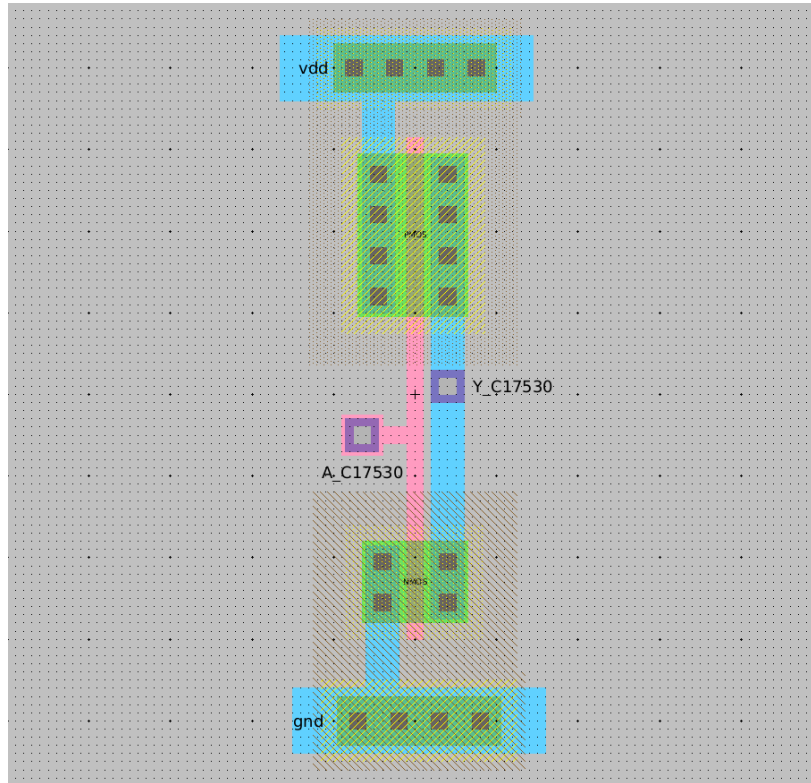


Figura 3: Layout Inversor CMOS 20/10

El resultado final fue validado con una verificación DRC, confirmando la ausencia de errores (ver Figura 4) y para la verificación NCC (Layout vs Schematic), se confirmó que se coincide topológicamente con su representación esquemática, sin presentar inconsistencias (ver Figura 5)



Figura 4: DRC Inversor CMOS 20/10

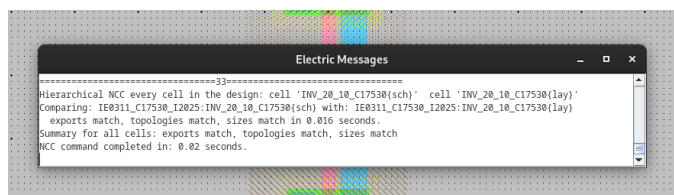


Figura 5: NCC Inversor CMOS 20/10

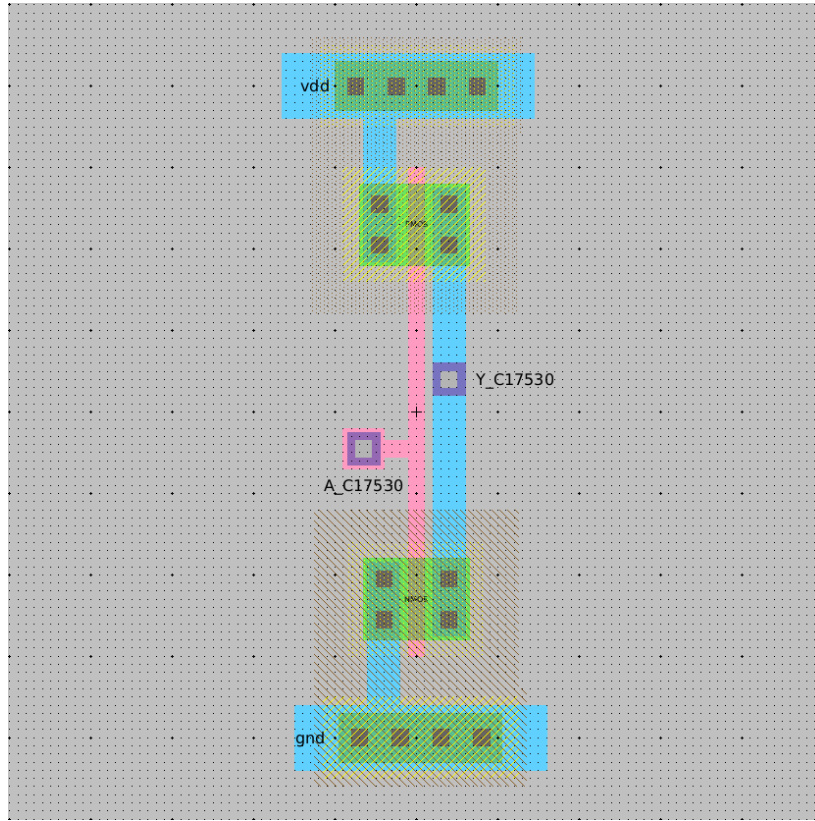


Figura 8: Layout Inversor CMOS 10/10

El diseño fue validado mediante el chequeo DRC, sin presentarse errores de diseño (ver Figura 9). Asimismo, la verificación NCC confirmó la equivalencia topológica entre el esquemático y el layout (ver Figura 10).



Figura 9: DRC Inversor CMOS 10/10

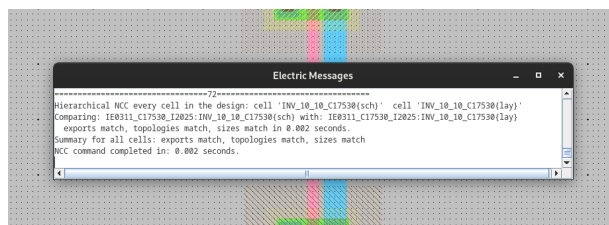


Figura 10: NCC Inversor CMOS 10/10

3.3. Inversor CMOS 15/5

El tercer diseño implementado corresponde a un inversor CMOS desbalanceado, con un dimensionamiento de $W_p = 15\lambda$ para el transistor PMOS y $W_n = 5\lambda$ para el transistor NMOS, lo cual establece una relación $\beta_p/\beta_n = 3$. Este tipo de configuración permite observar cómo una diferencia significativa entre las capacidades de conducción de ambos transistores afecta las curvas de transferencia y el comportamiento dinámico del inversor. Como en los casos anteriores, se desarrollaron las tres vistas fundamentales. La vista esquemática se diseñó cumpliendo con las reglas de conectividad y se muestra en la Figura 11. El ícono correspondiente fue construido empleando las herramientas de *artwork*, como se observa en la Figura 12.

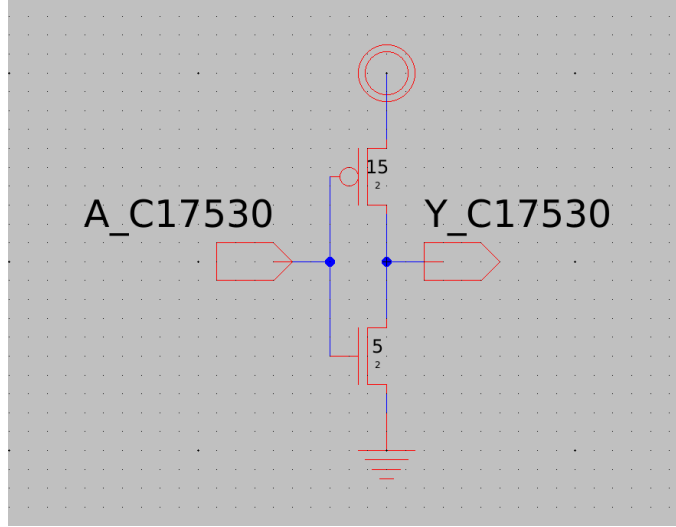


Figura 11: Esquemático Inversor CMOS 15/5

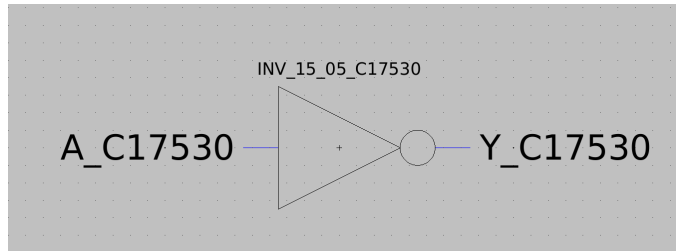


Figura 12: Ícono Inversor CMOS 15/5

Posteriormente, se diseñó la vista física del *layout*, colocando los transistores según la convención establecida: PMOS en la parte superior y NMOS en la inferior. Se utilizaron rieles de VDD y GND en metal-1 con las dimensiones estándar y se integraron las conexiones internas, exportación de pines y *taps* necesarios para el funcionamiento correcto del circuito. La Figura 13 muestra el layout final resultante para este diseño.

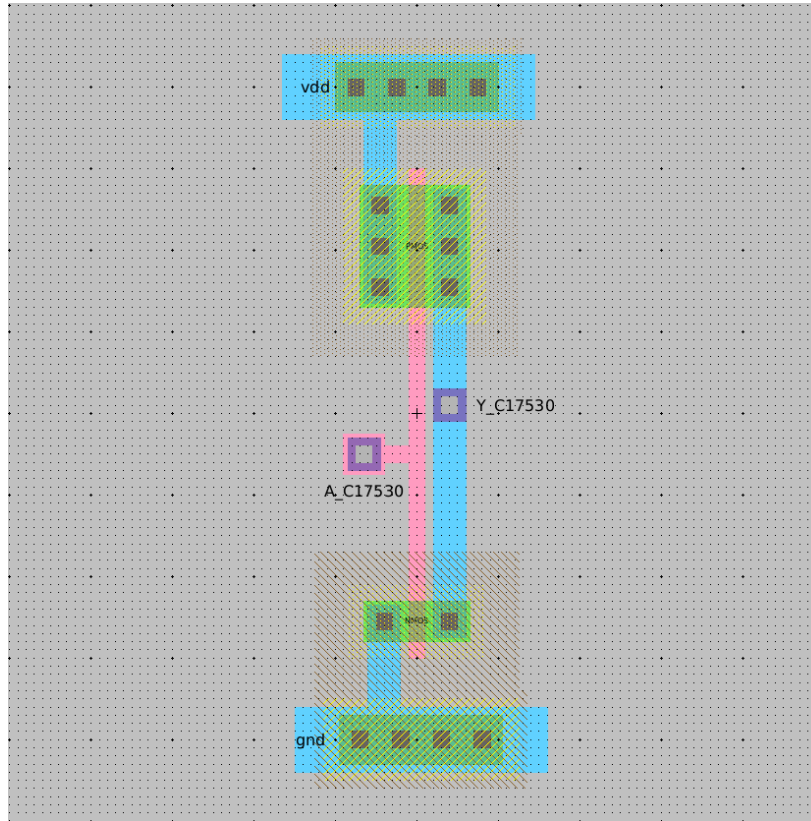


Figura 13: Layout Inversor CMOS 15/5

El diseño fue validado satisfactoriamente mediante el chequeo DRC, como se muestra en la Figura 14. Asimismo, la verificación NCC confirmó la equivalencia topológica entre el esquemático y el layout, sin discrepancias (ver Figura 15).

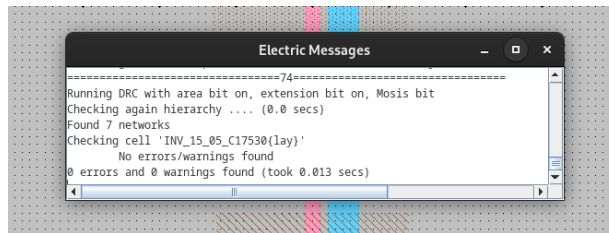


Figura 14: DRC Inversor CMOS 15/5

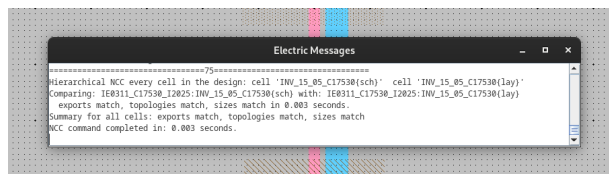


Figura 15: NCC Inversor CMOS 15/5

3.4. Curva de Transición

En esta sección se analiza el comportamiento estático de los tres inversores diseñados a través de sus curvas de transferencia V_{out} vs V_{in} . Estas curvas permiten observar el punto de conmutación del inversor y el efecto del dimensionamiento sobre su comportamiento. El análisis se realizó utilizando simulaciones DC en LTSpice, aplicando un barrido en la entrada desde 0 V hasta 5 V. El siguiente código fue empleado para configurar la simulación DC. Se incluyen las fuentes de alimentación, la señal de entrada y la inclusión del archivo con los modelos de transistores.

```
.include /home/ragnarok/Desktop/ie0311/lab02/spice.txt
* Fuentes de alimentacin
VGND gnd 0 DC 0
VDD vdd 0 DC 5
VIN vin 0 DC 0
* Analisis DC - Barrido de entrada VIN de 0 a 5 V
.DC VIN 0 5 1m
```

Listing 1: Simulación DC para inversor CMOS

En la Figura 16 se presentan las curvas características obtenidas para los tres inversores: 20/10, 10/10 y 15/5. Estas se graficaron en una misma simulación para permitir la comparación directa de los puntos de conmutación.

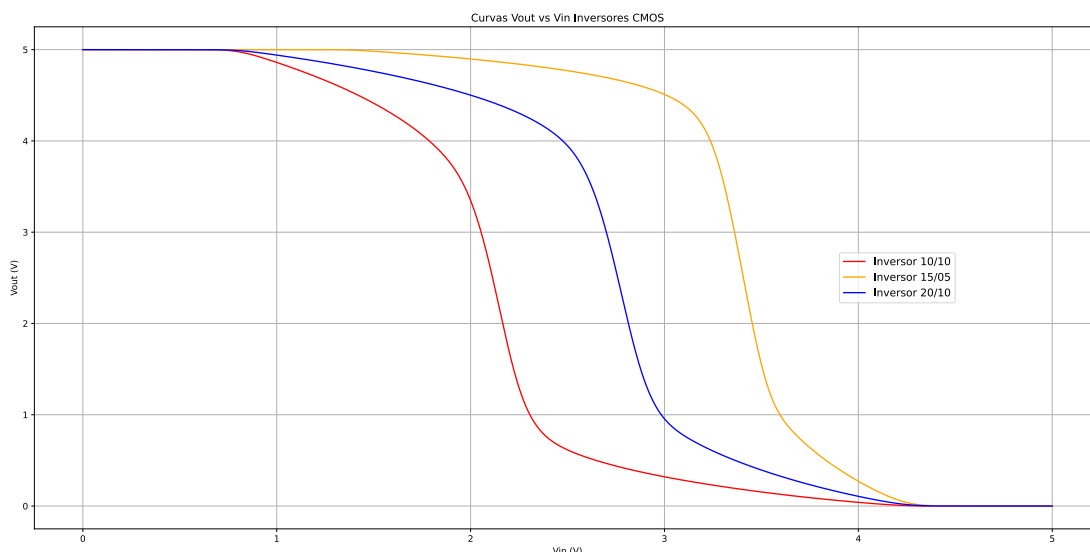


Figura 16: Curvas V_{out} vs V_{in} para los tres inversores CMOS.

A partir de las curvas de transición, se identifican las regiones donde el inversor presenta una pendiente pronunciada. El punto de conmutación ocurre cuando $V_{out} = V_{in}$, y el margen de ruido puede estimarse observando los voltajes V_{IL} (máximo voltaje de entrada reconocido como bajo) y V_{IH} (mínimo voltaje de entrada reconocido como alto). Este margen es mayor en inversores bien balanceados, como el 10/10, y se ve reducido en configuraciones asimétricas como 15/5.

Teniendo en cuenta esto para el Inversor 20/10 se definen sus márgenes de ruido con respecto a los puntos de la gráfica que se puede observar en la Figura 17.

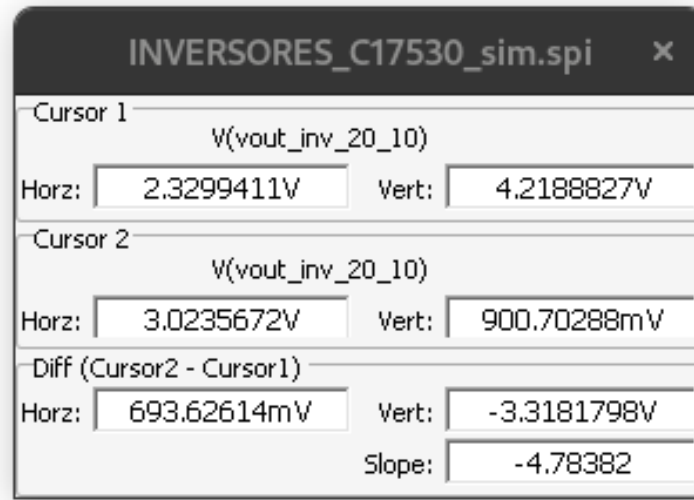


Figura 17: Valores V_{OH} , V_{IH} , V_{OL} y V_{iL}

Para obtener los márgenes se realiza el siguiente procedimiento:

$$NM_H = |V_{OH} - V_{IH}| = |4,2189 - 3,0236| = 1,1953$$

$$NM_L = |V_{OL} - V_{iL}| = |0,9007 - 2,3299| = 1,4292$$

Análisis del efecto del dimensionamiento

El comportamiento de las curvas evidencia el impacto del dimensionamiento de los transistores sobre el punto de conmutación. En el caso del inversor 20/10, el punto de transición se desplaza ligeramente hacia valores más altos de V_{in} teniendo un Hi-Skew de 2, favoreciendo una conmutación más rápida tanto para el PMOS. En el inversor 15/5, se encuentra un Hi-Skew de 3 favoreciendo mayor al transistor PMOS manteniendo una zona mayoritariamente conocida como lineal, provocando una transición más temprana hacia nivel alto. El inversor 10/10, al estar balanceado, presenta una curva más simétrica alrededor de $V_{DD}/2$. Esto confirma que la relación β_p/β_n tiene un efecto directo sobre la simetría y la velocidad de respuesta del inversor, por lo que para tanto para el transistor NMOS y PMOS se tiene un balance en las regiones de operación.

3.5. Retardo

El análisis de retardo permite evaluar el desempeño temporal del inversor, específicamente el tiempo que tarda la salida en responder ante un cambio en la entrada. Para esta sección se utilizó el inversor CMOS 20/10 bajo una carga equivalente a un *Fan-Out of 4* (FO4), es decir, la salida del inversor se conectó a las entradas de cuatro inversores del mismo tipo. Se aplicó una señal cuadrada en la entrada y se midió el comportamiento temporal tanto de $V_{in}(t)$ como $V_{out}(t)$, así como el retardo

de propagación en ambas transiciones.

La Figura 18 muestra la celda construida en Electric utilizada para realizar esta simulación, donde se incluye la fuente de entrada tipo PULSE y la carga FO4 conectada a la salida. Para las conexiones de V_{in} y V_{out} de cada uno de los inversores se utilizó metal-2, siguiendo las convenciones establecidas en el diseño físico para garantizar compatibilidad jerárquica y claridad en la ruta de señales.

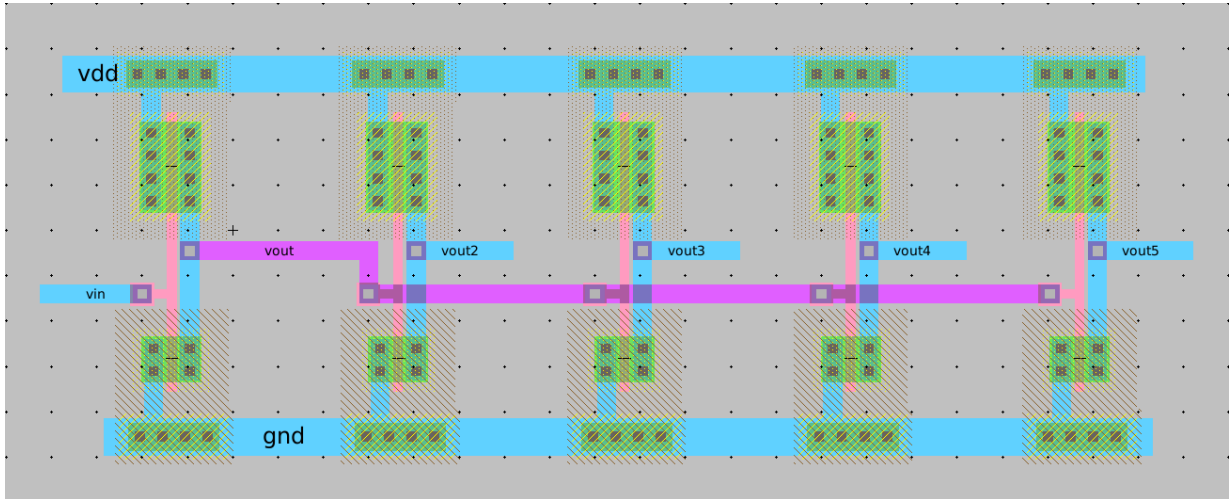


Figura 18: Celda de simulación para el análisis de retardo con FO4.

A continuación se muestra el código SPICE que define la configuración de la simulación transitoria y la señal de entrada:

```
.include /home/ragnarok/Desktop/ie0311/lab02/spice.txt
VDD vdd 0 DC 5
VIN vin 0 PULSE(0 5 0 0.1n 0.1n 5n 10n)
.tran 0 50n

* Mediciones de retardo
.MEAS t_rise TRIG V(vin) VAL=2.5 FALL=1 TARG V(vout) VAL=2.5 RISE=1
.MEAS t_fall TRIG V(vin) VAL=2.5 RISE=1 TARG V(vout) VAL=2.5 FALL=1
```

Listing 2: Simulación transitoria para análisis de retardo

La Figura 19 muestra las señales de entrada y salida del inversor en función del tiempo. Se puede observar claramente el retardo entre la transición de entrada y la respuesta de la salida.

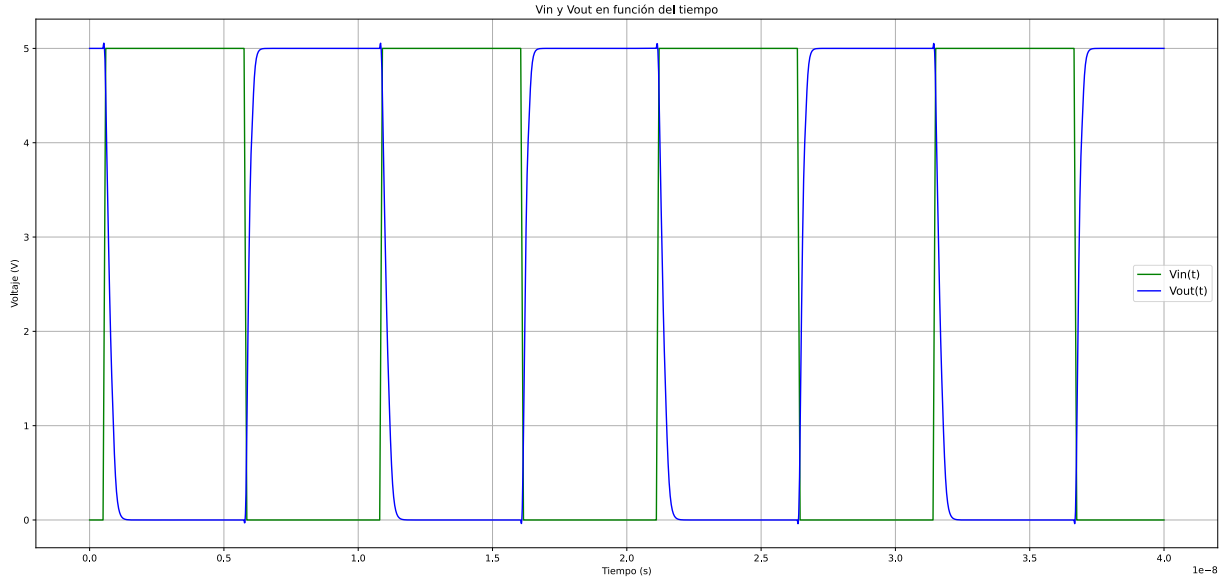


Figura 19: Curvas $V_{in}(t)$ y $V_{out}(t)$ para el inversor CMOS 20/10.

A partir de las instrucciones `.MEAS` en SPICE, se obtuvieron automáticamente los valores de tiempo de subida (t_{rise}) y tiempo de bajada (t_{fall}) desde el *SPICE Error Log*. Estos valores se basan en la diferencia de tiempo entre la transición de la entrada y el cruce del 50% de la tensión de salida. En la Figura 20 se presenta la captura del log de simulación donde se observan las mediciones obtenidas. Barboza (2025b)

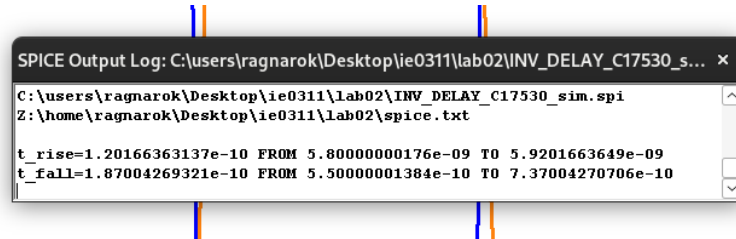


Figura 20: Captura del SPICE Error Log con mediciones de retardo de subida y bajada.

Análisis del comportamiento del retardo

El análisis temporal revela que las transiciones no son simétricas. En particular, el retardo de subida es ligeramente menor que el de bajada, teniendo una diferencia de 66.84 ps, lo cual se explica por el dimensionamiento del inversor 20/10, donde el PMOS es más ancho y, por lo tanto, conduce más corriente que el NMOS. Esta asimetría provoca que la transición de bajo a alto (activada por el PMOS) sea más rápida. Estos resultados son coherentes con el dimensionamiento $\beta_p/\beta_n = 2$ y validan la influencia del ancho de canal sobre la velocidad de conmutación. Se debe tener en consideración los inversores adicionales (Fan-Out of 4) los cuales agregan carga capacitiva, generando que exista un mayor retardo a diferencia a un caso hipotético de un único inversor

3.6. Potencia Dinámica

El análisis de potencia dinámica permite estimar el consumo energético del inversor CMOS 20/10 durante la conmutación de estados. Esta potencia está asociada a la corriente suministrada por la fuente de alimentación V_{DD} mientras el inversor realiza trabajo útil (transiciones de 0 a 1 y viceversa). Se utiliza la misma configuración empleada en el análisis de retardo: una señal cuadrada de entrada aplicada a un inversor cargado con FO4.

La potencia dinámica se calcula como el producto de la tensión de alimentación y la corriente suministrada al inversor durante las transiciones. Esta relación se muestra en la Figura 21, la cual fue ingresada manualmente en LTSpice para graficar la curva de potencia dinámica. [Weste and Harris \(2011\)](#)

$$P_{din}(t) = V_{DD} \cdot I_{DD}(t)$$

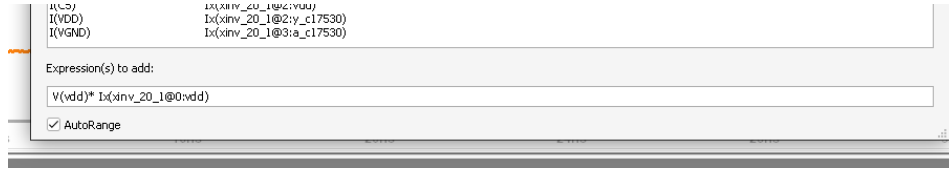


Figura 21: Expresión usada para calcular la potencia dinámica en LTSpice.

En la Figura 22, se muestran las curvas de corriente de alimentación y voltaje de salida del inversor en función del tiempo. Estas curvas permiten visualizar el comportamiento del circuito durante las transiciones.

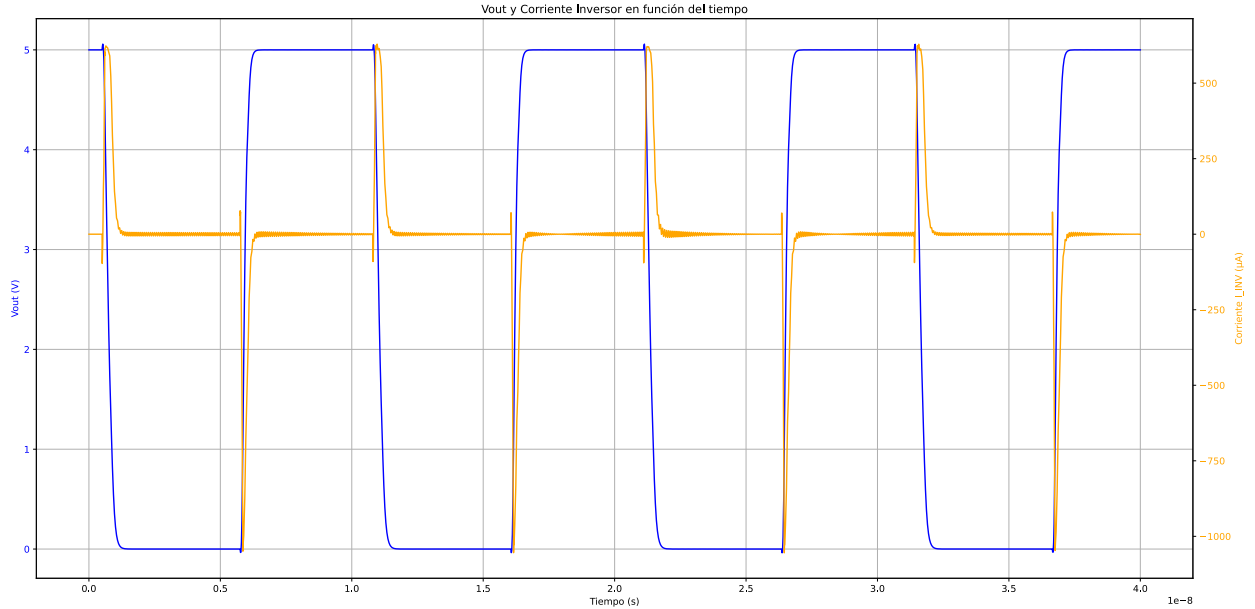


Figura 22: Curvas de $I_{DD}(t)$ y $V_{out}(t)$ para el inversor CMOS 20/10.

Usando la herramienta de trazado de expresiones en LTSpice, se graficó el producto $V_{DD} \cdot I_{DD}(t)$, correspondiente a la potencia dinámica instantánea. La Figura 23 presenta esta curva.

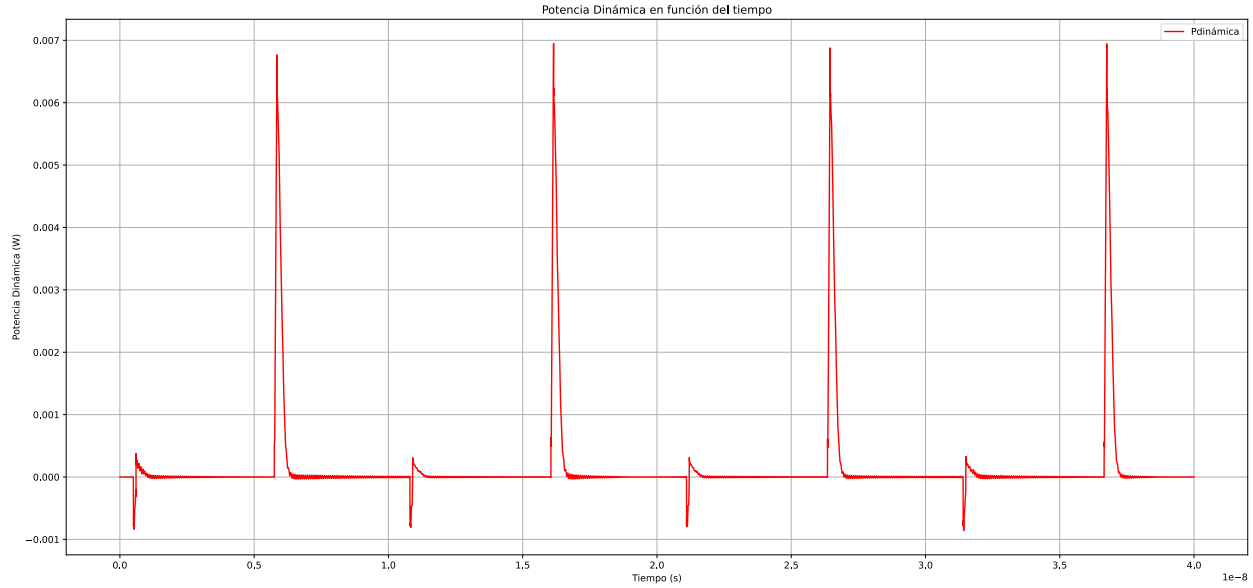


Figura 23: Curva de potencia dinámica $P_{din}(t)$ del inversor CMOS 20/10.

Análisis del comportamiento de potencia

El análisis muestra como se presentan picos pronunciados durante las transiciones al poner un uno, en este caso cuando el PMOS se enciende, generando potencia dinámica y consumiendo un valor aproximado de 6.87 mW. Estos picos corresponden a periodos donde existe corriente de cortocircuito temporal. Debido al dimensionamiento $\beta_p/\beta_n = 2$, se observa que las transiciones de bajo a alto generan un mayor consumo momentáneo, ya que el PMOS conduce con mayor intensidad. En estado estable, el consumo es prácticamente nulo, lo cual es característico de las compuertas CMOS. Es importante tomar en cuenta que se tienen conectado cuatro transistores a la salida por lo que existe una carga F04 la cual aumenta una carga capacitiva generando un mayor retardo. Al tener esa carga capacitiva se requerirá mas corriente para cargar y descargar las cargas en las transiciones, por lo que esto se puede notar en los picos altos de potencia dinámica que se observan la Figura 23.

Referencias

- Barboza, E. C. (2025a). *Laboratorio #2: Inversores*. Escuela de Ingeniería Eléctrica, Universidad de Costa Rica. Adaptado a partir del proyecto de Lorian Sanabria Sancho, 2012.
- Barboza, E. C. (2025b). Operación del inversor cmos. Presentación PDF. Material de curso, IE0311 – Circuitos Integrados Digitales, Universidad de Costa Rica.
- Weste, N. H. E. and Harris, D. (2011). *CMOS VLSI Design: A Circuits and Systems Perspective*. Addison-Wesley, 4 edition.