

UNIVERSIDAD DE COSTA RICA

Facultad de Ingeniería
Escuela de Ingeniería Eléctrica
IE0311 - Circuitos Integrados Digitales

Reporte de Laboratorio #3: *Compuertas Lógicas*

Profesor:

Erick Carvajal Barboza, PhD

Estudiante:

Gabriel Siles Chaves - C17530

Grupo 01

I ciclo de 2025

Índice

1. Introducción	2
2. Objetivos	2
3. Resultados	2
3.1. NAND2 10/10	2
3.2. NOR2 20/05	4
3.3. Compuertas básicas - Curva de transición	7
3.3.1. NAND2 10/10	7
3.3.2. NOR2 20/05	9
3.3.3. Análisis de Resultados	10
3.4. Compuertas básicas - Retardo	10
3.4.1. NAND2 10/10	10
3.4.2. NOR2 20/05	13
3.4.3. Análisis de resultados	15
3.5. AOI21	15
3.6. Compuertas compuestas - Retardo	18

1. Introducción

Este laboratorio se centra en el diseño, simulación y análisis de compuertas lógicas utilizando la herramienta Electric. A lo largo del laboratorio se trabajará con tres compuertas específicas: NAND2, NOR2 y AOI21. Para cada una se realizarán las tres vistas fundamentales (esquemático, layout e ícono) y se validarán mediante reglas de diseño (DRC) y verificación de conectividad (NCC). Además, se analizarán las curvas características (V_{out} vs V_{in}) y los retardos de propagación tanto de subida como de bajada (t_{pdr} y t_{pdf}), considerando diferentes cargas de fanout (FO0, FO4 y FO16). Con esto, se busca entender cómo la topología del circuito, la posición de las entradas y la carga conectada afectan el desempeño temporal de cada compuerta, permitiendo tomar decisiones de diseño más informadas en aplicaciones donde el tiempo de respuesta es crítico.

2. Objetivos

- Comparar por medio de simulaciones el tiempo de respuesta de distintas compuertas.
- Comprender el efecto del fanout en los tiempos de ascenso y caída de una compuerta.
- Comprender cómo la topología del circuito afecta el rendimiento del diseño.

Barboza (2025)

3. Resultados

En esta sección se presentan los resultados obtenidos a partir de las simulaciones realizadas para las compuertas NAND2, NOR2 y AOI21.

3.1. NAND2 10/10

A continuación, se presentan las figuras correspondientes al diseño de cada compuerta, incluyendo las vistas de esquemático, layout, verificación de reglas de diseño (DRC), verificación de conectividad (NCC) y el ícono. Todas estas vistas fueron realizadas siguiendo las especificaciones indicadas en el laboratorio y cumplen correctamente con los criterios de validación establecidos por la herramienta Electric. La compuerta NAND2 fue diseñada con transistores PMOS y NMOS de 10λ de ancho cada uno, siguiendo una configuración simétrica.

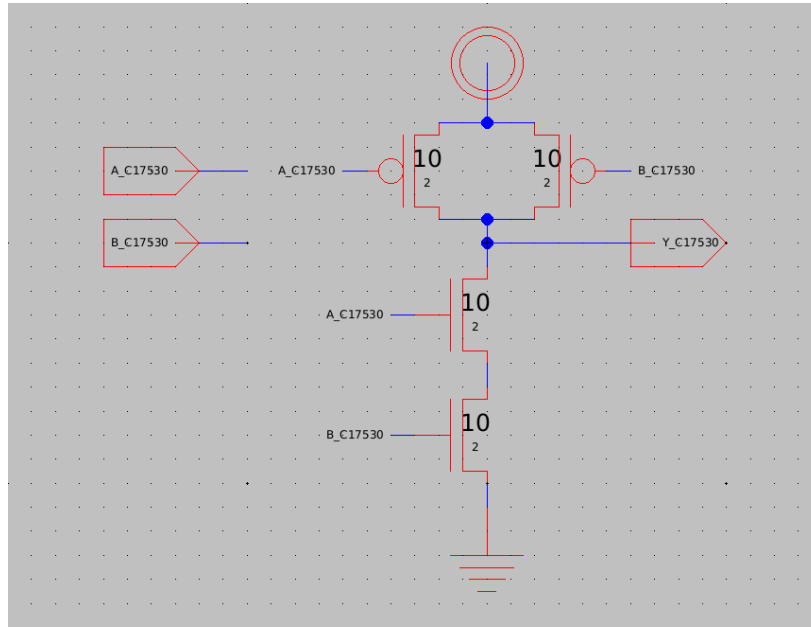


Figura 1: Esquemático de la compuerta NAND2 10-10

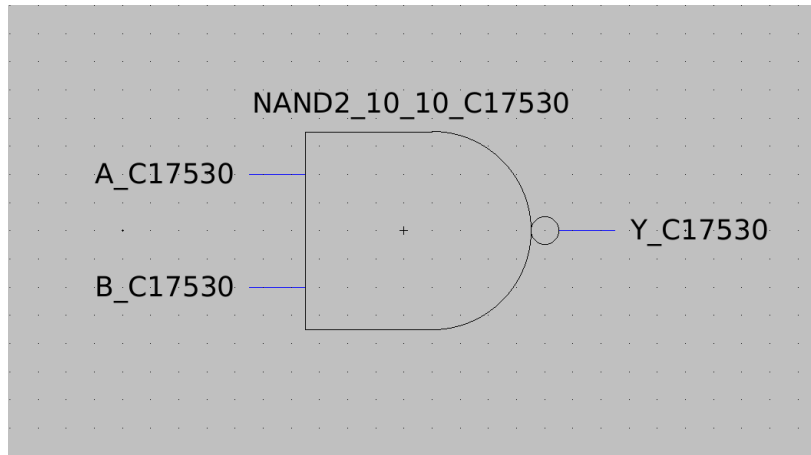


Figura 2: Ícono de la compuerta NAND2 10-10

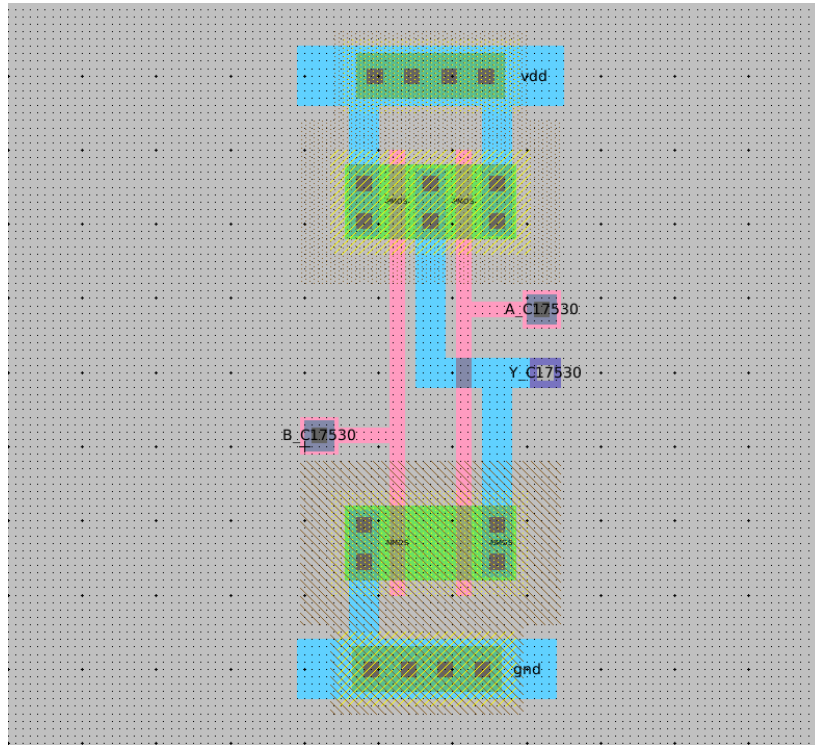


Figura 3: Layout de la compuerta NAND2 10-10

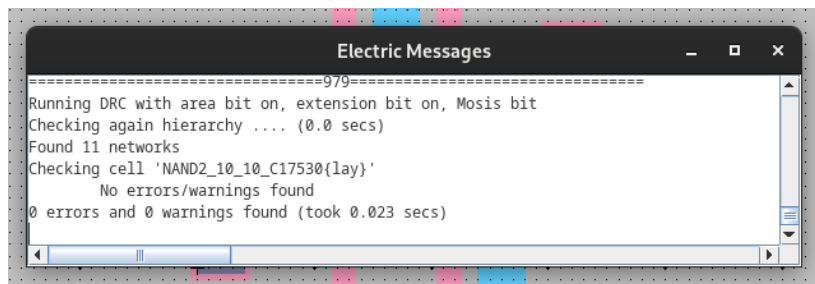


Figura 4: DRC de la compuerta NAND2 10-10

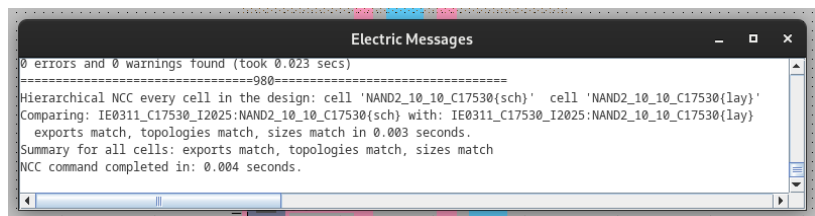


Figura 5: ncc de la compuerta NAND2 10-10

3.2. NOR2 20/05

A continuación se muestran las vistas generadas para la compuerta NOR2, las cuales incluyen el esquemático, layout, verificación de reglas de diseño (DRC), verificación de conectividad (NCC) y el

ícono. Cada una de estas vistas fue desarrollada siguiendo las dimensiones y convenciones establecidas en la guía del laboratorio, y todas cumplen con los requisitos de diseño y validación exigidos por la herramienta Electric. La compuerta **NOR2** utiliza transistores PMOS de 20λ y NMOS de 5λ , lo que le da una topología sesgada orientada a mejorar el balance entre velocidad de subida y bajada.

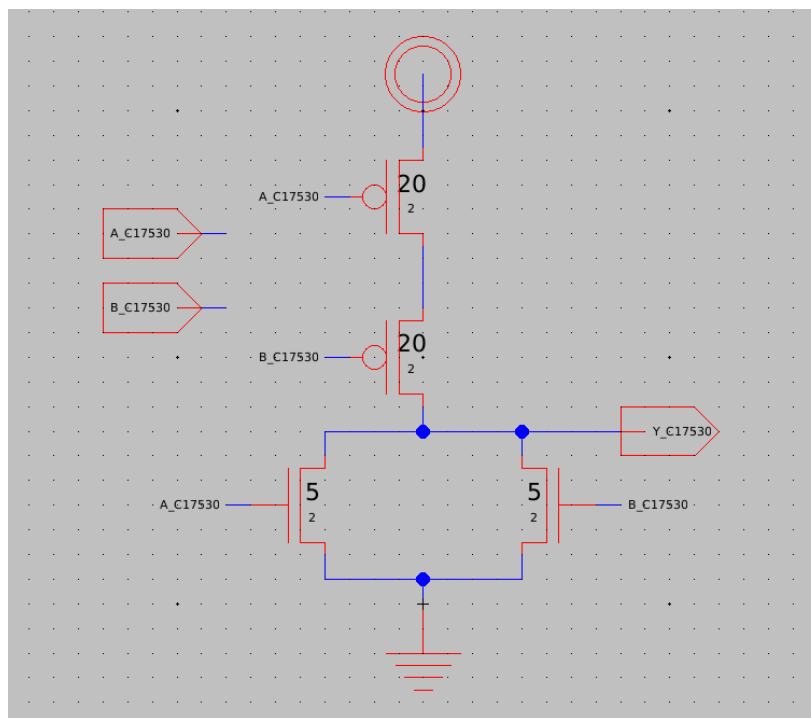


Figura 6: Esquemático de la compuerta NOR2 20-05

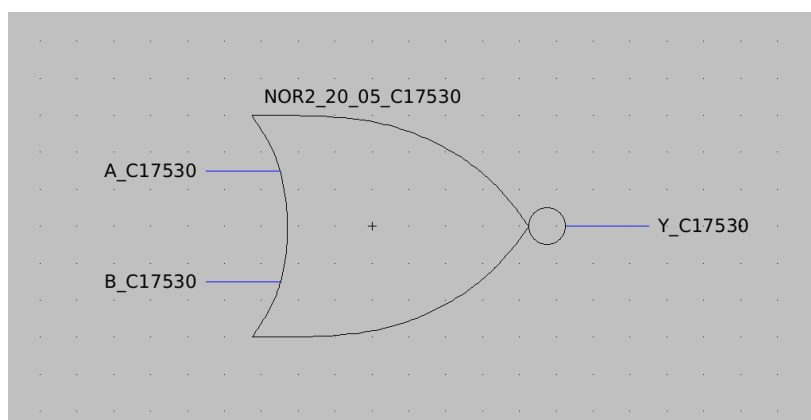


Figura 7: Ícono de la compuerta NOR2 20-05

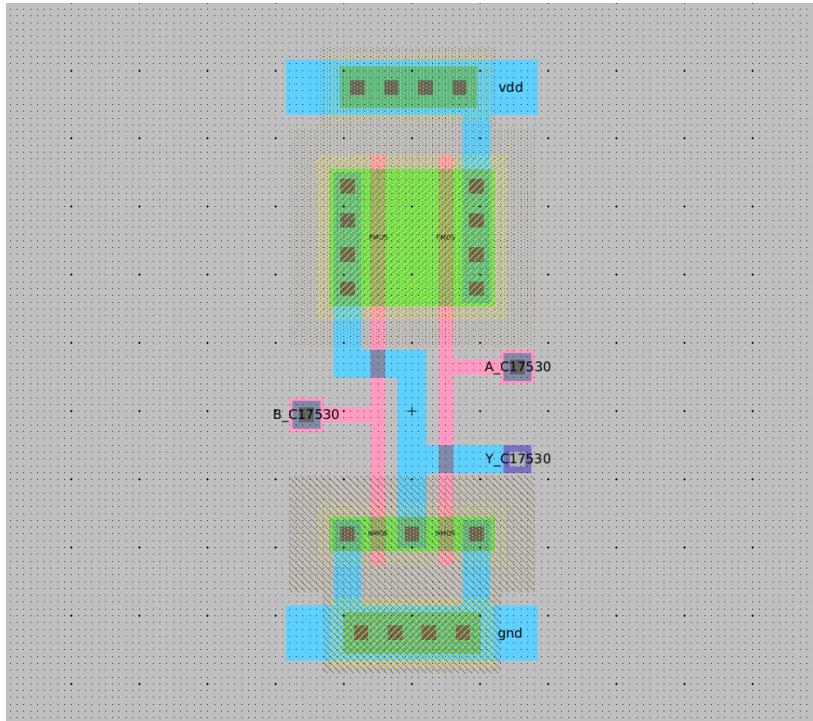


Figura 8: Layout de la compuerta NOR2 20-05

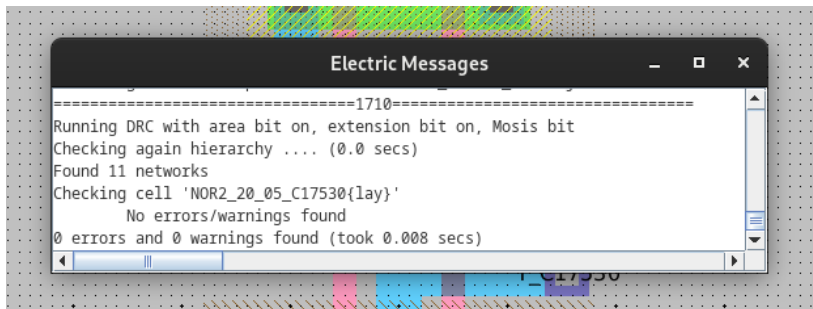


Figura 9: DRC de la compuerta NOR2 20-05

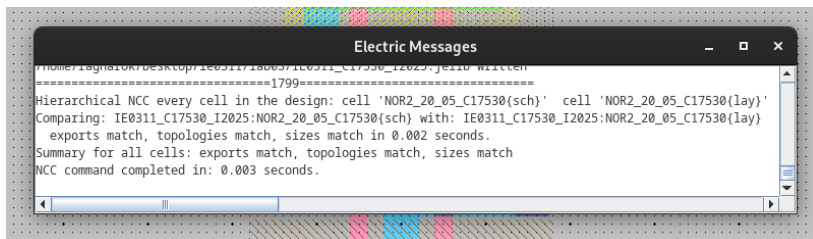


Figura 10: NCC de la compuerta NOR2 20-05

3.3. Compuertas básicas - Curva de transición

3.3.1. NAND2 10/10

A continuación se presenta el código SPICE utilizado para simular el comportamiento de la compuerta **NAND2**. En la Figura 11 se muestran las curvas características obtenidas, donde se analizan las variaciones de V_{out} en función de las entradas V_A , V_B y la condición $V_A = V_B = V_{in}$.

Código Spice

```
1 .include /home/ragnarok/Desktop/ie0311/lab03/spice.txt
2 * NAND2 10-10
3 * Fuentes de alimentacion
4 VGND gnd 0 DC 0
5 VDD vdd 0 DC 5
6 VIN vin 0 DC 0
7 VA Va 0 DC 5
8 VB Vb 0 DC 5
9 *Barrido
10 .DC VIN 0 5 1m
```

Listing 1: Circuito SPICE para análisis de curvas NAND

Curvas de transición

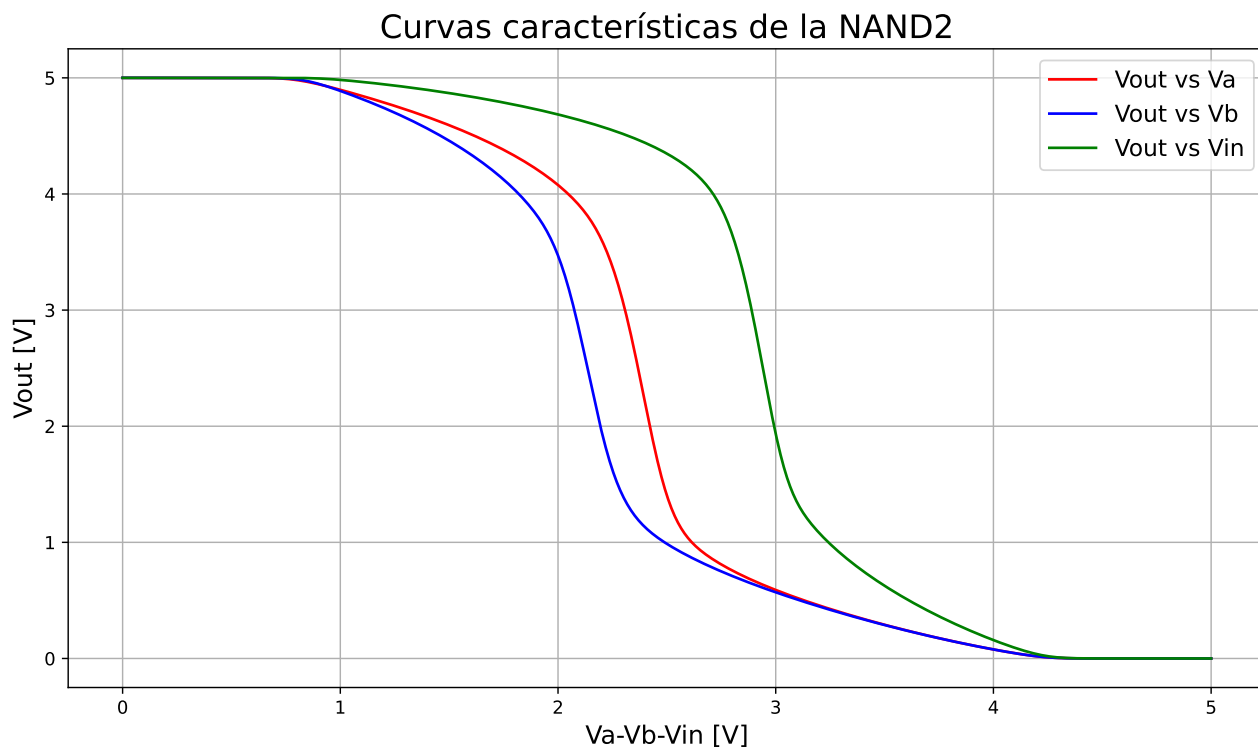


Figura 11: Curvas de transición NAND2 10-10

Análisis de resultados

Las curvas características obtenidas para la compuerta NAND2 permiten analizar cómo varía la salida en función del voltaje aplicado a las entradas. Al mantener una entrada fija y variar la otra, se observan diferencias en el punto en que la salida comienza a cambiar, lo que sugiere que una de las entradas tiene mayor influencia sobre la conmutación. El transistor más cercano a tierra tiende a tener mayor control sobre la conducción. Por otro lado, cuando ambas entradas varían simultáneamente, la transición de la salida ocurre de forma más gradual, ya que se requiere que ambas alcancen niveles altos a la vez para que la compuerta reaccione. Estas diferencias reflejan cómo la topología del circuito afecta el comportamiento estático de la compuerta y permiten identificar cuál entrada tiene un impacto más directo en la conmutación de salida.

3.3.2. NOR2 20/05

A continuación se presenta el código SPICE utilizado para simular la compuerta **NOR2**, seguido por las curvas características obtenidas mediante barridos de voltaje en sus entradas.

Código Spice

```
1 .include /home/ragnarok/Desktop/ie0311/lab03/spice.txt
2 * NOR2 20-05
3 * Fuentes de alimentacion
4 VGND gnd 0 DC 0
5 VDD vdd 0 DC 5
6 VIN vin 0 DC 0
7 VA Va 0 DC 0
8 VB Vb 0 DC 0
9 *Barrido
10 .DC VIN 0 5 1m
```

Listing 2: Circuito SPICE para análisis de curvas NAND

Curvas de transición

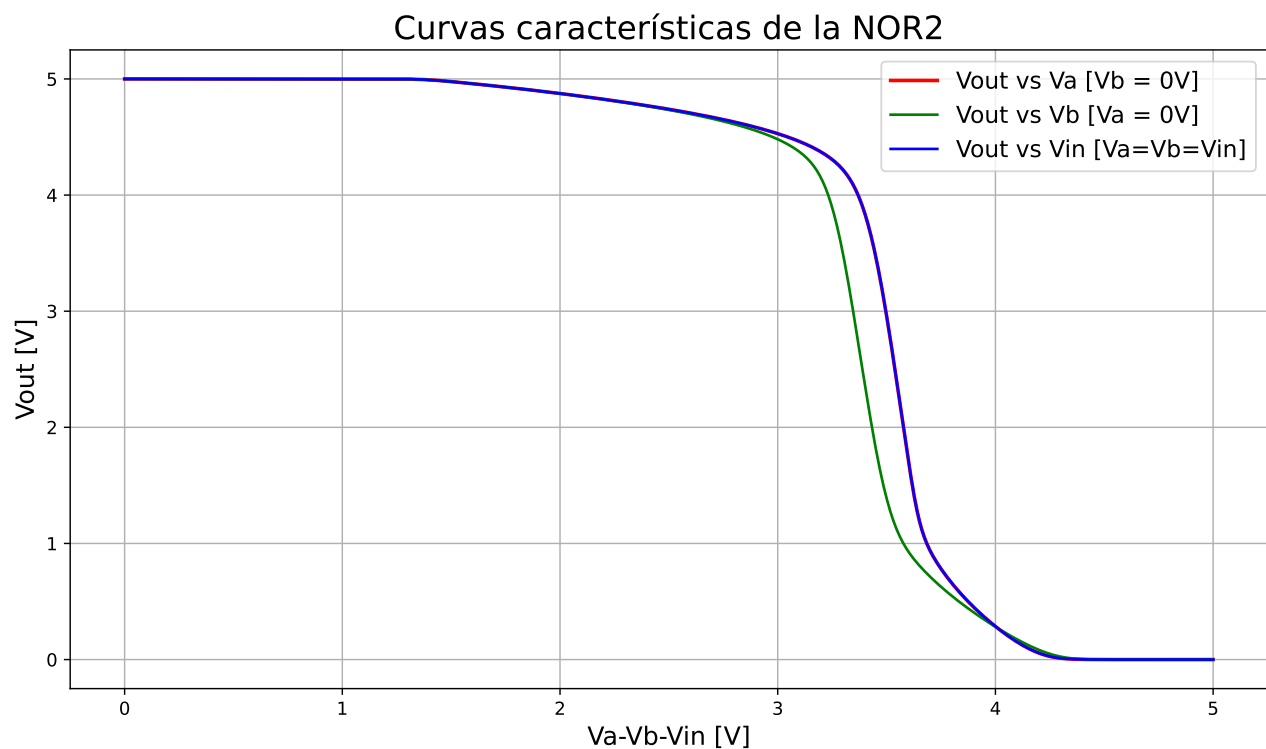


Figura 12: Curvas de transición NOR2 20-05

Análisis de resultados

Las curvas características de la compuerta **NOR2** muestran un comportamiento bastante simétrico entre sus entradas. La salida se mantiene en alto mientras ambas entradas estén en bajo, y comienza a caer cuando al menos una de ellas se aproxima al nivel alto. Las pequeñas diferencias entre las curvas individuales sugieren una ligera asimetría en la topología del circuito, posiblemente

Código Spice NAND2 10/10

```

1 .include /home/ragnarok/Desktop/ie0311/lab02/spice.txt
2 * Fuentes de alimentaci n
3 VGND gnd 0 DC 0
4 VDD vdd 0 DC 5
5 VB Vb 0 DC 5
6 VA Va 0 PULSE 0 5 0.5n 0.1n 0.1n 7.65n 15.30n
7 * An lisis Transitorio - Funcion tiempo
8 .tran 0 40n
9 * Retardos FO0
10 .MEAS t_rise_F00 TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F00)=2.5 RISE=1
11 .MEAS t_fall_F00 TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F00)=2.5 FALL=1
12 * Retardos FO4
13 .MEAS t_rise_F04 TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F04)=2.5 RISE=1
14 .MEAS t_fall_F04 TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F04)=2.5 FALL=1
15 * Retardos FO16
16 .MEAS t_rise_F016 TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F016)=2.5 RISE=1
17 .MEAS t_fall_F016 TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F016)=2.5 FALL=1

```

Listing 3: Circuito SPICE para análisisde curvas NAND

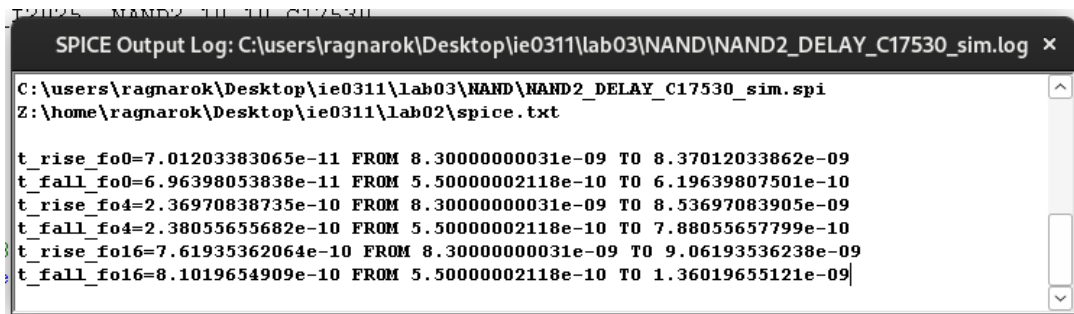


Figura 14: Captura SPICE Output Log NAND2 10-10

Unidad [ps]	Fan-Out = 0		Fan-Out = 4		Fan-Out = 16	
Compuerta	t_{pdr}	t_{pdf}	t_{pdr}	t_{pdf}	t_{pdr}	t_{pdf}
NAND2	70.12	69.64	236.97	238.56	761.94	810.20

Tabla 1: Mediciones de retardos para NAND2 10/10

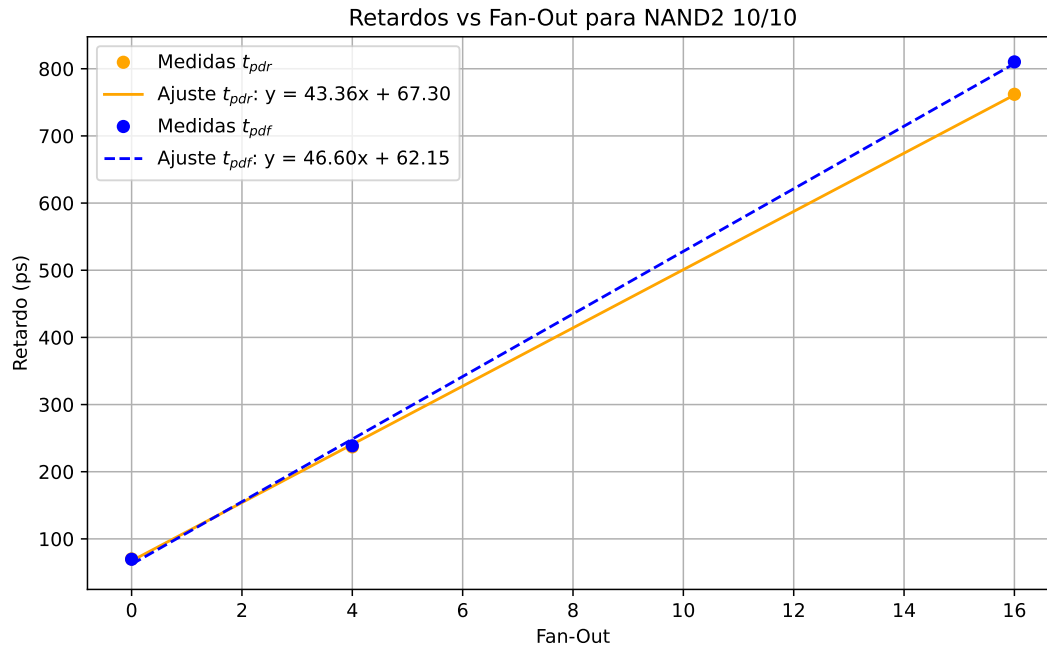


Figura 15: Gráficas de t_{pdr} y t_{pdf} vs fanout NAND2 10/10

Rectas de mejor ajuste con ecuación

- Para el retardo de propagación a la bajada (t_{pdr}), la recta de mejor ajuste obtenida es:

$$t_{pdr}(x) = 43,36x + 67,30$$

- Para el retardo de propagación a la subida (t_{pdf}), la ecuación ajustada es:

$$t_{pdf}(x) = 46,60x + 62,15$$

3.4.2. NOR2 20/05

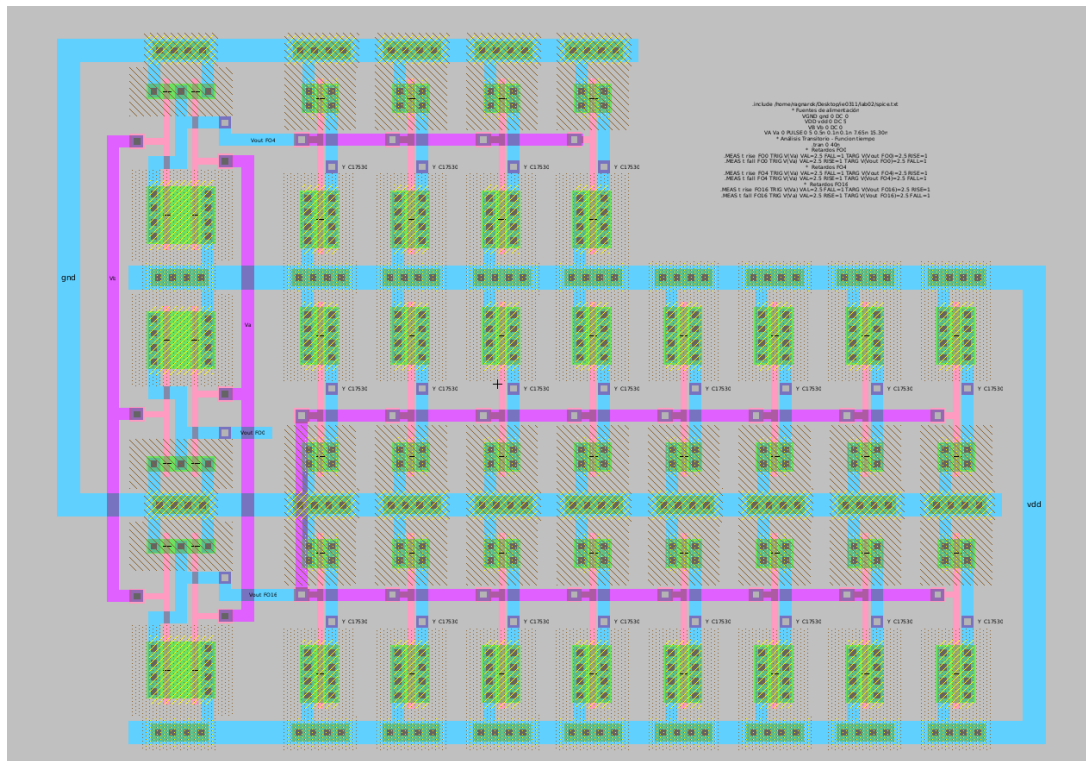


Figura 16: Celda a simular NOR2 20-05

Código Spice NOR2 20/05

```

1 .include /home/ragnarok/Desktop/ie0311/lab02/spice.txt
2 * Fuentes de alimentacion
3 VGND gnd 0 DC 0
4 VDD vdd 0 DC 5
5 VB Vb 0 DC 0
6 VA Va 0 PULSE 0 5 0.5n 0.1n 0.1n 7.65n 15.30n
7 * Analisis Transitorio - Funcion tiempo
8 .tran 0 40n
9 * Retardos F00
10 .MEAS t_rise_F00 TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F00)=2.5 RISE=1
11 .MEAS t_fall_F00 TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F00)=2.5 FALL=1
12 * Retardos F04
13 .MEAS t_rise_F04 TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F04)=2.5 RISE=1
14 .MEAS t_fall_F04 TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F04)=2.5 FALL=1
15 * Retardos F016
16 .MEAS t_rise_F016 TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F016)=2.5 RISE=1
17 .MEAS t_fall_F016 TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F016)=2.5 FALL=1

```

Listing 4: Circuito SPICE para análisisde curvas NAND

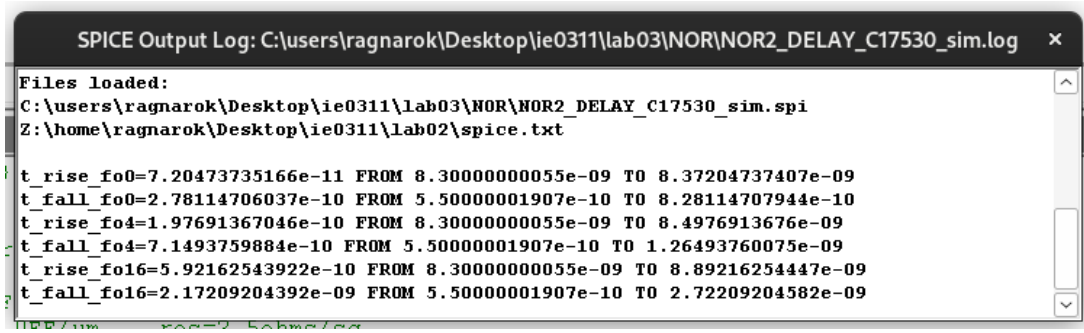


Figura 17: Captura SPICE Output Log NOR2 20-05

Unidad [ps]	Fan-Out = 0		Fan-Out = 4		Fan-Out = 16	
Compuerta	t_{pdr}	t_{pdf}	t_{pdr}	t_{pdf}	t_{pdr}	t_{pdf}
NOR2	72.05	278.11	197.69	714.94	592.16	2172.09

Tabla 2: Mediciones de retardos para NOR2 20/05

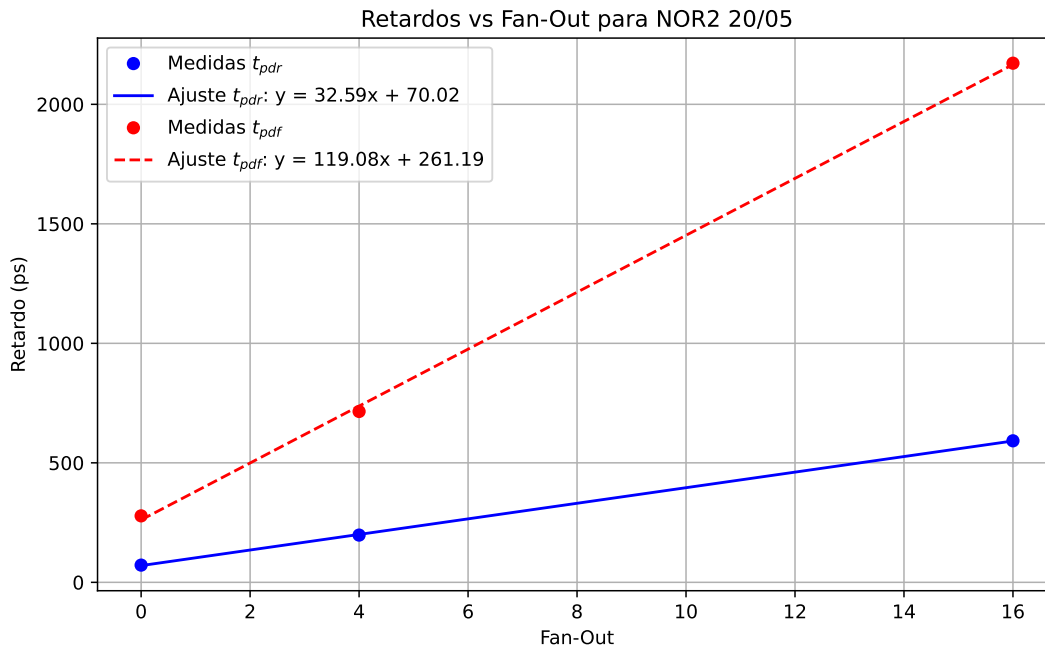


Figura 18: Gráficas de t_{pdr} y t_{pdf} vs fanout NOR2 20/05

Rectas de mejor ajuste con ecuación

- En el caso del retardo a la bajada (t_{pdr}) de la compuerta NOR2, se obtuvo la recta de ajuste:

$$t_{pdr}(x) = 32,59x + 70,02$$

- Para el retardo a la subida (t_{pdf}), la ecuación ajustada fue:

$$t_{pdf}(x) = 119,08x + 261,19$$

3.4.3. Análisis de resultados

Unidad [ps]	Fan-Out = 0		Fan-Out = 4		Fan-Out = 16	
Compuerta	t_{pdr}	t_{pdf}	t_{pdr}	t_{pdf}	t_{pdr}	t_{pdf}
NAND2	70.12	69.64	236.97	238.56	761.94	810.20
NOR2	72.05	278.11	197.69	714.94	592.16	2172.09

Tabla 3: Mediciones de retardos para ambas compuertas

El análisis de los tiempos de retardo muestra que ambas compuertas presentan un aumento en t_{pdr} y t_{pdf} conforme se incrementa el fan-out, como era de esperarse debido a la mayor carga capacitiva en la salida. Sin embargo, la **NAND2** mantiene valores de retardo considerablemente más bajos que la **NOR2**, especialmente en el retardo de subida (t_{pdf}), donde la NOR2 alcanza valores muy elevados. Esto se ve reflejado también en las pendientes de las rectas de ajuste: mientras que la NAND2 presenta pendientes moderadas (43.36 y 46.60), la NOR2 tiene una pendiente especialmente alta para t_{pdf} (119.08), lo que indica que su tiempo de respuesta se degrada mucho más con cargas elevadas. Por tanto, la compuerta más rápida en general es la **NAND2**, ya que tiene menor retardo tanto en condiciones sin carga como con fan-out alto. Si se tuviera una señal crítica que requiere una conmutación rápida, se debería conectar a la entrada de mayor influencia en la salida. En el caso de la NAND2, esa sería la entrada conectada al transistor NMOS más cercano a tierra (probablemente B), mientras que en la NOR2 se podría seleccionar cualquiera de las entradas, ya que su comportamiento es más simétrico.

3.5. AOI21

A continuación se muestran las vistas correspondientes al diseño de la compuerta AOI21, incluyendo el esquemático, el layout, el ícono, y las verificaciones de reglas de diseño (DRC) y conectividad (NCC). Todas estas vistas fueron construidas siguiendo las especificaciones establecidas en el laboratorio, utilizando los anchos y disposiciones indicadas. Cada componente fue validado correctamente, asegurando que el diseño sea funcional y conforme a las reglas del entorno de simulación.

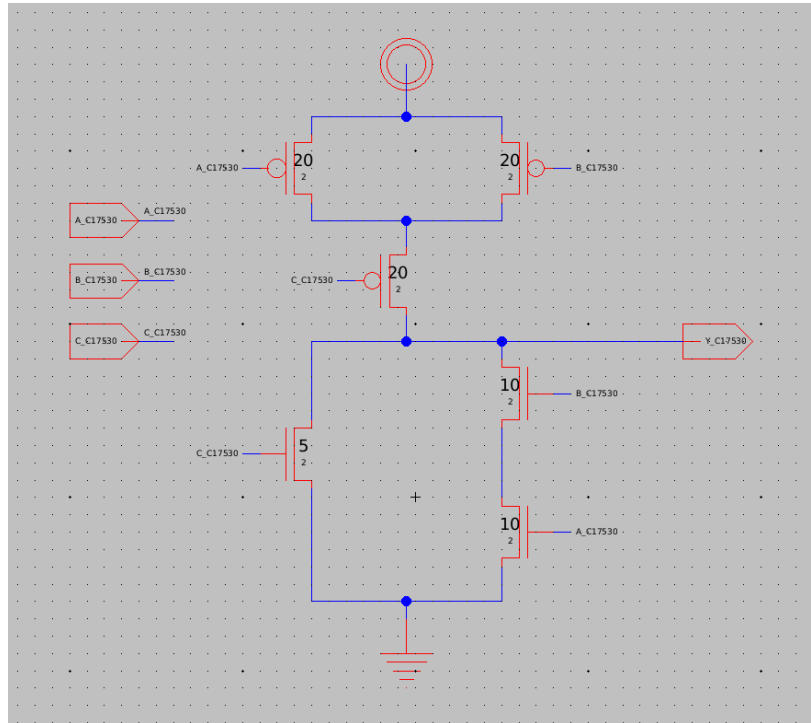


Figura 19: Esquemático del AOI21

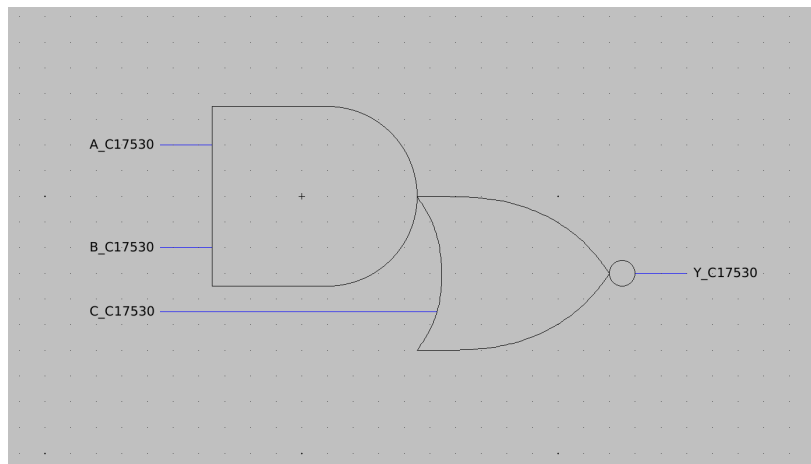


Figura 20: Ícono del AOI21

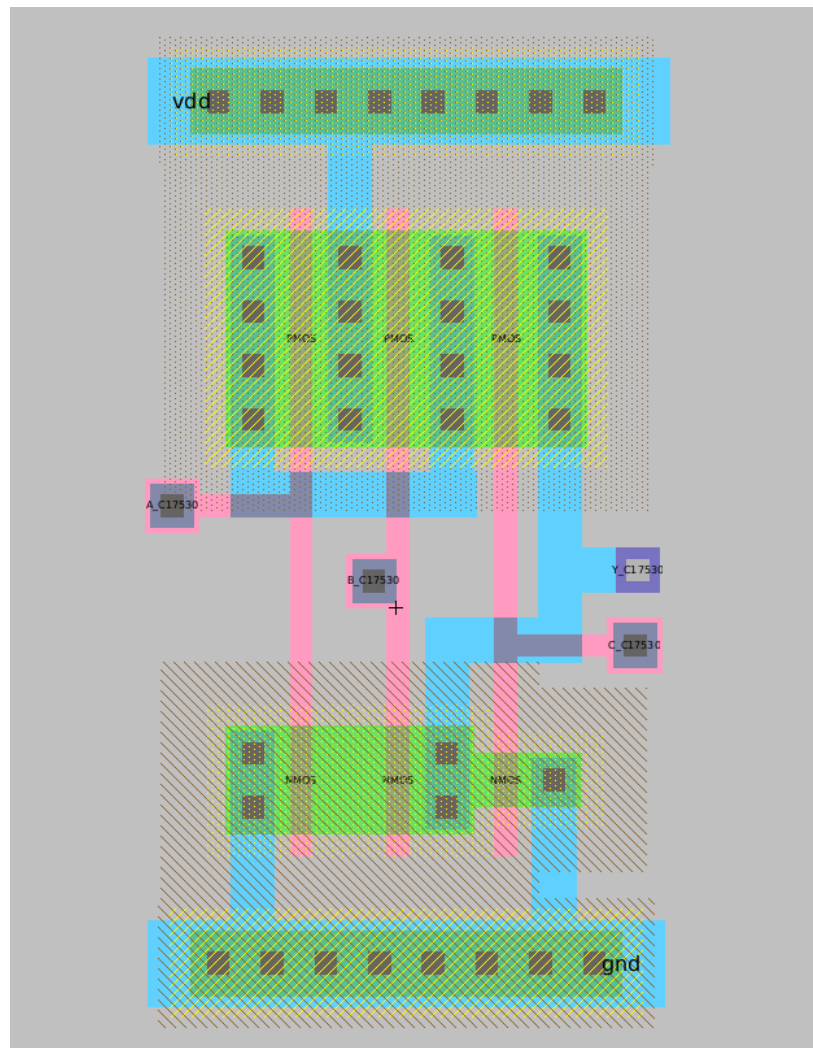


Figura 21: Layout del AOI21

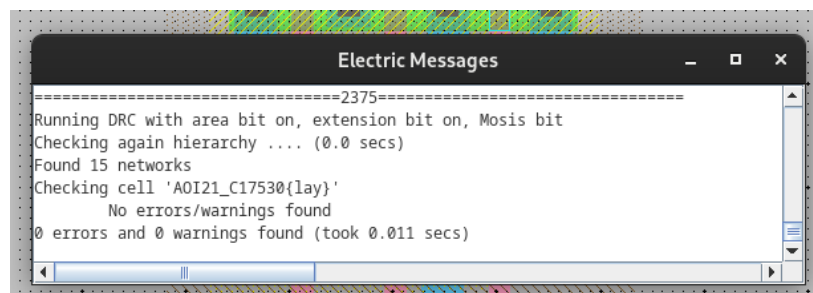


Figura 22: DRC del AOI21

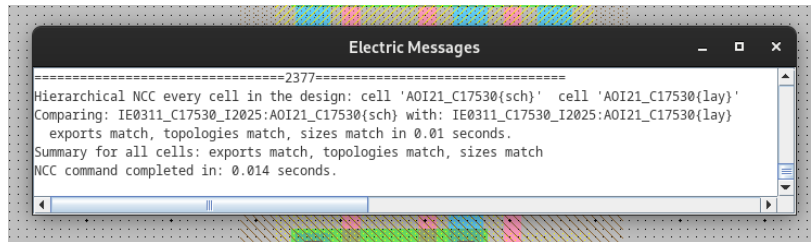


Figura 23: NCC del AOI21

3.6. Puertas compuestas - Retardo

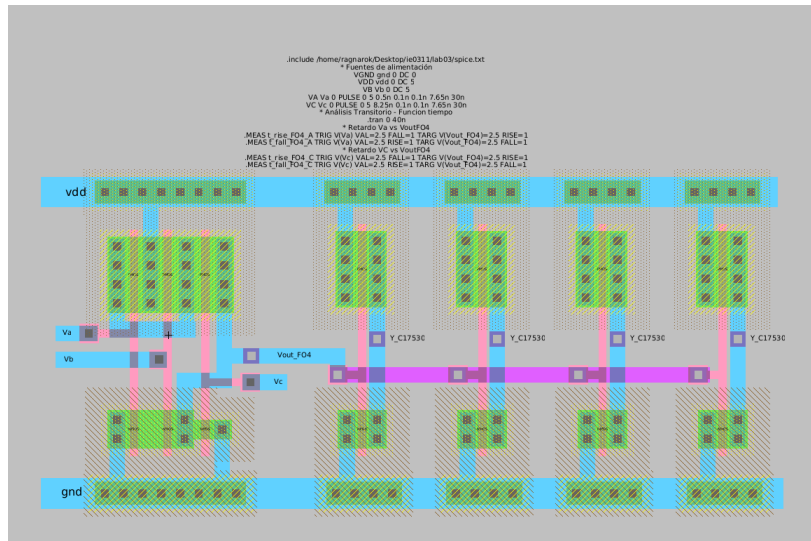


Figura 24: Celdas a simular AOI21

Código Spice AOI21

```

1 .include /home/ragnarok/Desktop/ie0311/lab03/spice.txt
2 * Fuentes de alimentaci n
3 VGND gnd 0 DC 0
4 VDD vdd 0 DC 5
5 VB Vb 0 DC 5
6 VA Va 0 PULSE 0 5 0.5n 0.1n 0.1n 7.65n 30n
7 VC Vc 0 PULSE 0 5 8.25n 0.1n 0.1n 7.65n 30n
8 * An lisis Transitorio - Funcion tiempo
9 .tran 0 40n
10 * Retardo Va vs VoutF04
11 .MEAS t_rise_F04_A TRIG V(Va) VAL=2.5 FALL=1 TARG V(Vout_F04)=2.5 RISE=1
12 .MEAS t_fall_F04_A TRIG V(Va) VAL=2.5 RISE=1 TARG V(Vout_F04)=2.5 FALL=1
13 * Retardo VC vs VoutF04
14 .MEAS t_rise_F04_C TRIG V(Vc) VAL=2.5 FALL=1 TARG V(Vout_F04)=2.5 RISE=1
15 .MEAS t_fall_F04_C TRIG V(Vc) VAL=2.5 RISE=1 TARG V(Vout_F04)=2.5 FALL=1

```

Listing 5: Circuito SPICE para análisisde curvas NAND

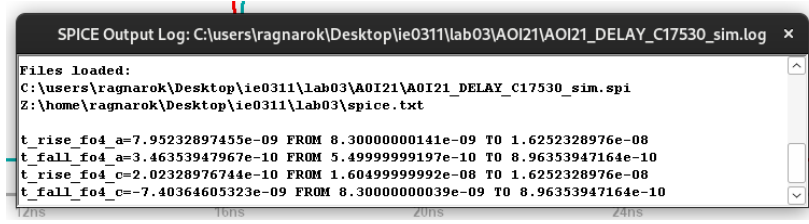


Figura 25: Mediciones de retardos para AOI21

Tabla 4: Mediciones de retardos para la AOI21

Entrada	t_{pdr}	t_{pdf}
A	7.95 ns	0.35 ns
C	0.20 ns	7.4 ns

Análisis de resultados

Los resultados de retardo para la compuerta **AOI21** muestran que la posición de la entrada influye significativamente en el tiempo de conmutación. La entrada A presenta un retardo de bajada (t_{pdr}) mucho mayor que el de C, mientras que la entrada C tiene un retardo de subida (t_{pdf}) considerablemente más alto que el de A. Esto indica que cada entrada afecta de forma diferente la trayectoria de conmutación dependiendo de su ubicación en la red de transistores. La entrada más rápida, en términos generales, es la que produce el menor retardo en su transición correspondiente: A para la subida y C para la bajada. Si se tuviera una señal crítica que necesita procesarse lo más rápido posible, esta debería conectarse a la entrada que provoque la menor demora según el tipo de transición que domine en el circuito, es decir, a C si se desea una conmutación rápida a bajo, o a A si se busca una transición rápida a alto.

Referencias

Barboza, E. C. (2025). *Laboratorio #3: Compuertas Lógicas*. Escuela de Ingeniería Eléctrica, Universidad de Costa Rica. Adaptado a partir del proyecto de Lorian Sanabria Sancho, 2012.