

UNIVERSIDAD DE COSTA RICA

Facultad de Ingeniería  
Escuela de Ingeniería Eléctrica  
IE0311 - Circuitos Integrados Digitales

---

Reporte de Laboratorio #4:  
*Compuertas de Paso, Multiplexores y  
Elementos Secuenciales*

---

**Profesor:**

Erick Carvajal Barboza, PhD

**Estudiante:**

Gabriel Siles Chaves - C17530

Grupo 01

I ciclo de 2025

# Índice

<b>1. Introducción</b>	<b>2</b>
<b>2. Objetivos</b>	<b>2</b>
<b>3. Resultados</b>	<b>2</b>
3.1. Compuerta de paso . . . . .	2
3.1.1. Esquemático . . . . .	2
3.1.2. Ícono . . . . .	3
3.1.3. Layout . . . . .	3
3.1.4. DRC . . . . .	4
3.1.5. Simulación de funcionamiento . . . . .	5
3.2. Mux 2:1 con compuertas de paso . . . . .	5
3.2.1. Esquemático . . . . .	5
3.2.2. Ícono . . . . .	6
3.2.3. Layout . . . . .	7
3.2.4. DRC . . . . .	7
3.3. Mux 2:1 con compuertas NAND2 . . . . .	8
3.3.1. Esquemático . . . . .	8
3.3.2. Ícono . . . . .	8
3.3.3. Layout . . . . .	9
3.3.4. DRC . . . . .	10
3.4. Comparación de muxes . . . . .	10
3.4.1. Comparación de area . . . . .	10
3.4.2. Código SPICE . . . . .	11
3.4.3. Comparación de retardo . . . . .	11
3.4.4. Análisis comparativo . . . . .	12
3.5. Latch D . . . . .	13
3.5.1. Esquemático . . . . .	13
3.5.2. Ícono . . . . .	14
3.5.3. Layout . . . . .	14
3.5.4. DRC . . . . .	15
3.5.5. Simulación . . . . .	15
3.6. Flip-Flop D . . . . .	16
3.6.1. Esquemático . . . . .	16
3.6.2. Ícono . . . . .	17
3.6.3. Layout . . . . .	17
3.6.4. DRC . . . . .	17
3.6.5. Simulación . . . . .	18
3.6.6. Análisis del tiempo de setup . . . . .	18

# 1. Introducción

Este laboratorio tiene como objetivo profundizar en el diseño y análisis de circuitos digitales empleando compuertas de paso, multiplexores y elementos secuenciales. A partir de la creación de compuertas de paso con transistores  $10\lambda$ . Se estudiará de cerca el funcionamiento mediante simulaciones, evaluando su comportamiento bajo distintas combinaciones de entrada. Posteriormente, se diseñarán dos versiones de un multiplexor 2:1, una utilizando compuertas de paso y otra basada en NAND2, para comparar su desempeño en términos de área y retardo. Además, se realizará la construcción de elementos secuenciales básicos como el latch tipo D de fase positiva y el Flip-Flop D de flanco positivo, aplicando simulaciones que permitan validar su funcionamiento lógico y estimar parámetros clave como el tiempo de setup. [Carvajal \(2025\)](#)

## 2. Objetivos

- Reconocer las ventajas y desventajas de utilizar compuertas de paso.
- Comprender el funcionamiento de los latches y Flip-Flops.
- Comprender el tiempo de setup por medio de simulaciones.

## 3. Resultados

### 3.1. Compuerta de paso

Se diseñó una compuerta de paso con transistores nMOS y pMOS de  $10\lambda$ , desarrollando sus tres vistas: esquemático, ícono y layout. En el layout se incluyeron los taps correspondientes, los modelos SPICE. Este diseño permite analizar el funcionamiento básico de la compuerta bajo diferentes condiciones de entrada y control.

#### 3.1.1. Esquemático

Para la creación del esquemático se colocaron un transistor PMOS y un NMOS con una compuerta de paso de tamaño 10 en paralelo, y se conectaron las compuertas (gates) a una entrada que corresponde a `sel_b` y `sel`, para así formar la compuerta de paso, tal como se muestra en la Figura 1.

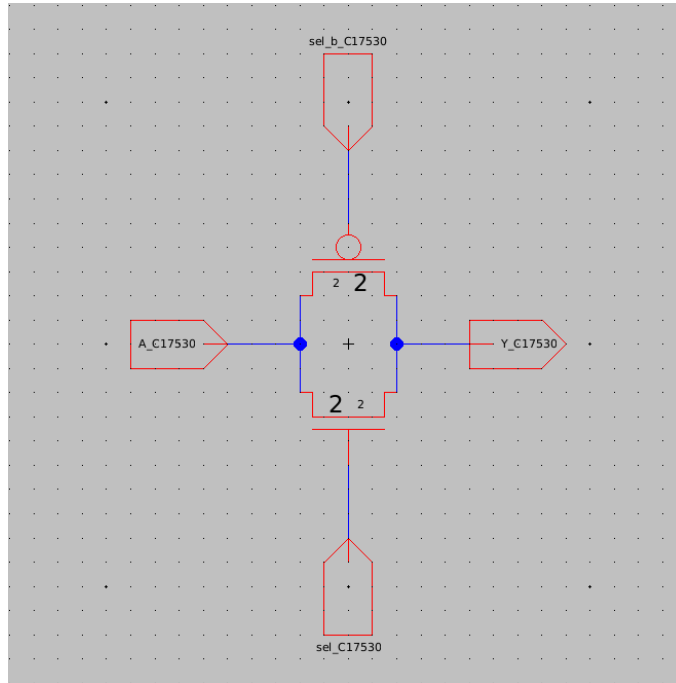


Figura 1: Esquemático de la compuerta de paso

### 3.1.2. Ícono

A partir del esquemático, se realizó el ícono correspondiente de la compuerta de paso, incluyendo sus entradas **sel** y **sel\_b**, así como su entrada de datos y salida. El resultado se muestra en la Figura 2.

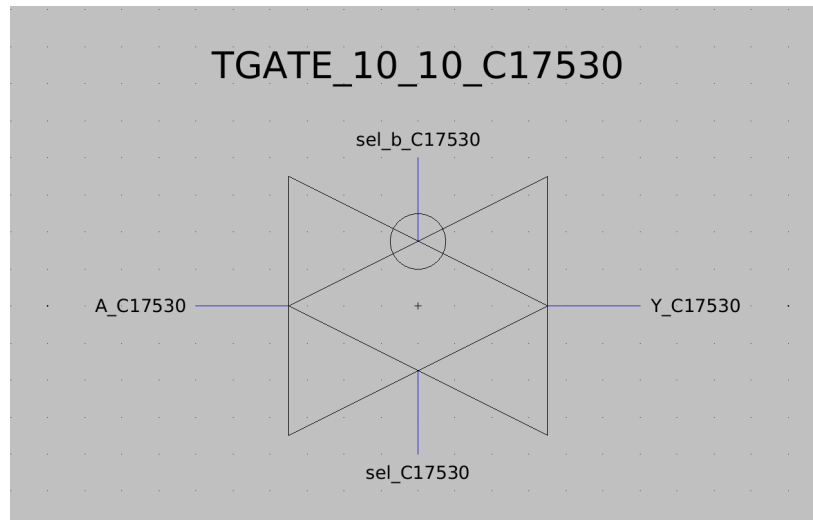


Figura 2: Ícono de la compuerta de paso

### 3.1.3. Layout

En el diseño del lay, las entradas **sel** y **sel\_b** se implementaron como difusiones y conexión a metal para facilitar la conducción. Las salidas se conectaron en paralelo a los transistores PMOS y

NMOS, respetando la estructura del esquemático, tal como se muestra en la Figura 3.

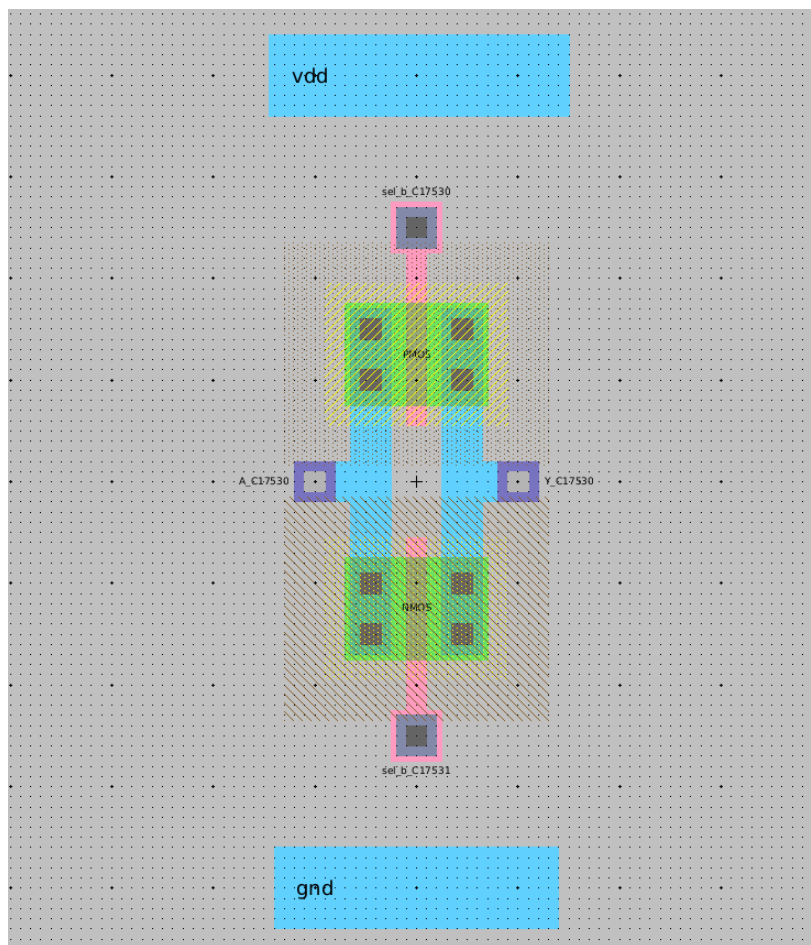


Figura 3: Layout de la compuerta de paso

#### 3.1.4. DRC

Se realizó una verificación DRC para asegurar que el diseño del lay cumple con las reglas de fabricación. Como se observa en la Figura 4, el chequeo no reporta errores, lo que indica que el diseño es válido .

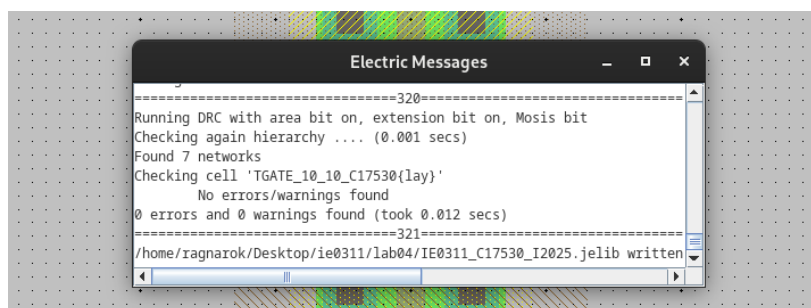


Figura 4: DRC de la compuerta de paso

### 3.1.5. Simulación de funcionamiento

Una vez implementado el layout de la compuerta de paso se realizó la simulación para probar el funcionamiento de la misma, a continuación se observa el código que se implementó:

```
1 .include /home/ragnarok/Desktop/ie0311/lab04/spice.txt
2 * Inputs
3 VINA ina 0 PULSE 0 5 10.9n 0.1n 0.1n 10.2n 20.4n
4 VSELB selb 0 PULSE 0 5 0.5n 0.1n 0.1n 5.2n 10.4n
5 VSEL sel 0 PULSE 0 5 5.7n 0.1n 0.1n 5.2n 10.4n
6 * Analisis Transitorio - Funcion tiempo
7 .tran 0 40n
```

Listing 1: Circuito SPICE para simulación de compuerta de paso

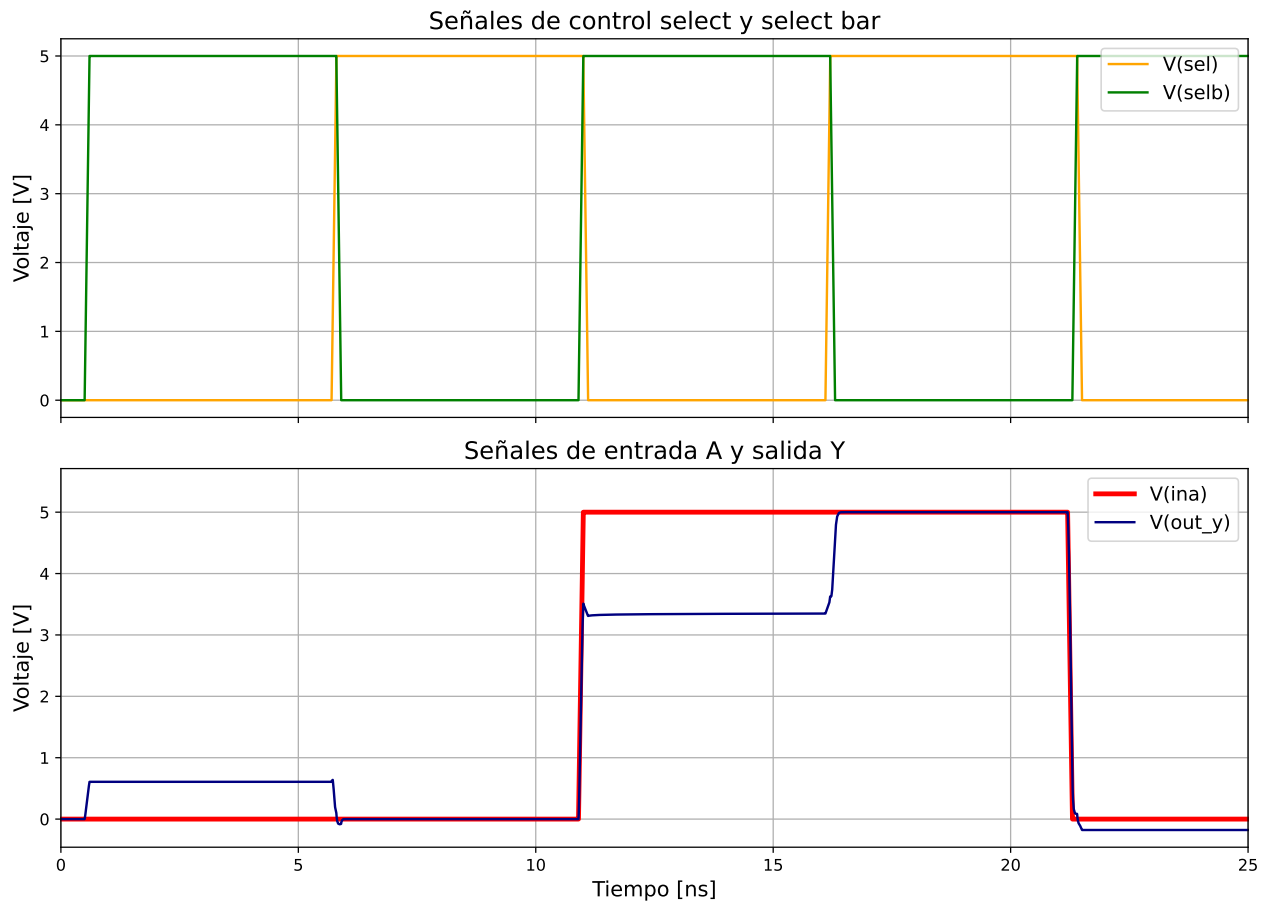


Figura 5: Gráficas con los comportamientos de las entradas y salida de compuerta de paso

## 3.2. Mux 2:1 con compuertas de paso

### 3.2.1. Esquemático

Para la implementación del multiplexor 2:1 con compuertas de paso, se diseñó el esquemático mostrado en la Figura 6. En cada rama se colocó en total 2 pares de transistores NMOS y PMOS en paralelo, formando una compuerta de paso con tamaño 10. Las compuertas de estos transistores fueron conectadas respectivamente a las señales de control *sel* y *sel\_b*.

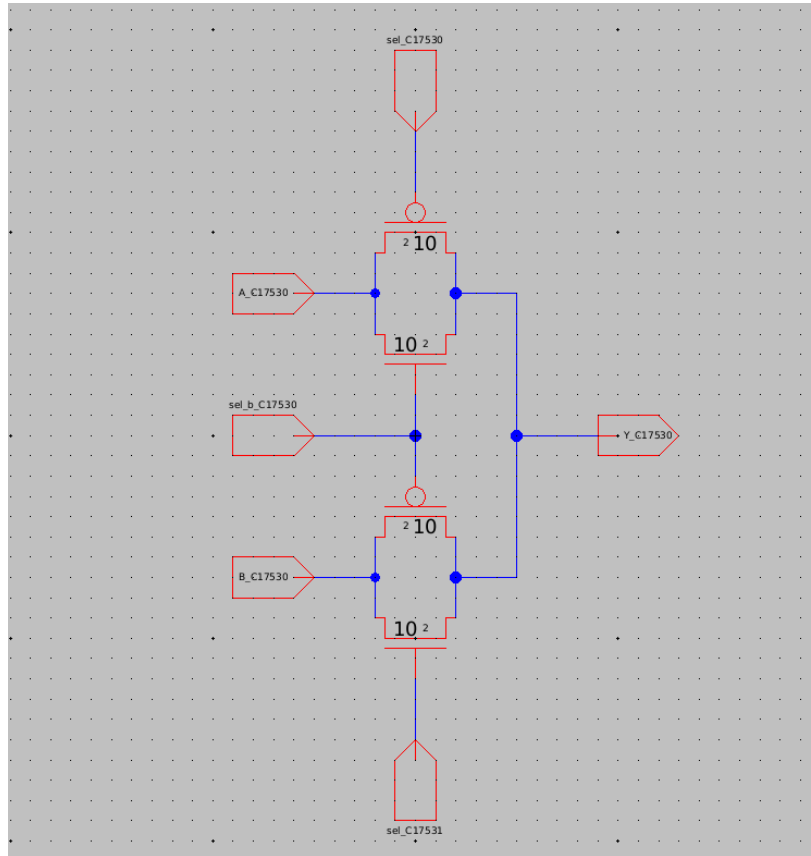


Figura 6: Esquemático del MUX 2:1 con compuertas de paso

### 3.2.2. Ícono

La Figura 7 muestra el ícono diseñado para el MUX 2:1 implementado con compuertas de paso. Este símbolo representa una abstracción del circuito esquemático detallado anteriormente.

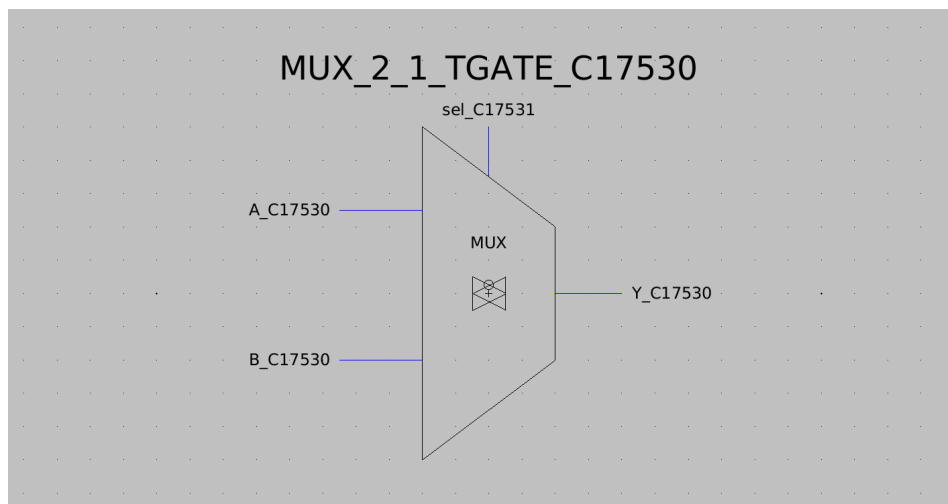


Figura 7: Ícono del MUX 2:1 con compuertas de paso

### 3.2.3. Layout

La Figura 8 muestra el diseño layout del MUX 2:1 implementado con compuertas de paso. Se observa una disposición simétrica de los transistores NMOS y PMOS. Las conexiones de alimentación vdd y gnd se encuentran en los extremos superior e inferior sin conectar. Se mantuvo la distancia de  $80 \lambda$  y usando hasta metal-2.

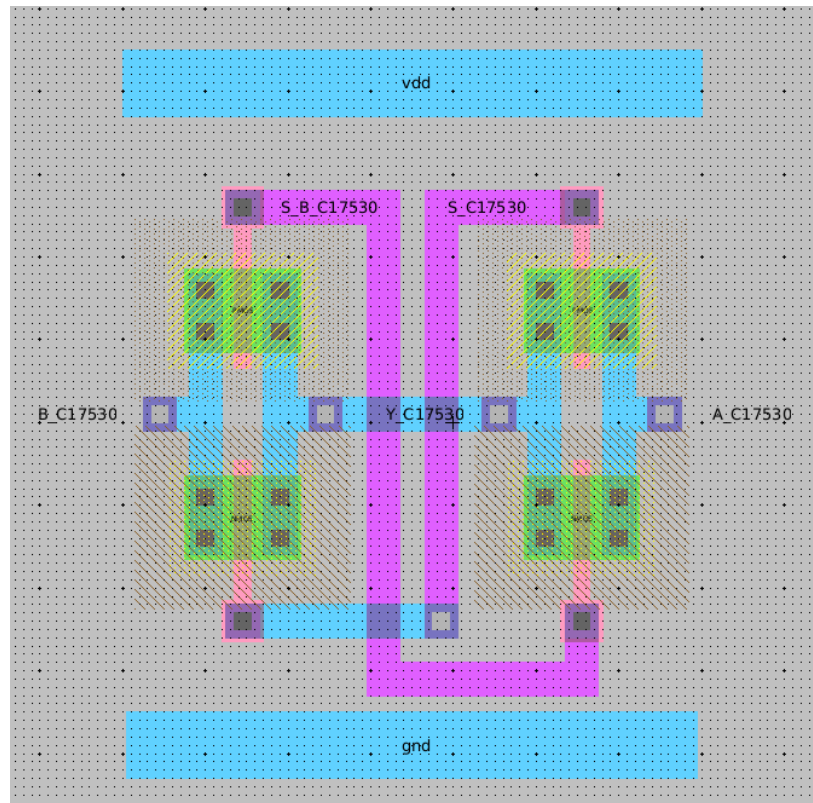


Figura 8: Layout del MUX 2:1 con compuertas de paso

### 3.2.4. DRC

La verificación de reglas de diseño (DRC) para el layout del MUX 2:1 con compuertas de paso fue realizada exitosamente, como se muestra en la Figura 9.

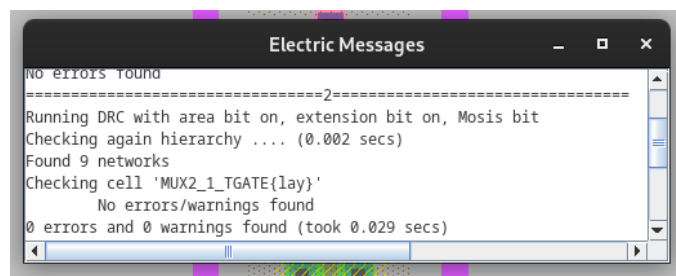


Figura 9: DRC del MUX 2:1 con compuertas de paso



### 3.3. Mux 2:1 con compuertas NAND2

#### 3.3.1. Esquemático

La Figura 10 presenta el esquemático del MUX 2:1 implementado utilizando compuertas NAND. En este diseño, se emplean compuertas lógicas estándar para realizar las funciones de selección de entrada. En total se implementaron 12 transistores 6 PMOS y 6 NMOS.

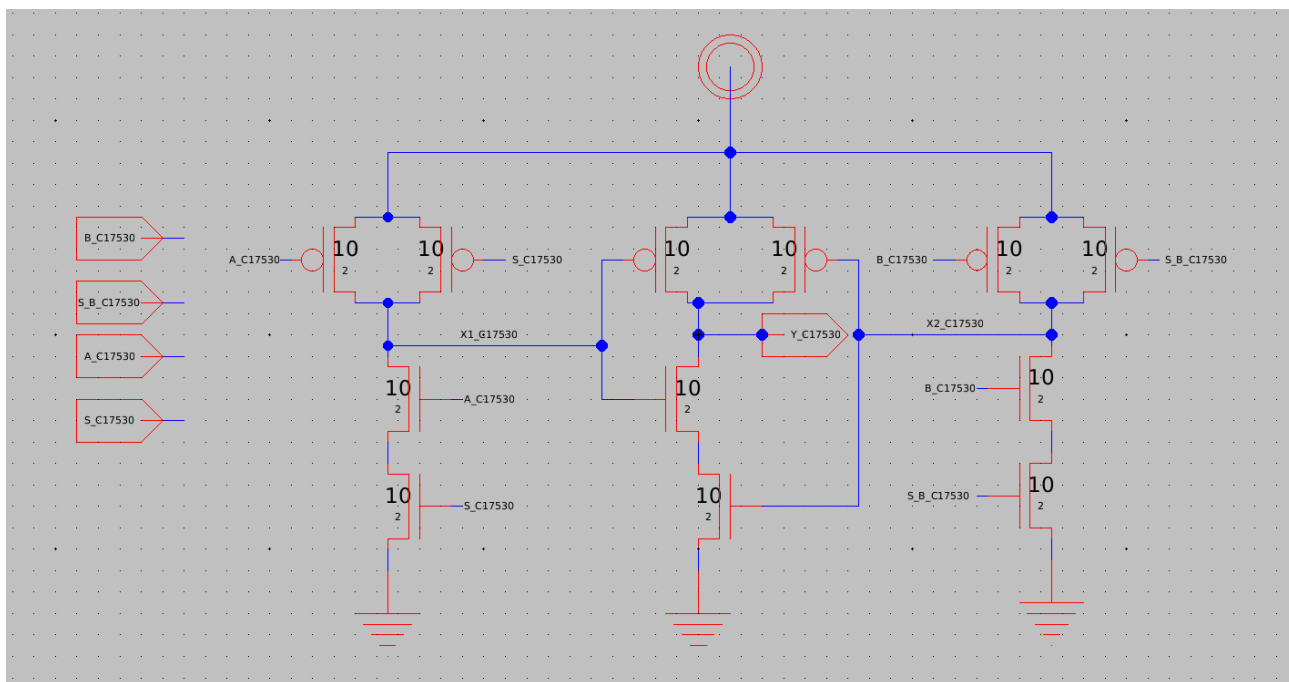


Figura 10: Esquemático del MUX 2:1 con NANDs

#### 3.3.2. Ícono

La Figura 11 muestra el ícono correspondiente al MUX 2:1 basado en compuertas NAND. Se puede observar sus 4 entradas como su única entrada.

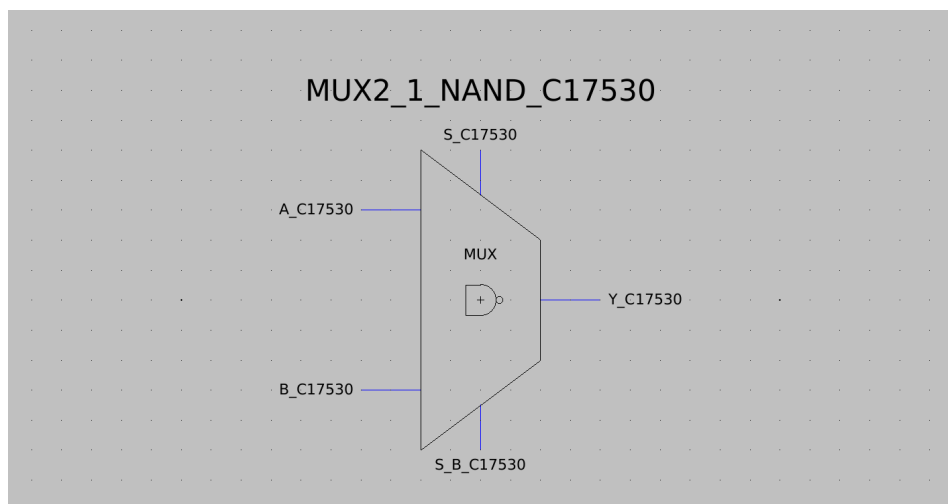


Figura 11: Ícono del MUX 2:1 con NANDs

### 3.3.3. Layout

La Figura 12 muestra el layout del MUX 2:1 implementado con compuertas NAND. Se pueden identificar claramente las regiones correspondientes a los transistores, así como las rutas de interconexión entre las señales de entrada  $A$  y  $B$ , las señales de control  $S$  y  $S\_B$ , y la salida  $Y$ . Las conexiones de alimentación  $vdd$  y  $gnd$  están ubicadas en las zonas superior e inferior respetando la distancia establecida, asegurando un buen contacto eléctrico.

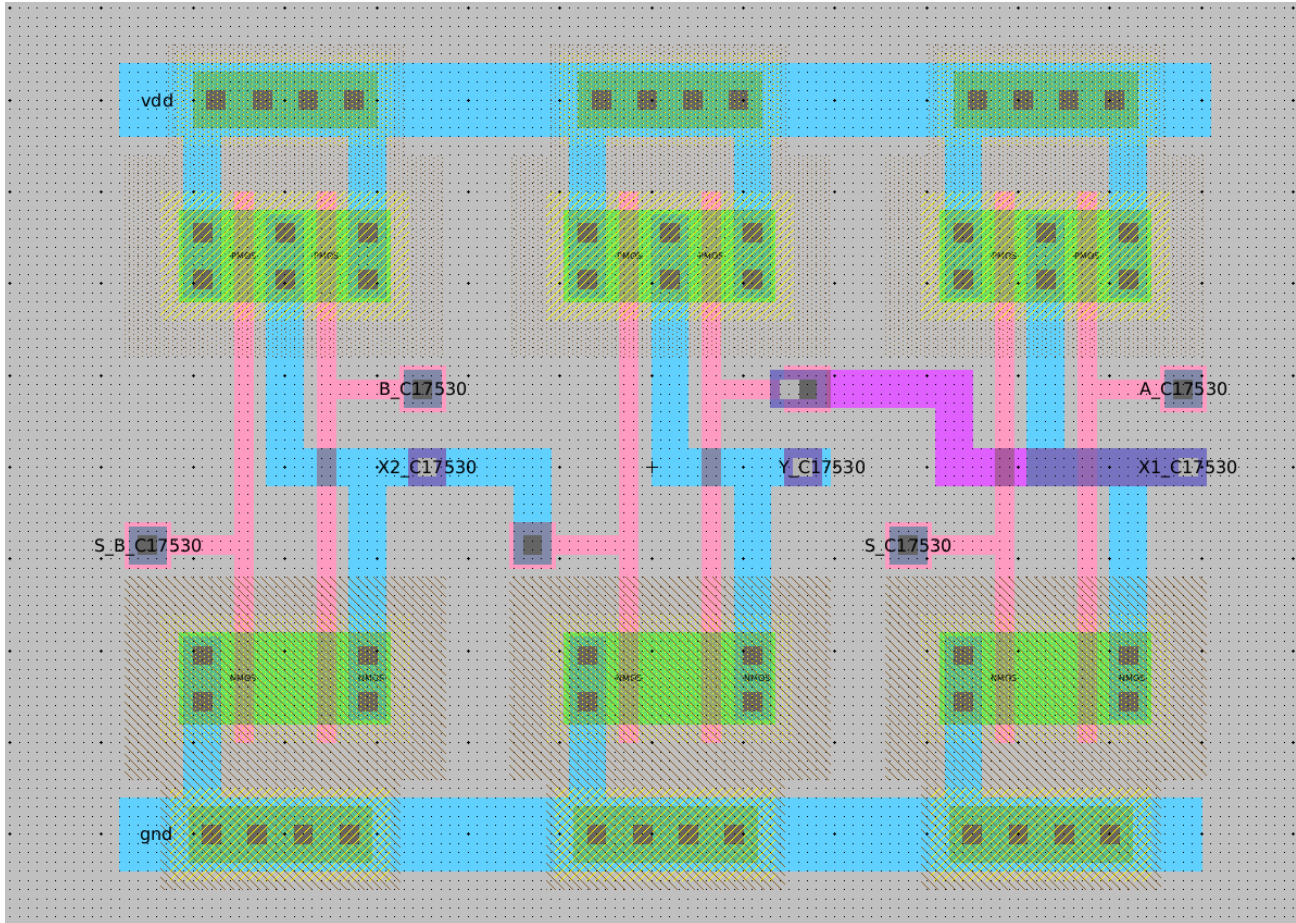


Figura 12: Layout del MUX 2:1 con NANDs

### 3.3.4. DRC

La verificación DRC del layout del MUX 2:1 con NANDs, ilustrada en la Figura 13, concluyó exitosamente sin errores ni advertencias. Esto confirma que el diseño físico cumple con las reglas de diseño.

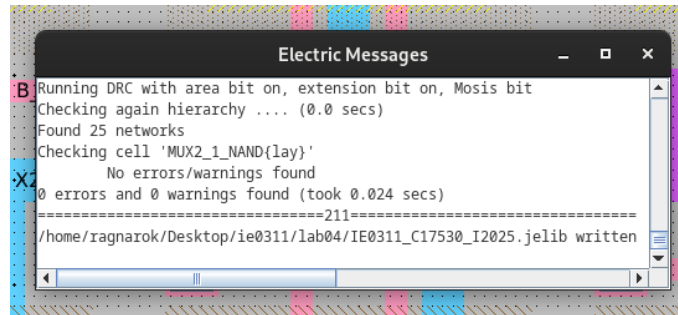


Figura 13: DRC del MUX 2:1 con NANDs

## 3.4. Comparación de muxes

### 3.4.1. Comparación de area

La Figura 14 muestra una comparación entre dos implementaciones de un multiplexor 2:1: una realizada con compuertas de paso (TGATE) y otra basada en puertas NANDs. Es evidente que el diseño con NANDs requiere considerablemente más espacio. La versión con compuerta de paso ocupa aproximadamente  $70 \lambda$ , mientras que la versión con NANDs se extiende hasta  $119 \lambda$ .

Además, la arquitectura con NANDs implica el uso de 12 transistores, comparado con los 4 transistores necesarios para implementar un MUX2:1 con compuertas de paso. Esta diferencia se traduce en una mayor complejidad de ruteo y en un incremento en la cantidad de interconexiones internas. En conclusión, la implementación con TGATE no solo es más eficiente en términos de área, sino que también simplifica el ruteo y reduce el consumo de recursos.

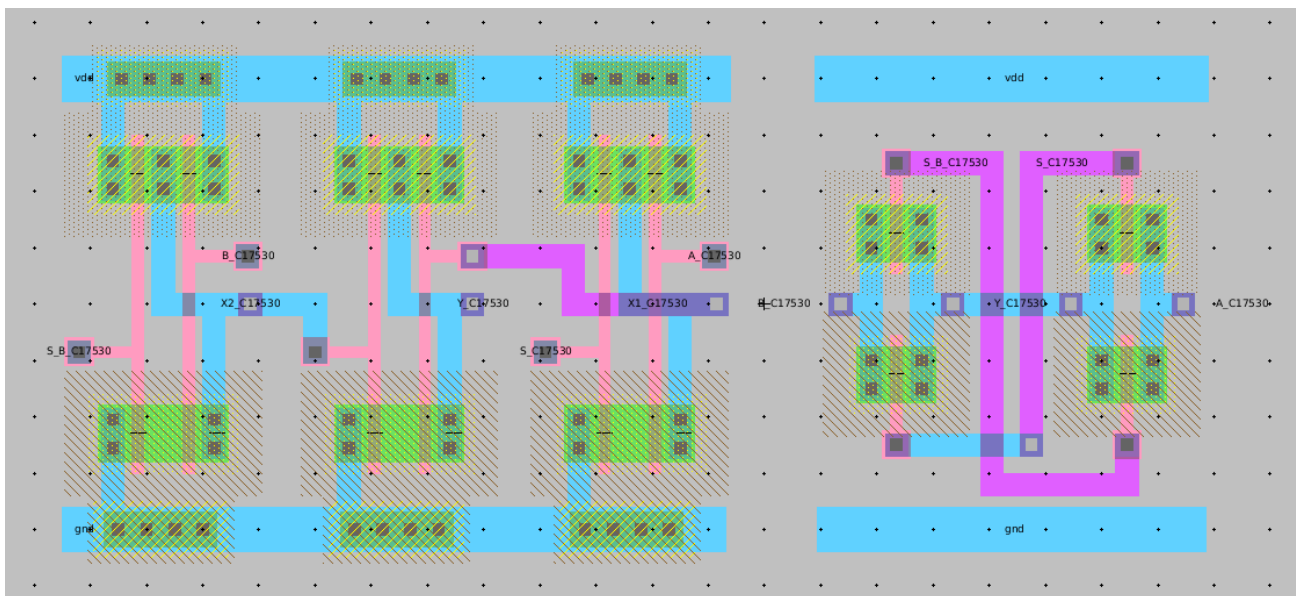


Figura 14: Comparación de MUXES de TGATEs y NANDs

### 3.4.2. Código SPICE

El código mostrado en la Figura se utilizó para realizar la simulación en SPICE con el fin de comparar el comportamiento temporal de dos implementaciones del MUX 2:1: una basada en compuertas NANDs y otra utilizando compuertas de paso. Se definieron las señales de entrada mediante fuentes tipo PULSE para activar y conmutar los selectores, y se utilizaron comandos `.MEAS` para medir los tiempos de subida y bajada desde la entrada hasta la salida en ambas configuraciones. La simulación fue ejecutada con un análisis transitorio de 40 nanosegundos.

```

1 .include /home/ragnarok/Desktop/ie0311/lab04/spice.txt
2 * Inputs
3 VGND gnd 0 DC 0
4 VDD vdd 0 DC 5
5 VINB inb 0 DC 0
6 VINA ina 0 PULSE 0 5 0.5n 0.1n 0.1n 10.1n 20.3n
7 VSELB selb 0 PULSE 0 5 0.5n 0.1n 0.1n 5n 10.2n
8 VSEL sel 0 PULSE 0 5 5.6n 0.1n 0.1n 5n 10.2n
9 * Analisis Transitorio - Funcion tiempo
10 .tran 0 40n
11 * MUX NANDs
12 .MEAS t_rise_nands TRIG V(ina) VAL=2.5 FALL=1 TARG V(yout1)=2.5 RISE=1
13 .MEAS t_fall_nands TRIG V(ina) VAL=2.5 RISE=1 TARG V(yout1)=2.5 FALL=1
14 *MUX Tgate
15 .MEAS t_rise_tgates TRIG V(ina) VAL=2.5 FALL=1 TARG V(yout1)=2.5 RISE=1
16 .MEAS t_fall_tgates TRIG V(ina) VAL=2.5 RISE=1 TARG V(yout1)=2.5 FALL=1

```

Listing 2: Circuito SPICE para simulación de comparación entre MUXES 2:1

### 3.4.3. Comparación de retardo

En la Tabla 1 se presentan los tiempos de retardo medidos en ambos multiplexores, una estructurada con compuertas NAND y otra utilizando transistores de paso (TGATES). Se observa que los retardos asociados a la implementación con TGATES son significativamente menores en comparación con los obtenidos con compuertas NAND, tanto para la transición de subida como para la de bajada.

En particular, el retardo de subida en la salida del MUX con TGATES es de aproximadamente 45,63ps, mientras que con NANDs alcanza los 205,16ps, es decir, más de cuatro veces mayor. La diferencia es similar en la transición de bajada, donde el TGATE presenta un retardo de 49,49ps frente a 197,46ps en el MUX con NANDs.

Los muxes con las compuertas de paso son más eficientes al transmitir el valor de la entrada seleccionada hacia la salida. La Figura 15 se observa el SPICE output log donde se muestran los tiempos.

Tabla 1: Tiempos de retardo en picosegundos para implementaciones con NANDs y TGATES

Tipo	Valor [ps]	Desde [ns]	Hasta [ns]
$t_{\text{rise\_nands}}$	205,16	6,050	6,255
$t_{\text{fall\_nands}}$	197,46	8,150	8,347
$t_{\text{rise\_tgates}}$	45,63	6,050	6,095
$t_{\text{fall\_tgates}}$	49,49	8,150	8,199

```

1 De: Files loaded:
      C:\users\ragnarok\Desktop\ie0311\lab04\MUXES\MUXES2_1_C17530_sim.spi
      Z:\home\ragnarok\Desktop\ie0311\lab04\spice.txt
/
/      t_rise_nands=2.05164928339e-10 FROM 6.05000000187e-09 TO 6.25516493021e-09
0.06 t_fall_nands=1.97456429824e-10 FROM 8.14999999938e-09 TO 8.34745642921e-09
F/um t_rise_tgates=4.56344989308e-11 FROM 6.05000000187e-09 TO 6.0956345008e-09
0.0F t_fall_tgates=4.94884403562e-11 FROM 8.14999999938e-09 TO 8.19948843974e-09
/

```

Figura 15: Rertado de MUXES de TGATEs y NANDs

#### 3.4.4. Análisis comparativo

Los MUX implementados con las compuertas de paso presentan tiempos de propagación considerablemente menores (entre 45 y 49 ps) frente a los implementados con NANDs, como se observó en la Tabla 1. Esto se refleja en la Figura 16, donde las transiciones en la salida  $V(yout2)$  ocurren ligeramente antes que en  $V(yout1)$ .

Es importante tomar en cuenta que las compuertas de paso suelen requerir menos transistores para implementar funciones como multiplexores, lo que puede traducirse en un uso más eficiente del área en tecnologías CMOS. Las compuertas de paso pueden tener menor consumo de potencia debido a su menor número de transistores activos por operación.

Las compuertas estándar como NANDs tienen salidas que se adaptan mejor a otras etapas lógicas. En cambio, las compuertas de paso pueden requerir buffers o inversores adicionales para restaurar la forma de la señal, sobre todo si se conectan en cascada.

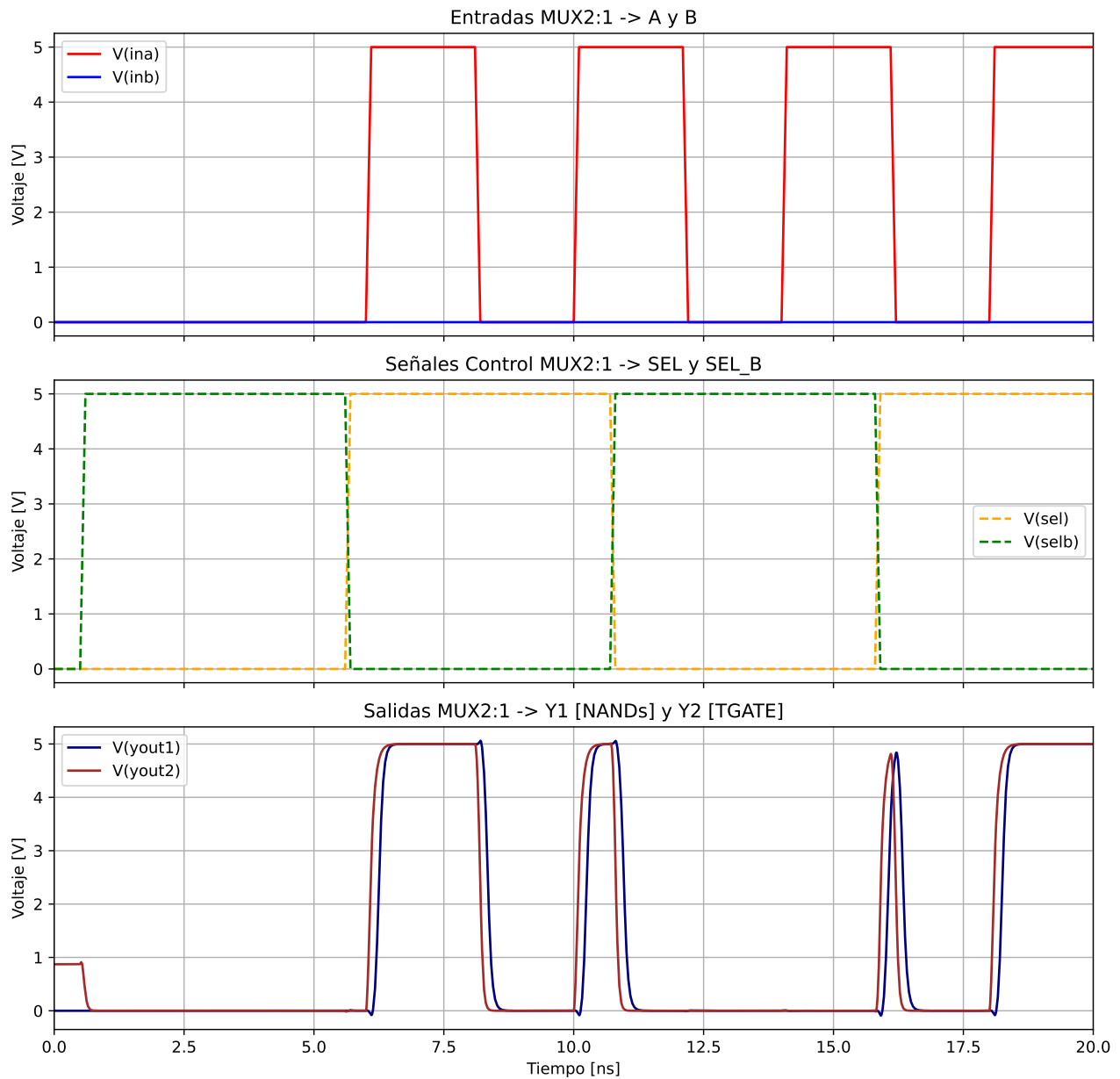


Figura 16: Gráficas con señales de entrada, control y salida de MUXES

### 3.5. Latch D

#### 3.5.1. Esquemático

El esquemático mostrado en la Figura 17 corresponde a un Latch tipo D de fase positiva. Este circuito se compone principalmente de dos compuertas de paso y tres inversores. La señal de entrada  $D$  es controlada por la señal de reloj  $clk$ , la cual también tiene su versión invertida  $clk\_b$ .

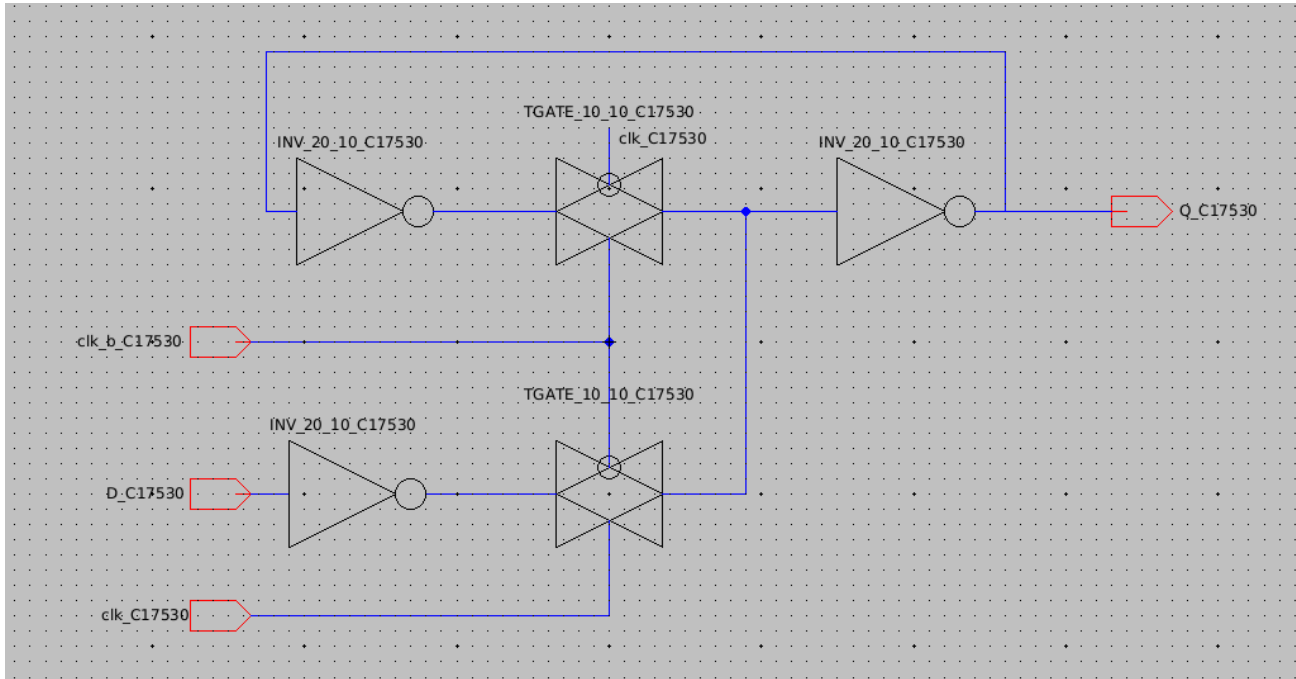


Figura 17: Esquemático del Latch D de fase positiva

### 3.5.2. Ícono

La Figura 18 muestra el ícono diseñado para representar el Latch D de fase positiva. En este símbolo se incluyen claramente las señales de entrada  $D$ ,  $clk$  y  $clk\_b$ , así como la salida  $Q$ .

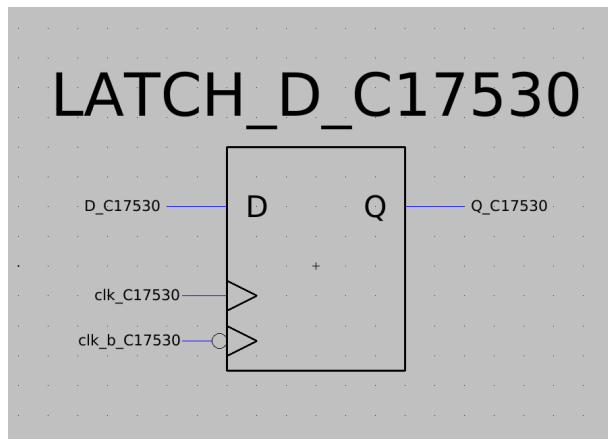


Figura 18: Ícono del Latch D de fase positiva

### 3.5.3. Layout

La Figura 19 muestra el layout completo del Latch D de fase positiva. En el diseño se implementaron un total de 10 transistores distribuidos entre los inversores y las compuertas de paso. Las conexiones se realizaron mediante metal y difusiones, con el uso de pozos adecuados para los transistores PMOS y NMOS.



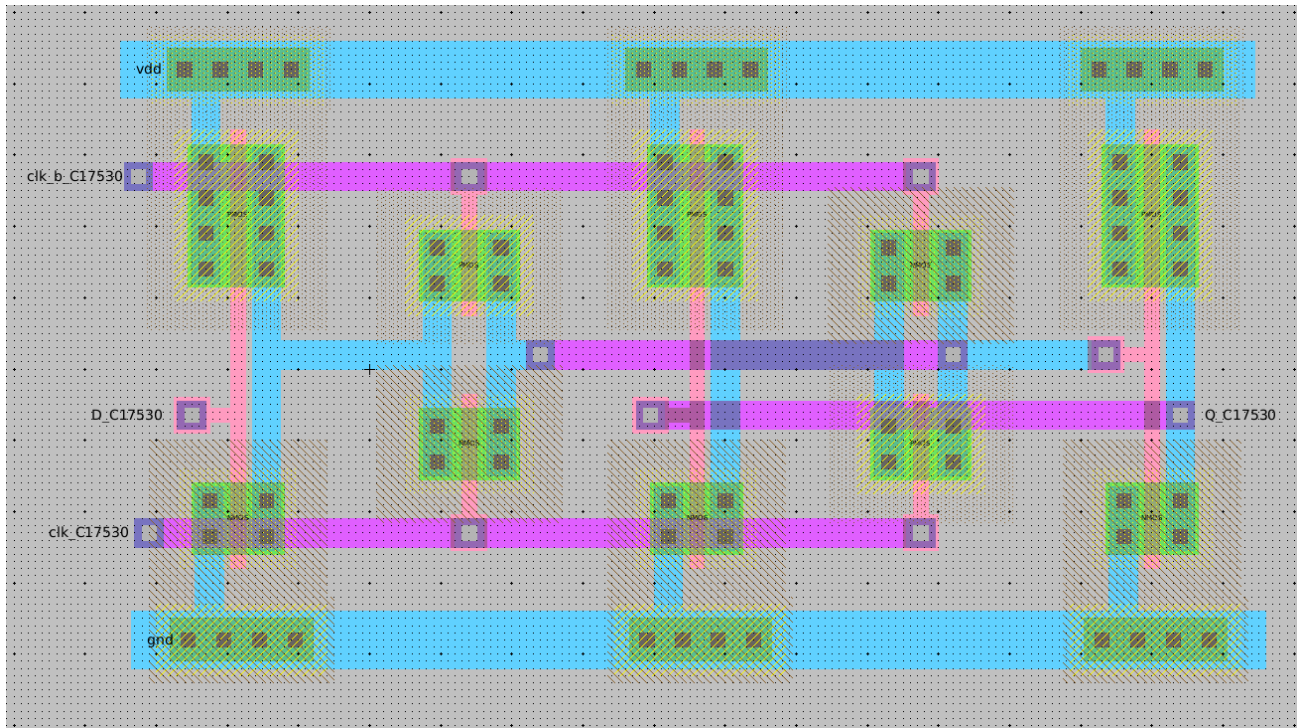


Figura 19: Layout del Latch D de fase positiva

### 3.5.4. DRC

Se realizó una verificación DRC del diseño del latch D de fase positiva. Como se puede observar en la Figura 20, el análisis no reportó errores ni advertencias.

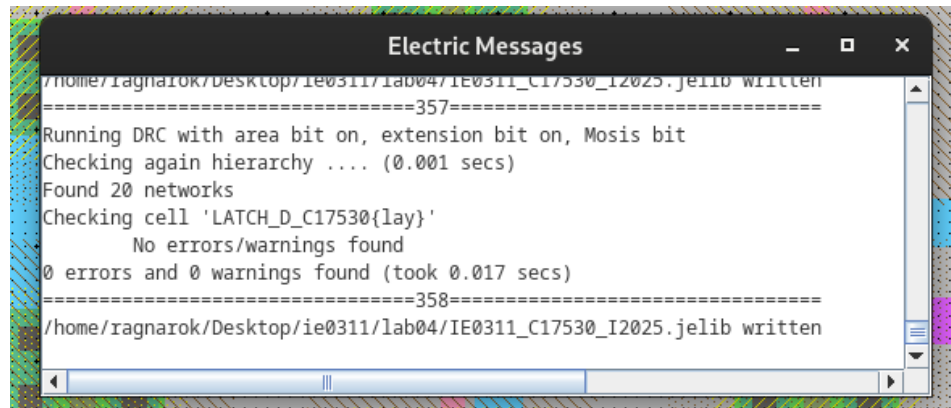


Figura 20: DRC del Latch D de fase positiva

### 3.5.5. Simulación

La simulación temporal muestra que el latch D de fase positiva funciona correctamente, respondiendo únicamente cuando la señal de reloj (*clk*) está en alto. Como se observa en la Figura 21, durante el primer flanco ascendente del reloj, la salida sigue a la entrada: primero se vuelve baja (0 V) y luego sube a 5 V conforme cambia la entrada. Al finalizar el ciclo de reloj cuando *clk* pasa a 0, la salida se mantiene constante, conservando el último valor. Un comportamiento similar se repite



durante el segundo ciclo de reloj: la salida sigue el cambio de la entrada de 5 V a 0 V y nuevamente a 5 V, antes de estabilizarse una vez que el reloj baja. Esto confirma que el latch es capaz de almacenar tanto un '1' lógico como un '0', cumpliendo su función como elemento de memoria.

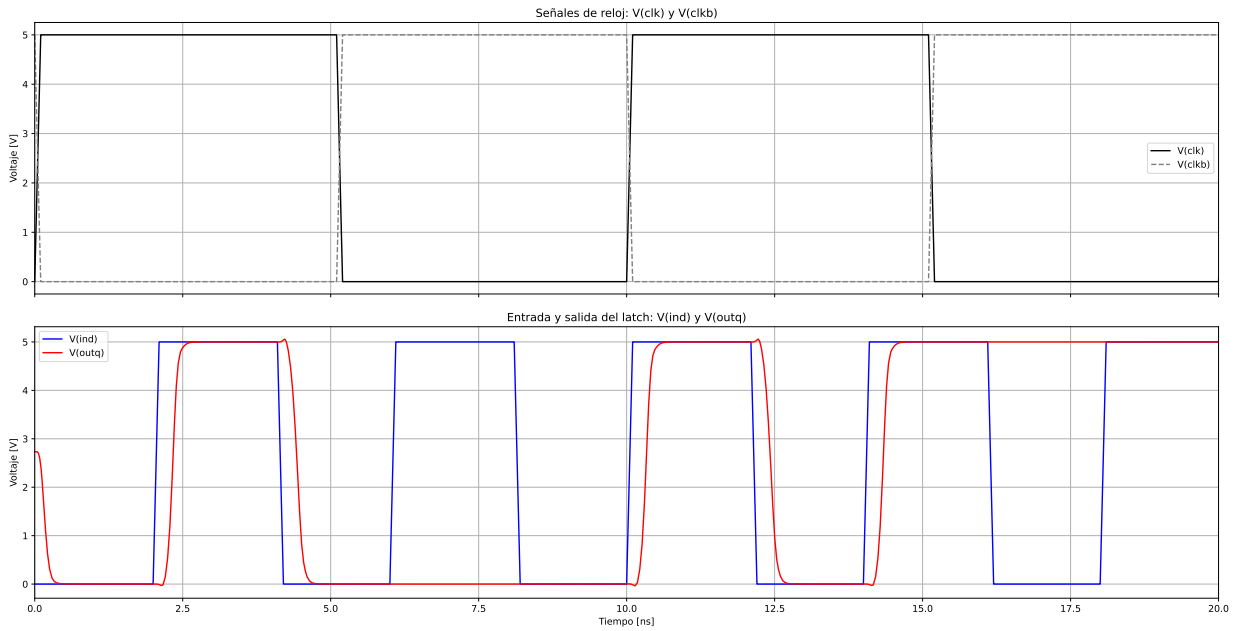


Figura 21: DRC del Latch D de fase positiva

## 3.6. Flip-Flop D

### 3.6.1. Esquemático

El esquemático mostrado en la Figura 22 corresponde a un Flip-Flop tipo D de flanco positivo del reloj. Está diseñado por dos latches tipo D conectados en cascada: el primero es un latch transparente cuando la señal de reloj está en bajo, y el segundo cuando el reloj está en alto.

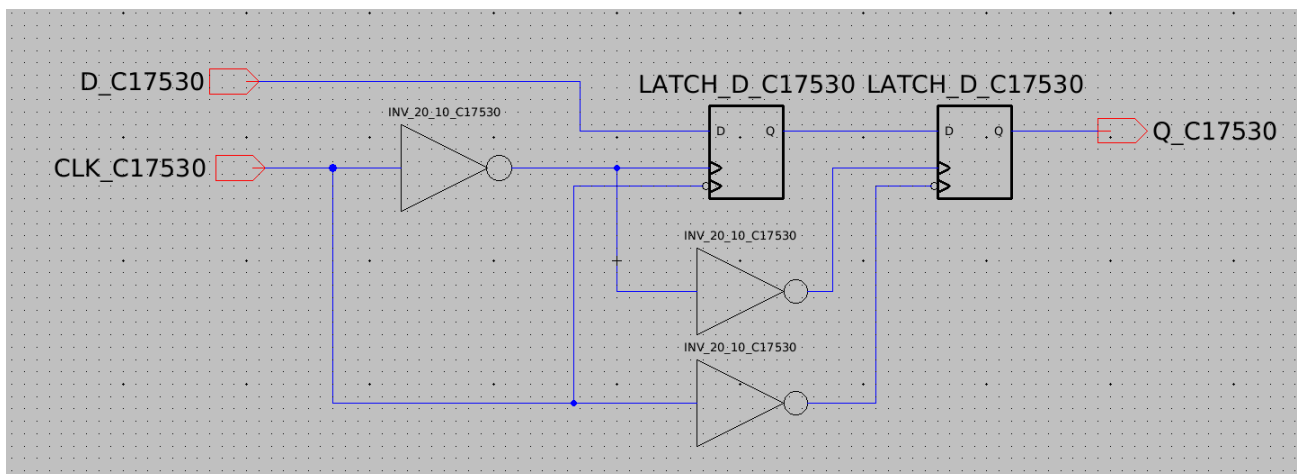


Figura 22: Esquemático del Flip-Flop D de flanco positiva

### 3.6.2. Ícono

Se realizó el ícono del Flip-Flop tipo D de flanco positivo, como se muestra en la Figura ???. Este símbolo representa el funcionamiento del circuito, con sus 2 entradas y una salida.

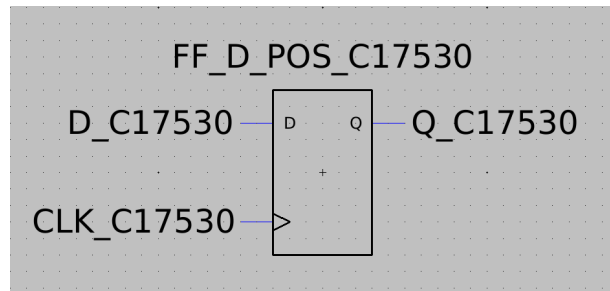


Figura 23: Ícono del Flip-Flop D de flanco positiva

### 3.6.3. Layout

El layout del Flip-Flop tipo D de flanco positivo, mostrado en la Figura ??, se implementó un total de 26 transistores, distribuidos equitativamente entre 13 PMOS y 13 NMOS. El recorrido total del diseño es de 222  $\lambda$ . Se realizan las conexiones internas necesarias para cumplir el correcto funcionamiento del FLip FLop de tipo D de flanco positivo.

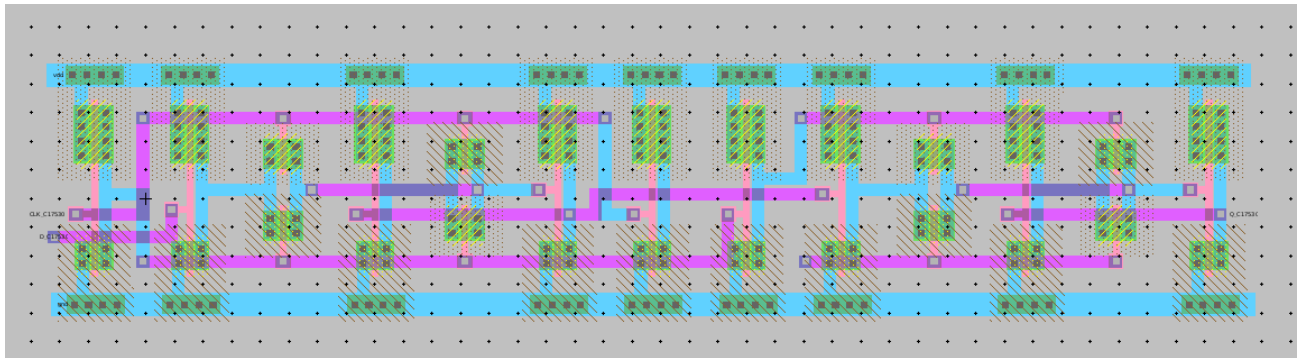


Figura 24: Layout del Flip-Flop D de flanco positiva

### 3.6.4. DRC

Se realizó una verificación DRC sobre el layout del Flip-Flop D de flanco positivo, se observa en la Figura 25, el análisis no reportó errores ni advertencias.



Figura 25: DRC del Flip-Flop D de flanco positiva

### 3.6.5. Simulación

La Figura 26 muestra la simulación temporal del Flip-Flop tipo D de flanco positivo. En la parte superior se visualiza la señal de reloj  $clk$ , mientras que en la parte inferior se observan las señales de entrada  $D$  (en azul) y de salida  $Q$  (en rojo).

Se verifica que el Flip-Flop cumple correctamente su función: la salida  $Q$  cambia su valor únicamente en los flancos positivos del reloj, copiando el valor presente en la entrada  $D$  en ese instante. Entre flancos,  $Q$  permanece constante, lo que demuestra que el dispositivo es capaz de almacenar correctamente los valores lógicos '1' y '0'.

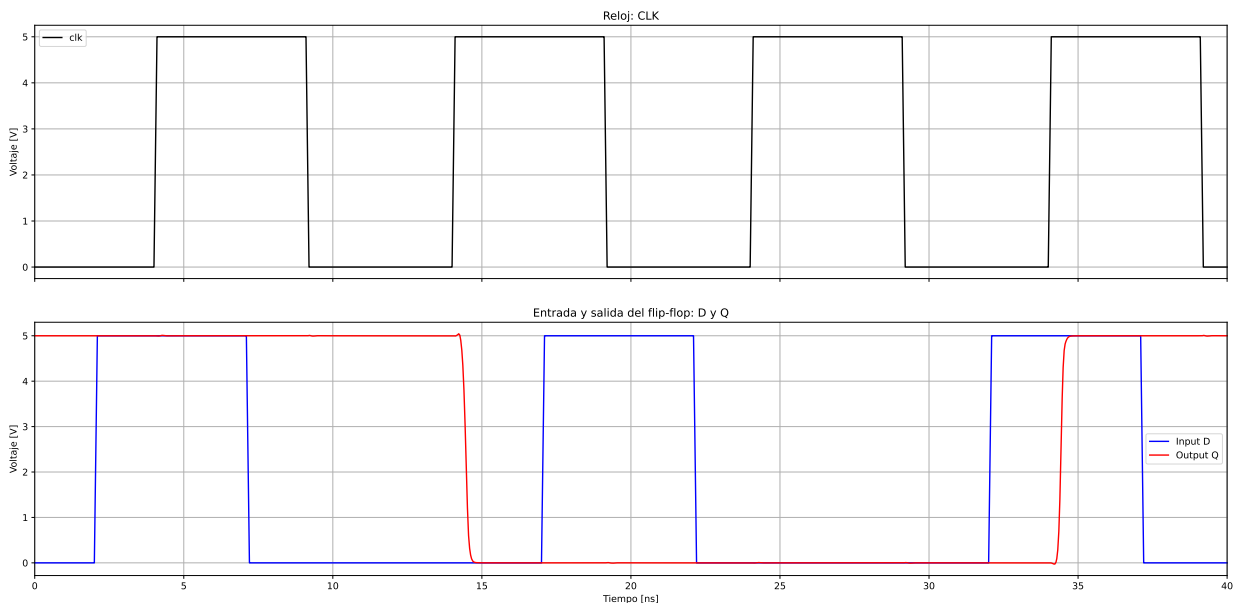


Figura 26: Simulación del Flip-Flop D de flanco positiva

### 3.6.6. Análisis del tiempo de setup

La Figura 27 muestra la simulación utilizada para estimar el tiempo de setup del Flip-Flop tipo D de flanco positivo. Este análisis se realizó modificando iterativamente el instante en que cambia

la entrada  $D$  con respecto al flanco ascendente del reloj  $clk$ , hasta encontrar el punto en el que el Flip-Flop falla en capturar correctamente el dato.

Se observa que alrededor de los 4 ns, la señal  $D$  se encuentra en alto justo antes del flanco de reloj, pero la salida  $Q$  cambia inesperadamente a bajo, indicando una falla de captura. De forma similar, cerca de los 24 ns, la entrada baja justo antes del flanco de reloj, pero la salida permanece en alto, mostrando que el valor anterior fue retenido incorrectamente. Una situación análoga ocurre en el instante cercano a los 34 ns.

Estos resultados indican que el Flip-Flop requiere que la entrada  $D$  se mantenga estable durante un tiempo mínimo antes del flanco de reloj para garantizar un almacenamiento correcto. El tiempo estimado de setup a partir de estas observaciones es de aproximadamente **0.2 ns**.

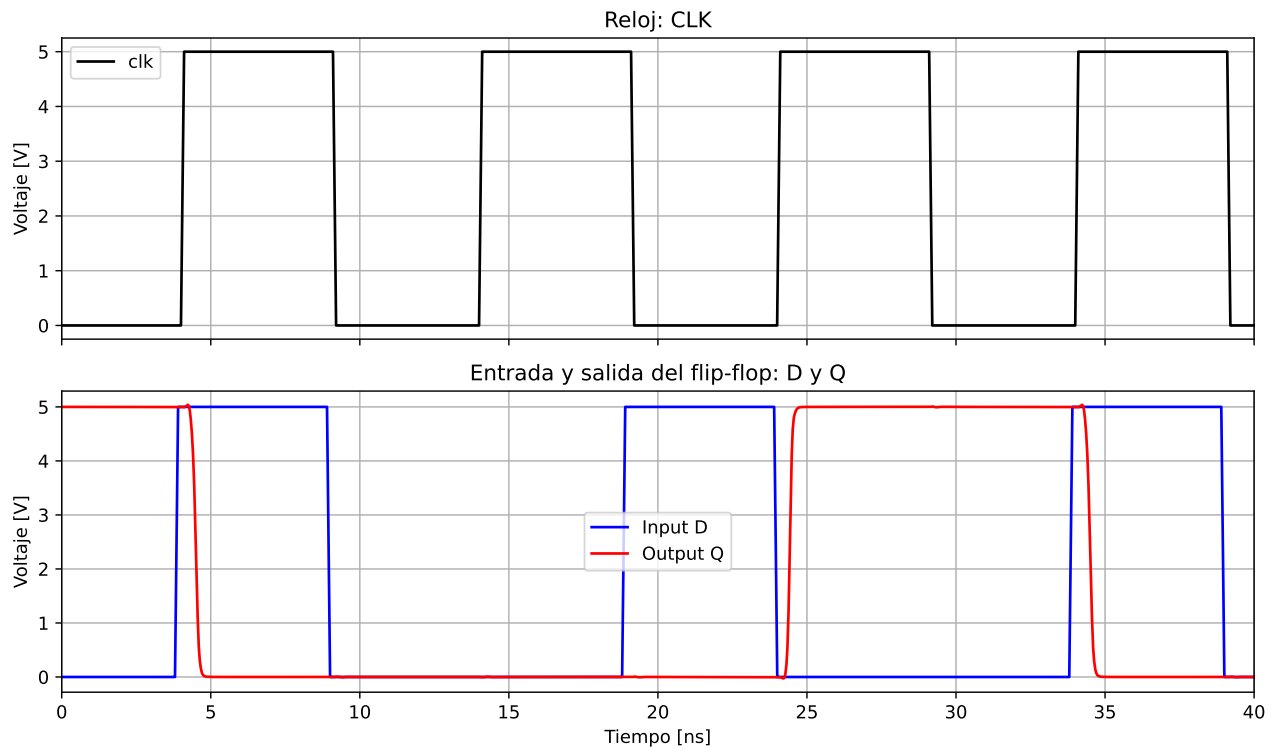


Figura 27: Tiempo de setup del Flip-Flop D de flanco positiva

## Referencias

Carvajal, E. (2025). *Laboratorio #4: Compuertas de Paso, Multiplexores y Elementos Secuenciales*. Escuela de Ingeniería Eléctrica, Universidad de Costa Rica. Adaptado a partir del proyecto de Lorian Sanabria Sancho, 2012.