

Introducción

Diferencias entre Arquitectura y Organización de computadores

Arquitectura de Computadores

Estudia los aspectos lógicos de un sistema computacional

Conjunto de instrucciones

Registros

Tipos de datos básicos

Modos de direccionar la memoria

Explica el sistema a través de descripciones funcionales.

Arquitectura de Von-Neumann / Harvard

Instruction Set Architecture

Micro-arquitectura

Describe "qué es lo que hace"

Atributos visibles al programador

Organización de Computadores

Estudia los aspectos físicos de un sistema computacional.

Círculo lógicos

Componentes lógicos

Establece la relación que debe existir entre los distintos componentes para lograr un sistema eficiente.

Ruta de datos

Explica el sistema a través de descripciones estructurales.

Máquinas de acumulador

Máquinas de registro-memoria

Máquinas de registro-registro

Describe "cómo lo hace".

Cómo los atributos son implementados

Descripción de un computador digital

Repertorio de Instrucciones

Modelo de memoria

Sistema de I/O

Camino de datos y control

Repertorio de Instrucciones

Depende del procesador

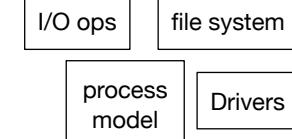
Intel i3, i5, i7, i9

Amd Ryzen zen, zen2, zen3

Software

Hola mundo!

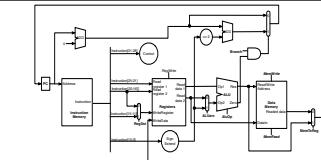
Sistema Operativo



add \$t0, \$t1, \$t2

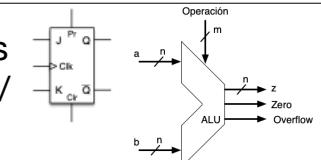
0x1001 0000 Program text
0x0040 0000 (fixed size)
0x0000 0000 Reservado

Arquitectura

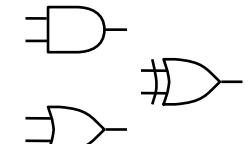


Micro arquitectura

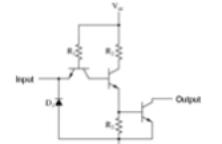
Circuitos digitales Combinacionales/ Secuenciales



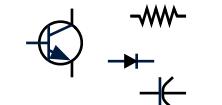
Componentes digitales



Circuitos análogos



Componentes electrónicos



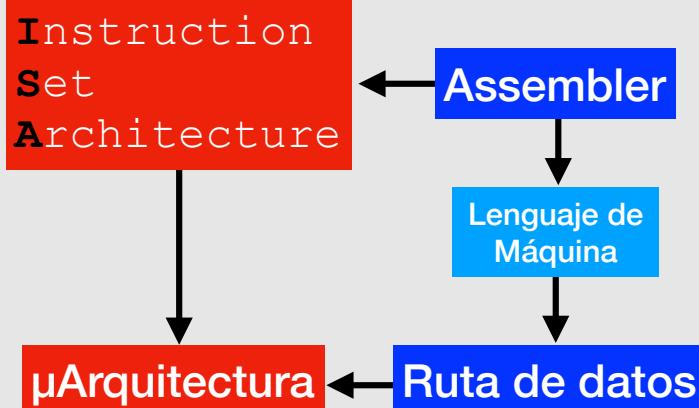
Física



Arquitectura de un computador

1

Diseño del conjunto de instrucciones



Software

Código fuente
lenguaje alto nivel

Compilador

Aplicación/
programa

[Sistema Operativo]

Arquitectura del
procesador

Hardware

ISA

μArquitectura

Componentes básicos

Observación

La existencia de un sistema operativo no es indispensable para el funcionamiento del sistema computacional.

2

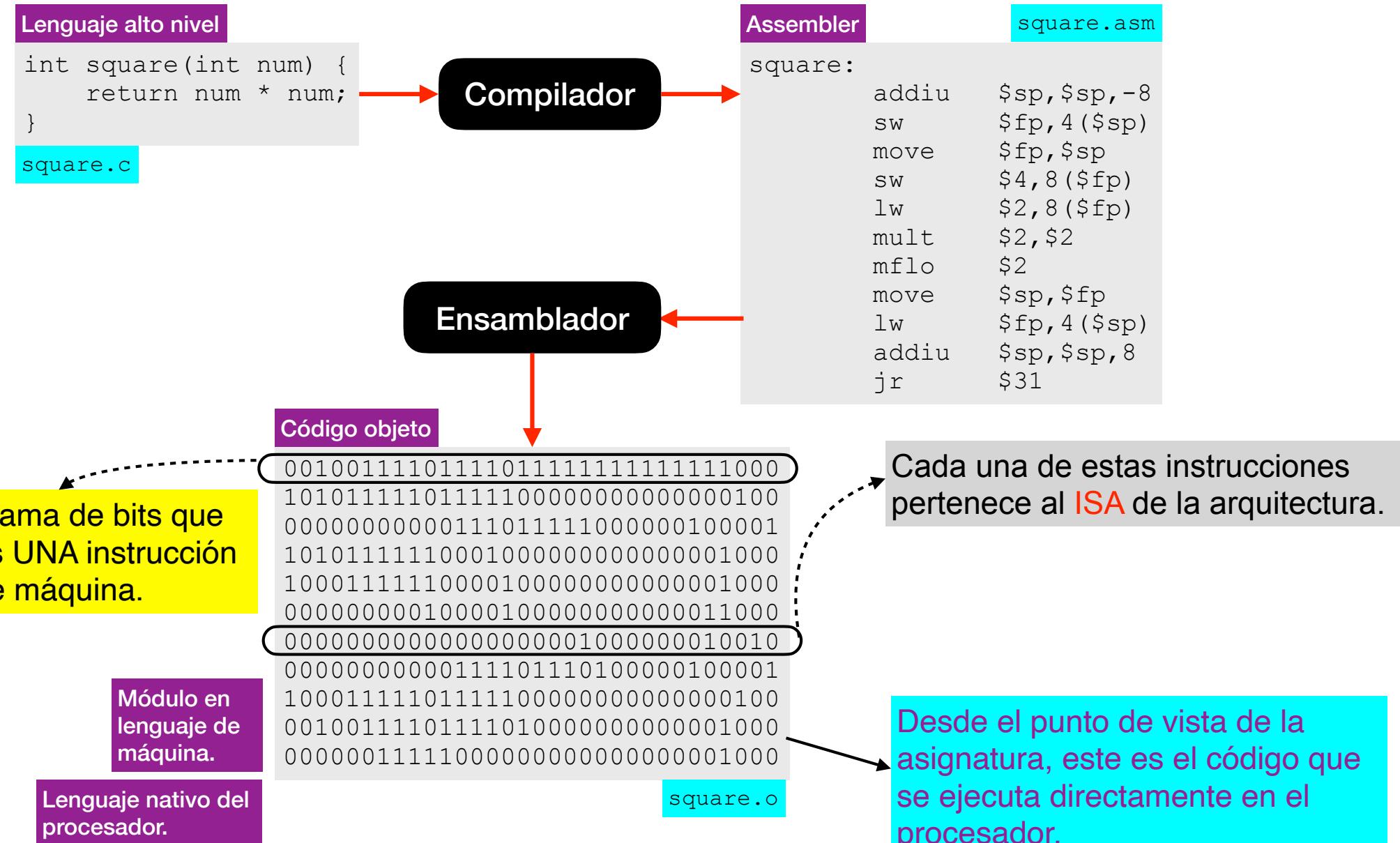
Organización de
la memoria

Mecanismos de
direcciónamiento

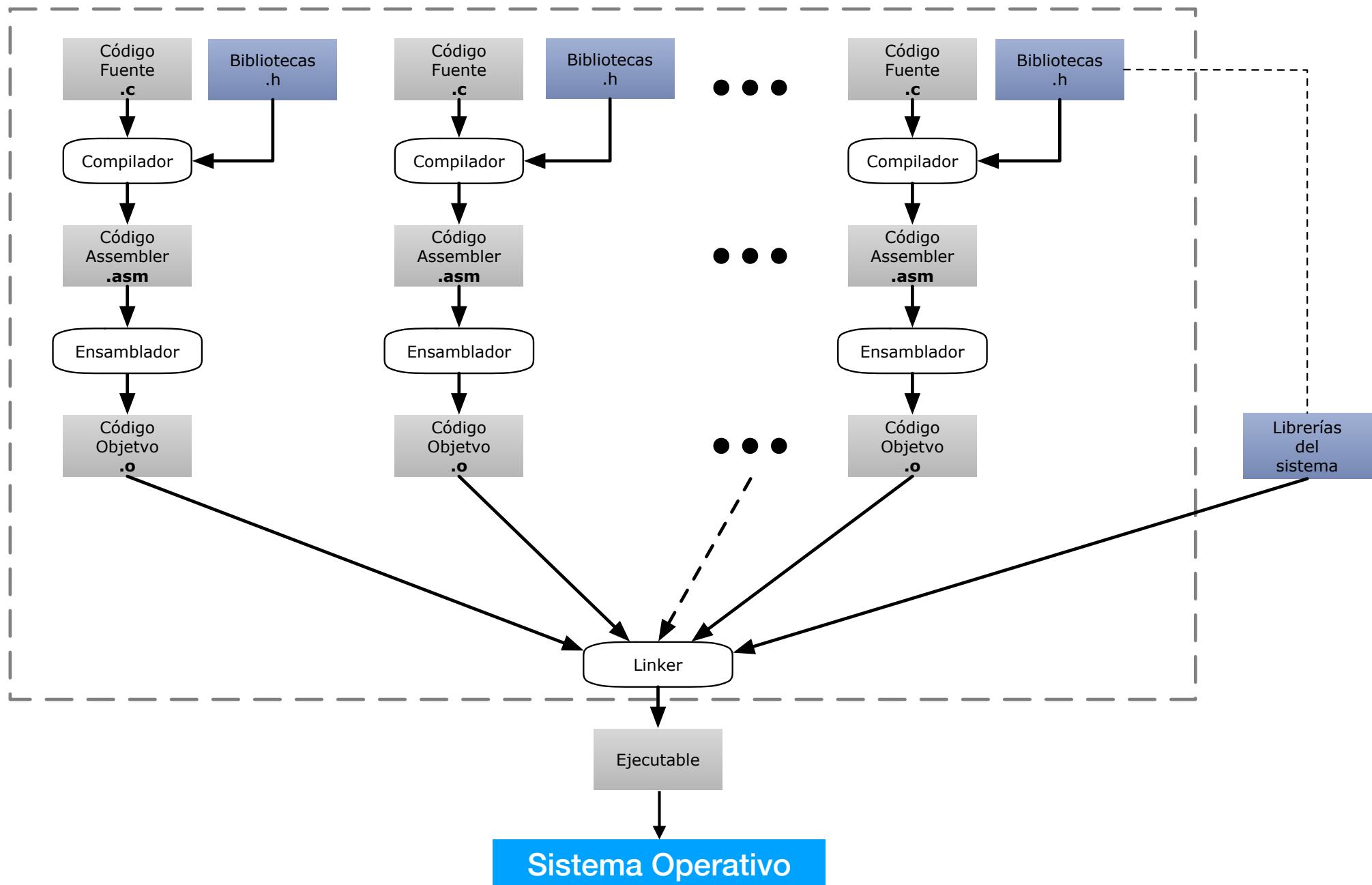
Representación
interna de datos

Organización de
la memoria caché

Relación con el proceso de compilación de un programa



Relación con el proceso de compilación de un programa

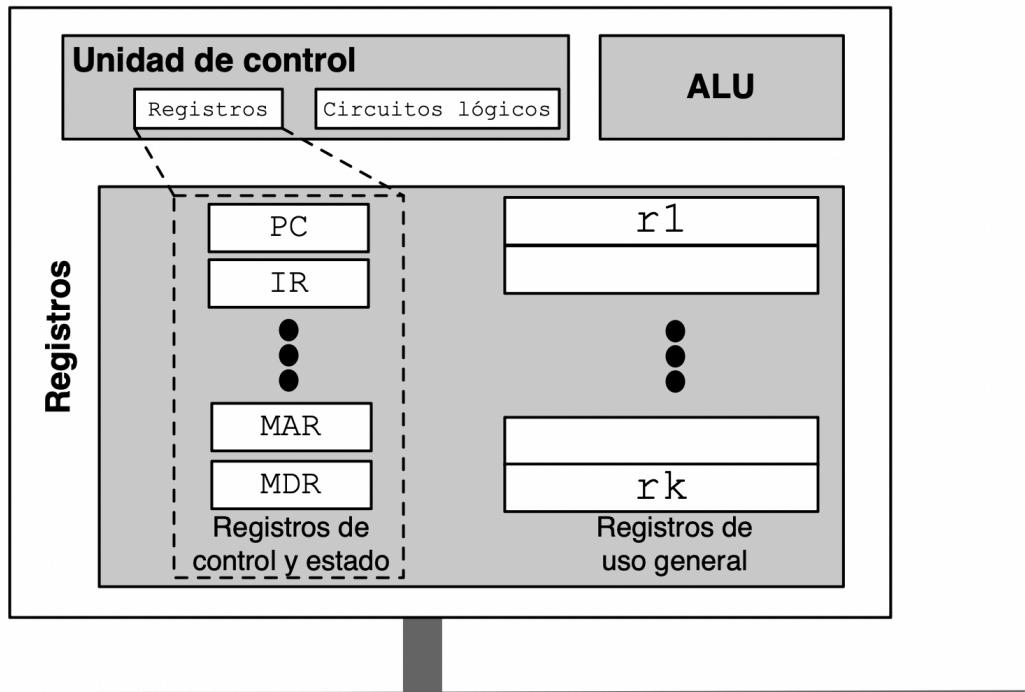


Modelo de un sistema computacional

Modelo de un sistema computacional

Arquitectura de Von Neumann

Procesador



Unidad de control

Controla las operaciones que permiten procesar las instrucciones.

Desde el punto de vista interno, es un sistema digital mixto, compuesto por partes combinacionales y partes secuenciales.

Los registros de esta unidad permiten al programador visualizar el estado interno de funcionamiento del procesador.

Arithmetic and Logic Unit (ALU)

Unidad que realizar operaciones aritméticas básicas

Memoria

Entrada / Salida

Registros

Un registro es un elemento que almacena una trama de bits

Registros de control y estado

Son los que utiliza la Unidad de control. Permiten al programador visualizar el estado interno de funcionamiento del procesador.

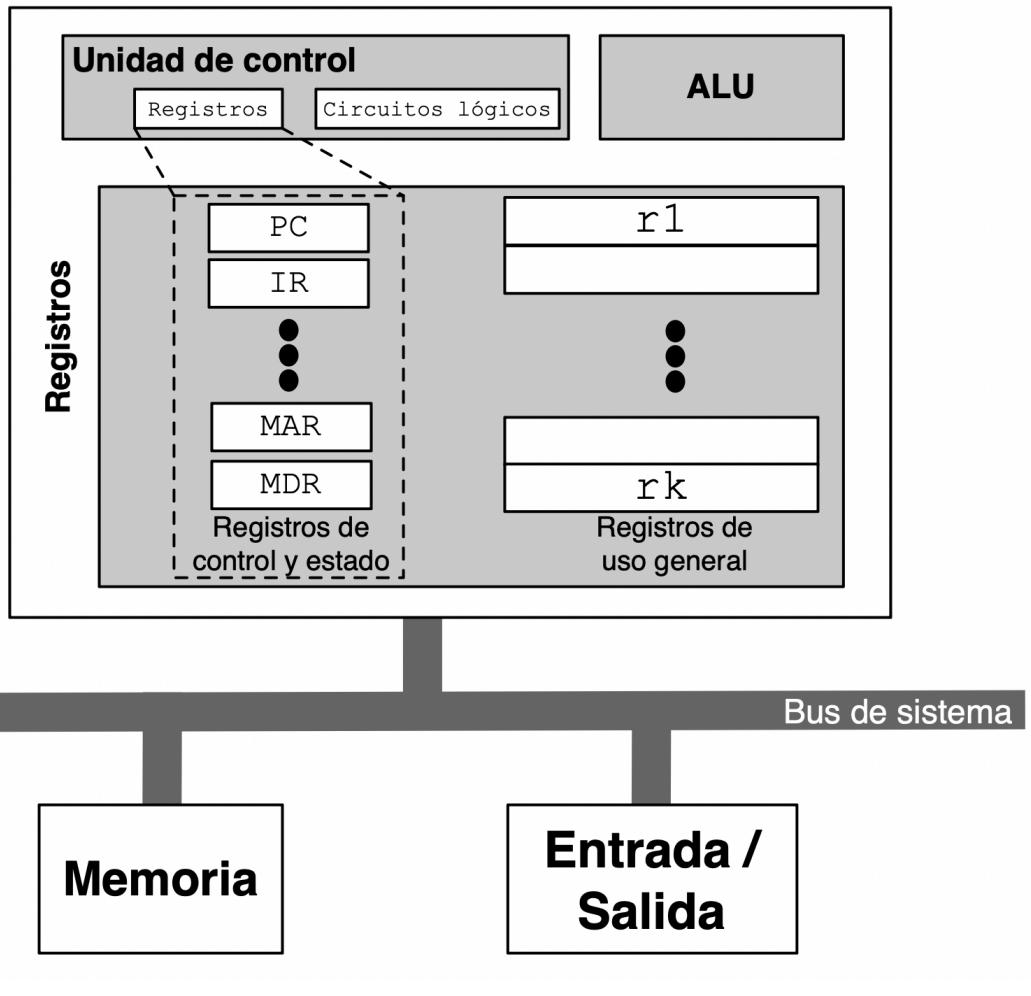
Registros de uso general

Permiten almacenar datos del programa que el procesador está ejecutando. Son similares a las variables en lenguajes de alto nivel.

Modelo de un sistema computacional

Arquitectura de Von Neumann

Procesador



Registros Unidad de control

PC (Program Counter)

Mantiene la dirección de memoria de la instrucción a ser procesada.

IR (Instruction Register)

Mantiene la instrucción que se leyó desde la memoria.

SP (Stack Pointer)

Apunta a la última posición utilizada en el stack de memoria.

El stack se usa generalmente para almacenar variables locales y direcciones de retorno de funciones y procedimientos.

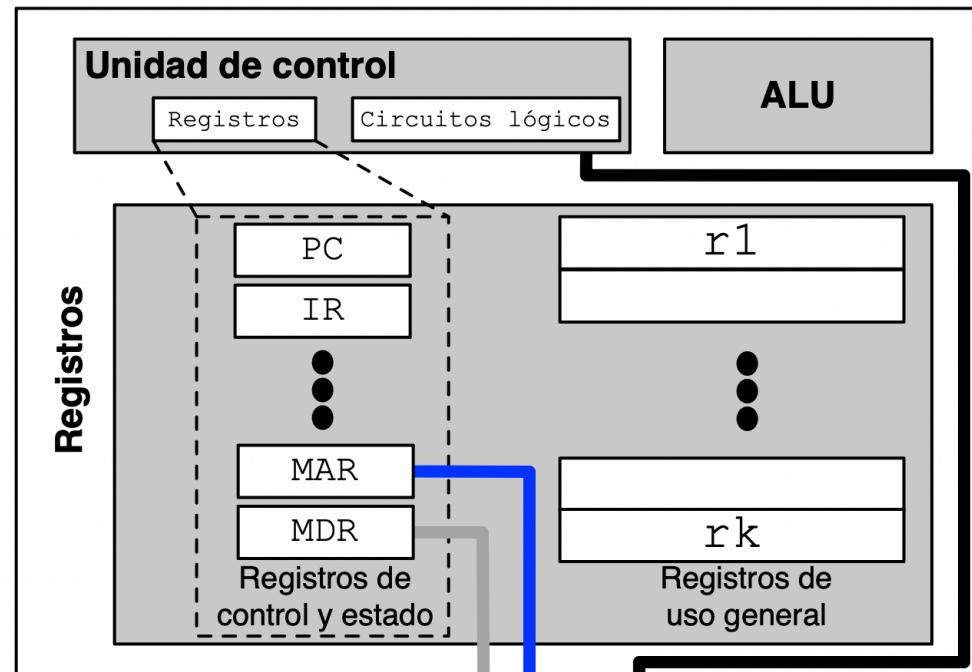
MDR (Memory Data Register)

Mantiene los datos que están siendo transferidos entre el procesador y la memoria

MAR (Memory Address Register)

Almacena la dirección de memoria a la que se desea acceder en una operación de lectura o escritura

Procesador

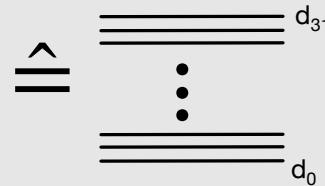


Bus:

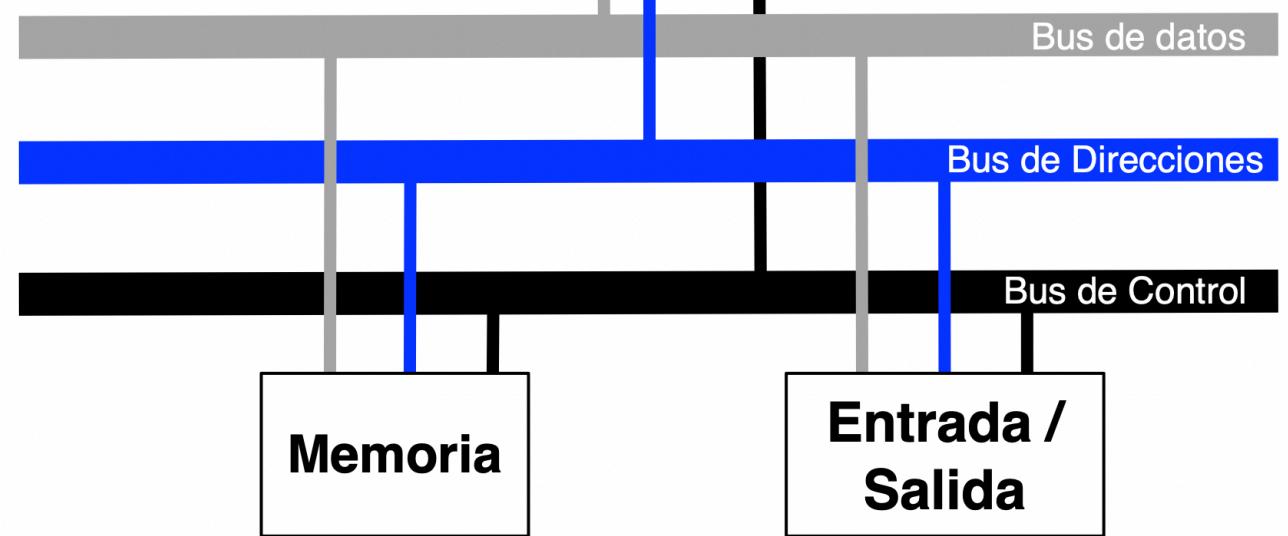
Sistema que transfiere datos digitales

En un sistema computación, son del tipo paralelos.

Por ejemplo, si un sistema tiene un bus de direcciones de 32 bits, se tiene que:



Bus de Direcciones



Características de los BUSES

Dispositivos

Se pueden agregar *sin complicaciones*.

Se pueden intercambiar entre sistemas con el mismo estándar.

El throughput de las transferencias depende de:

Cantidad de dispositivos conectados.

Largo físico del bus.

Variabilidad en las tasas de transferencia de los dispositivos.

Tipo de BUSES

Procesador-Memoria

Corto y de alto BW

Optimizado para transferencia de bloques de datos

I/O

Es el más lento

Mucha dispersión en los BW de los dispositivos de I/O

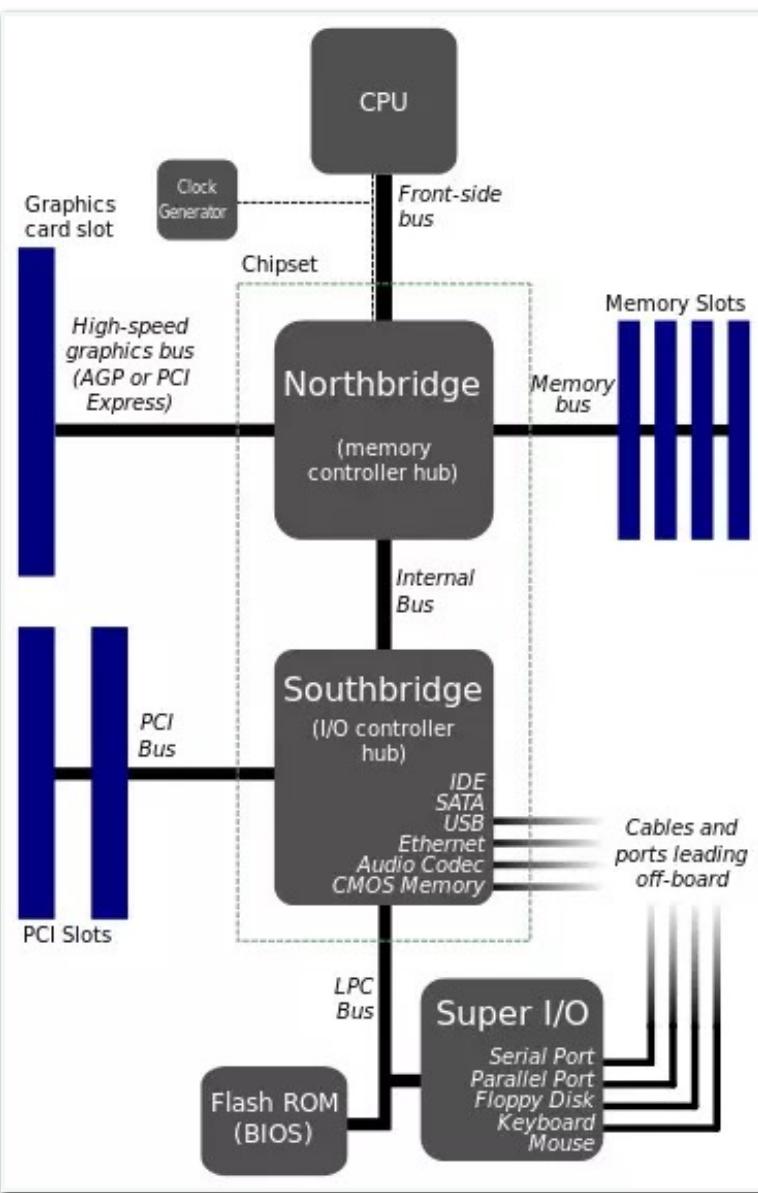
USB, IDE, SATA

Backplane

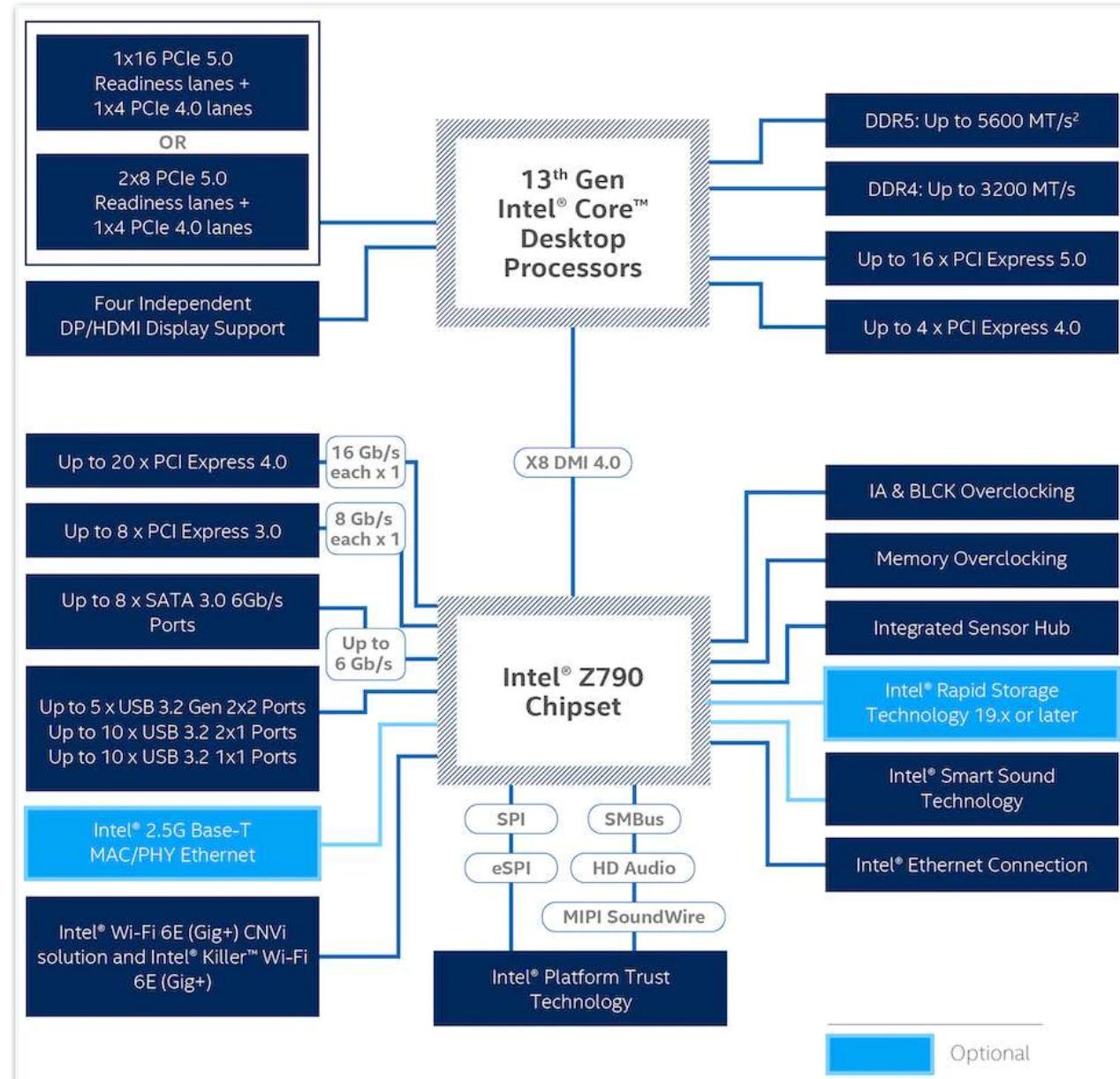
Permite la conexión de dispositivos de alta velocidad

PCIex

Ejemplo de BUSES



2000



2023

Modelo de un sistema computacional

Bus de Direcciones

Dirección de memoria M

Si el bus de direcciones del sistema es de p bits, entonces se puede direccionar 2^p registros.

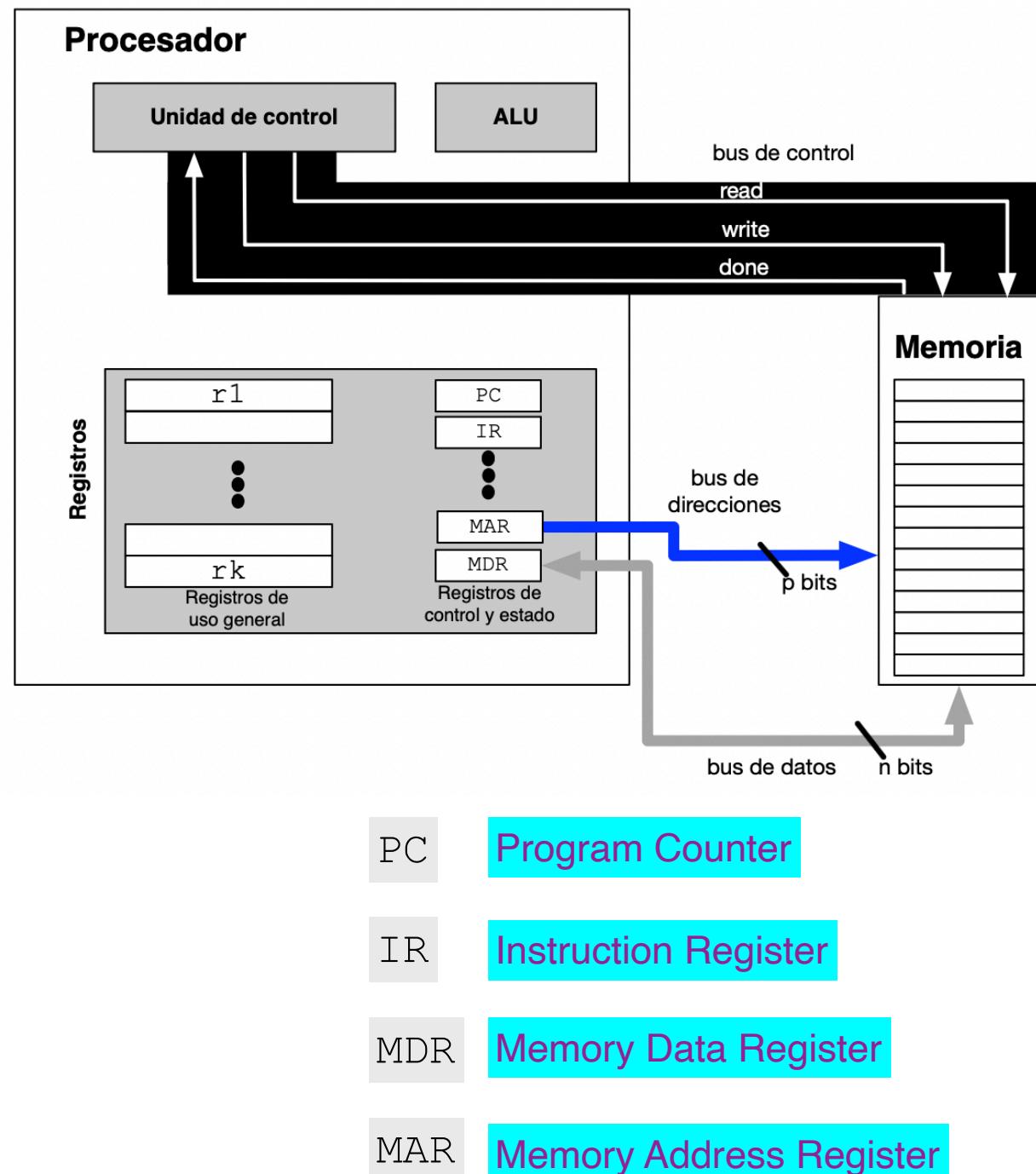
Bus de Datos

Es un canal bidireccional

Si el bus de datos del sistema es de n bits, entonces se pueden **mover n bits en forma simultánea**.

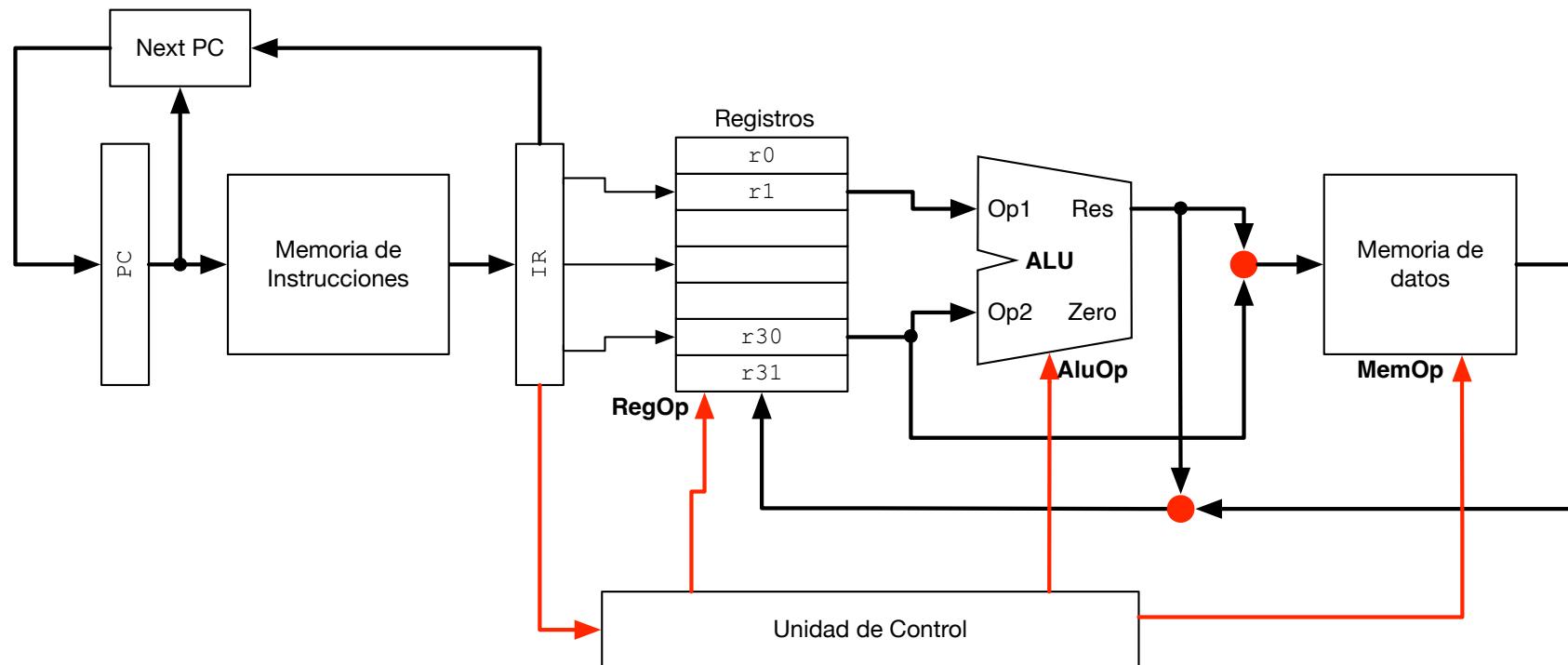
Bus de Control

Transporta señales de control



Modelo de un sistema computacional

Ruta de datos (datapath)



PC

Program Counter

Dirección de memoria de la instrucción a procesar.

IR

Instruction Register

Determina la dirección de la próxima instrucción.

Registros

Almacena la instrucción que se va a procesar.

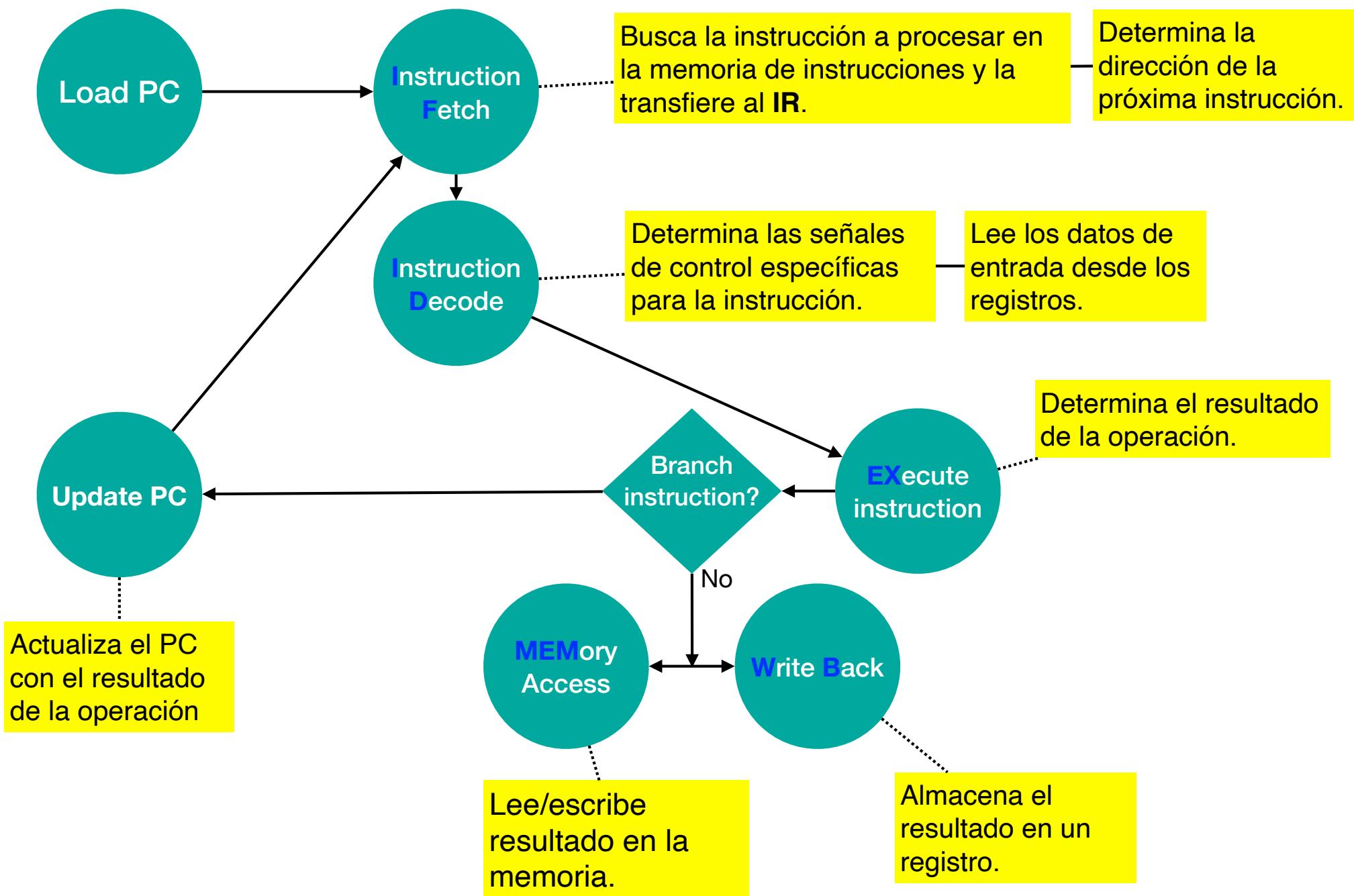
Registros de propósito general utilizados para el procesamiento de la instrucción.

Memoria de
instrucciones /datos

Memoria rápida que contiene las instrucciones a procesar y los datos respectivos

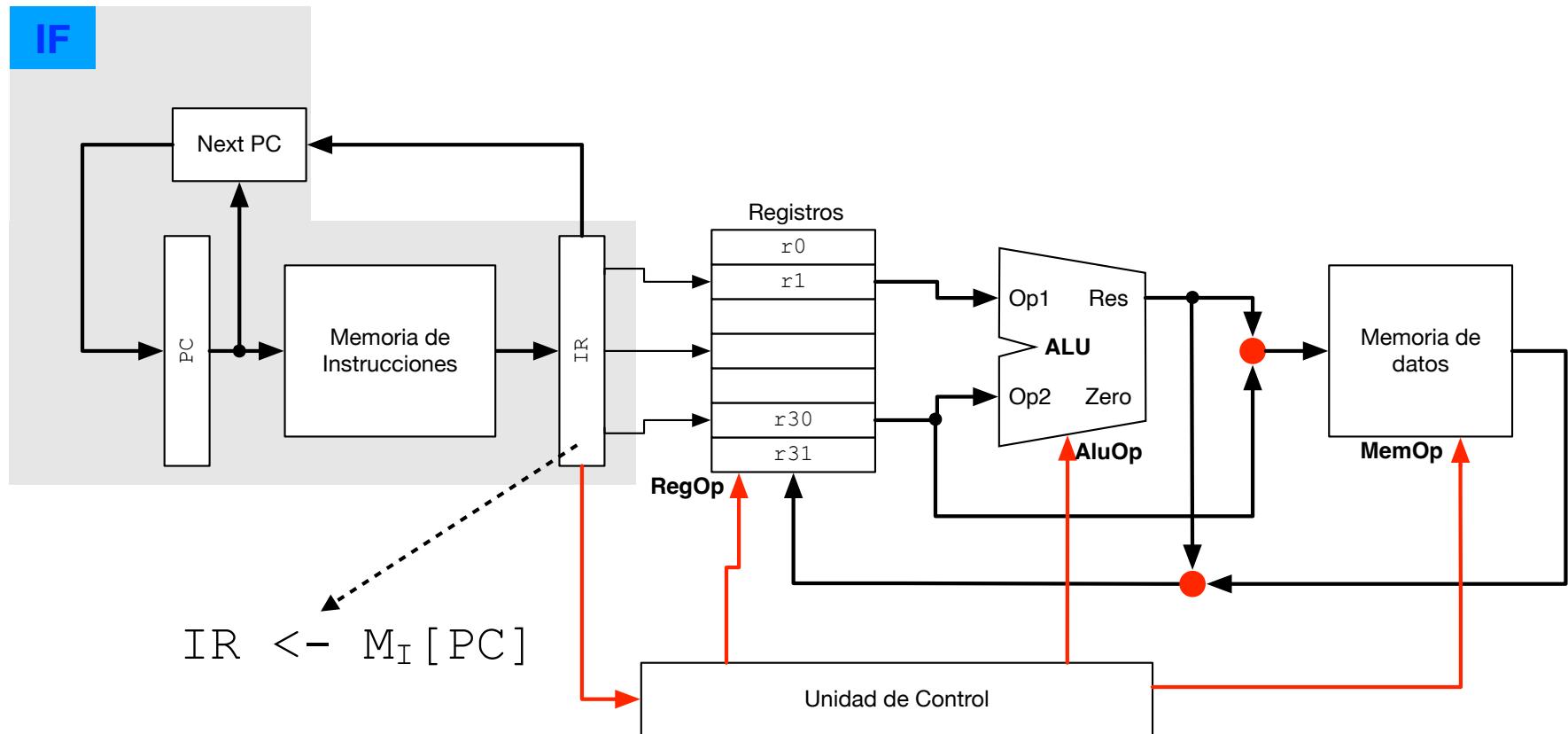
Modelo de un sistema computacional

Ciclo de Neumman



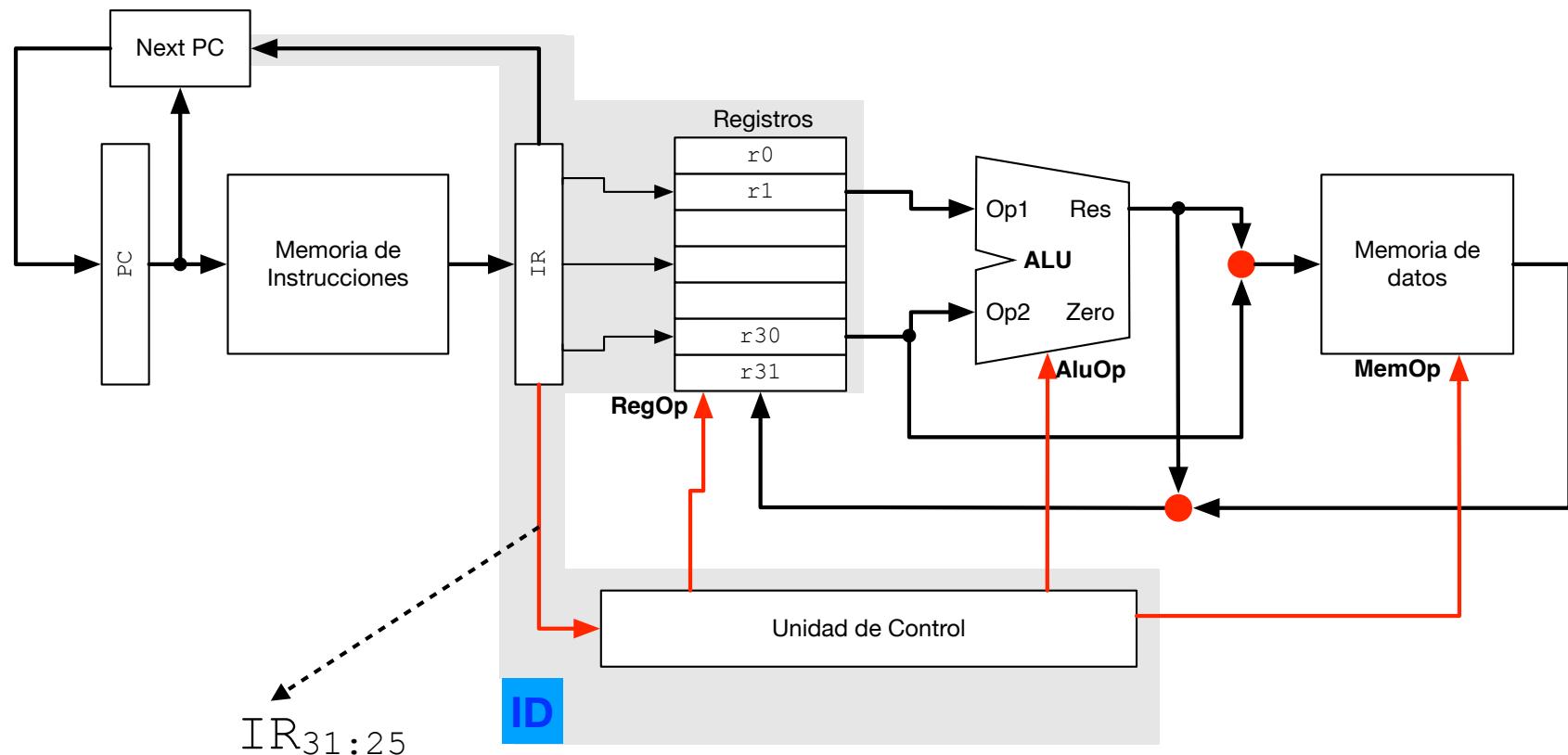
Modelo de un sistema computacional

Ciclo de Neumann



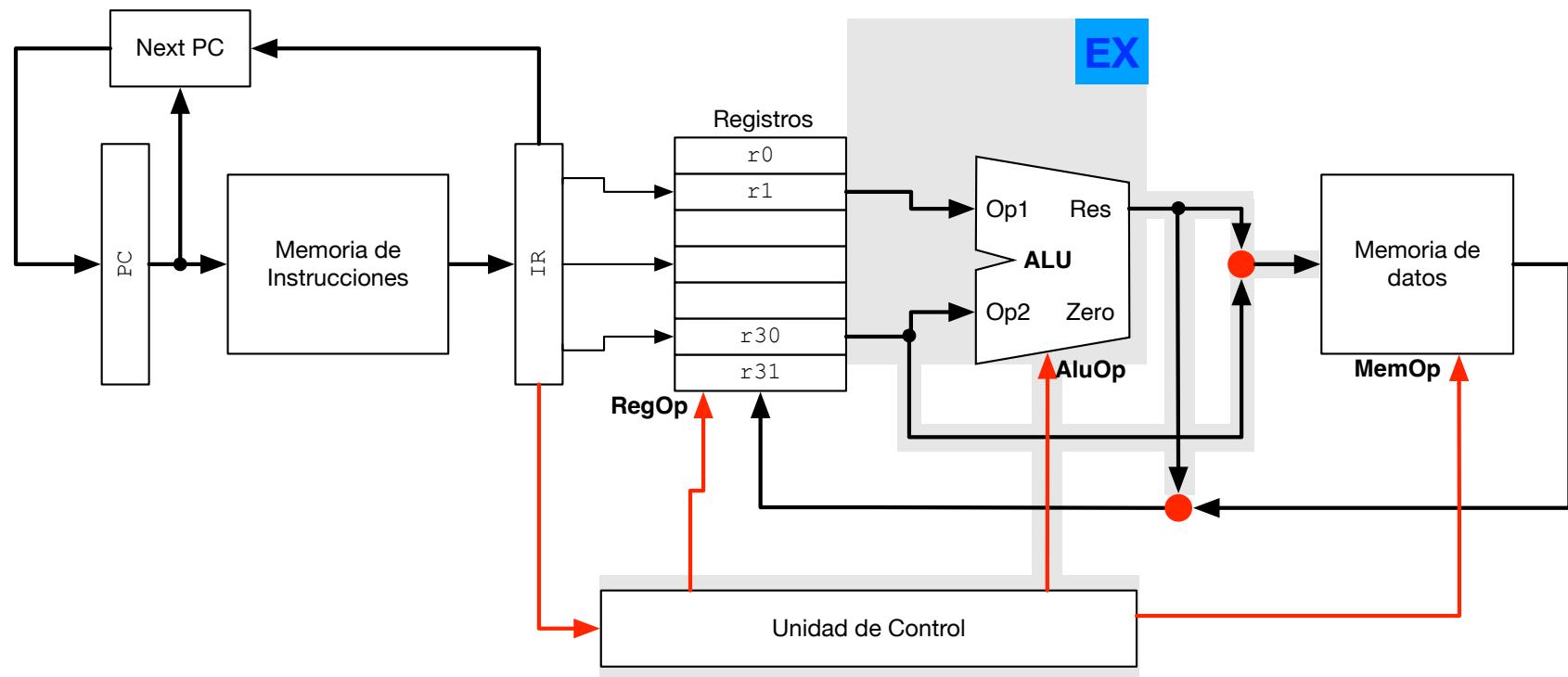
Modelo de un sistema computacional

Ciclo de Neumann



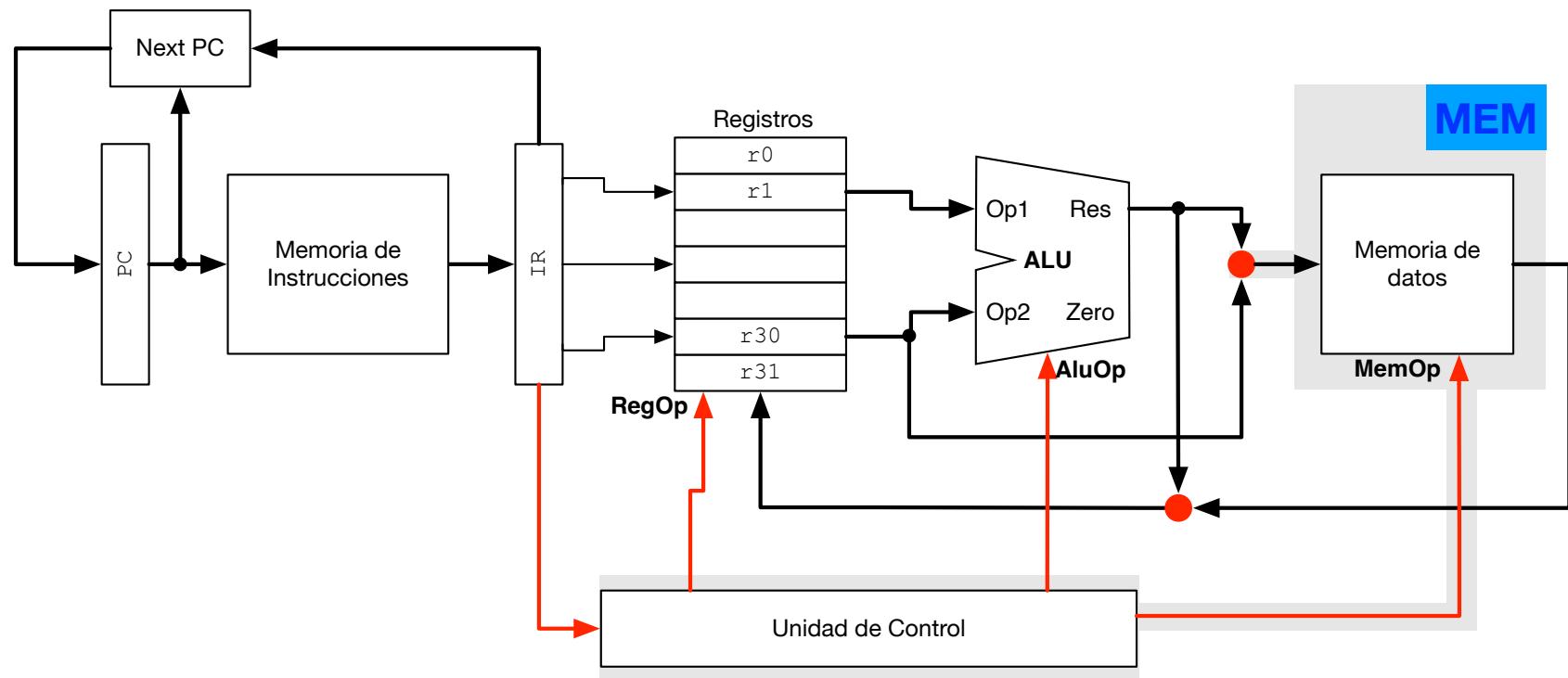
Modelo de un sistema computacional

Ciclo de Neumann



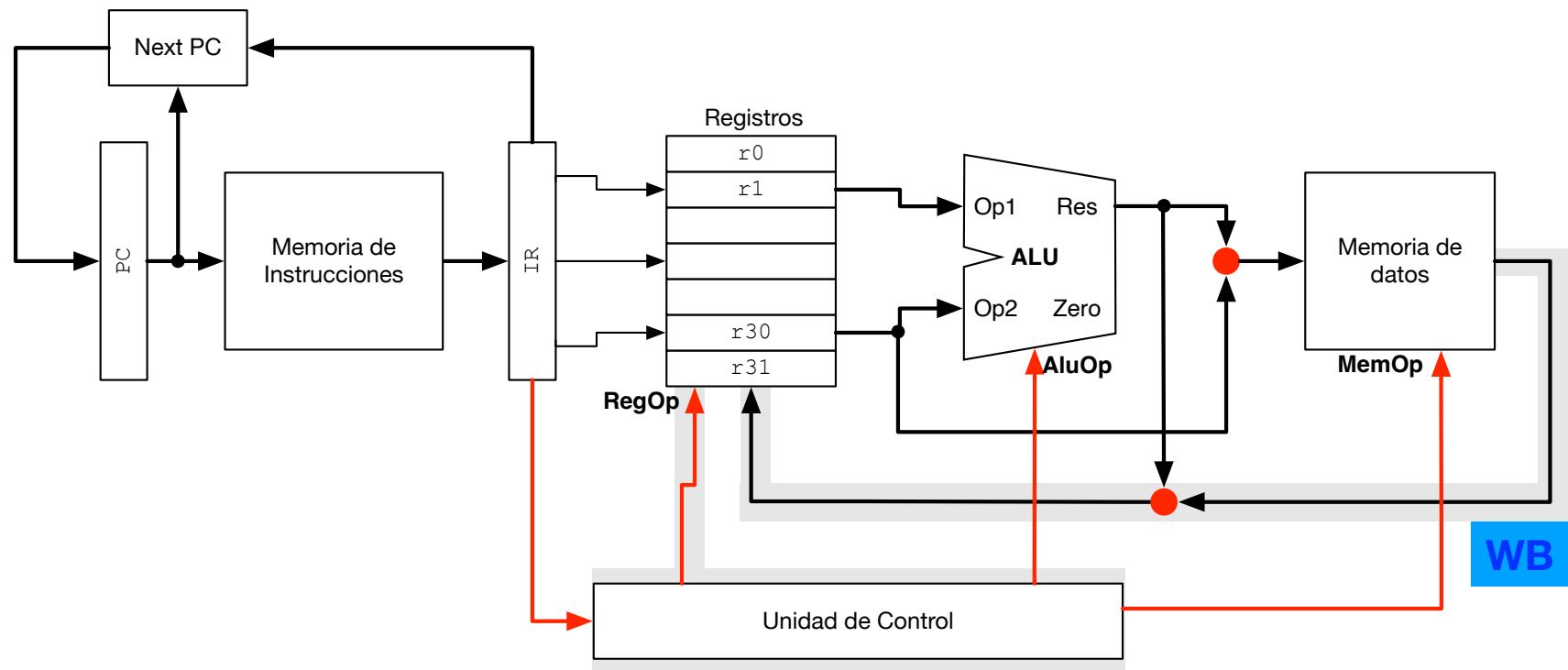
Modelo de un sistema computacional

Ciclo de Neumann



Modelo de un sistema computacional

Ciclo de Neumann



Modelo de un sistema MIPS

Diagrama funcional de un procesador MIPS

Todos los registros son de 32 bits

ALU

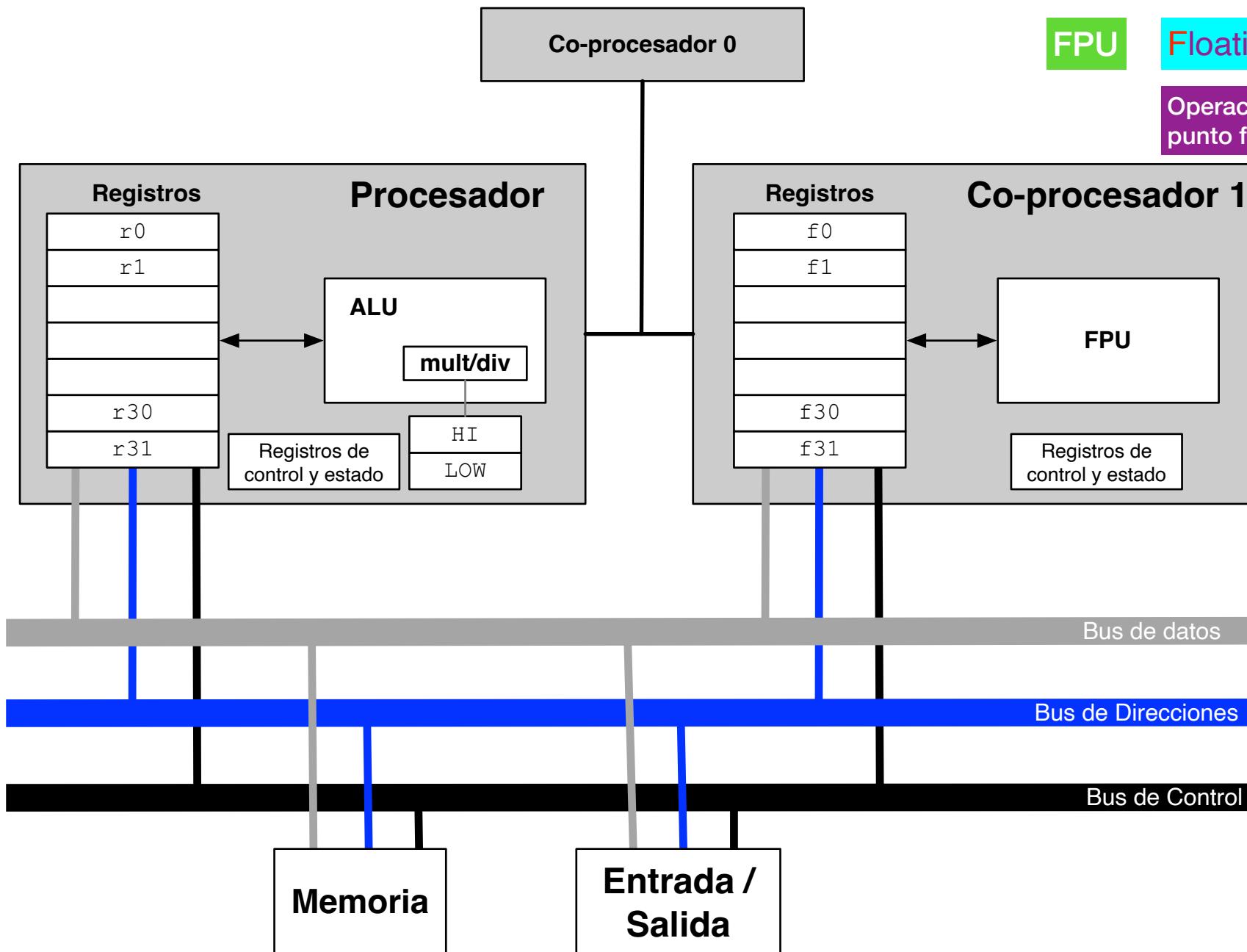
Arithmetic Logic Unit

Operaciones enteras y de bits

FPU

Floating Point Unit

Operaciones en punto flotante



Estructura de un procesador MIPS

ALU

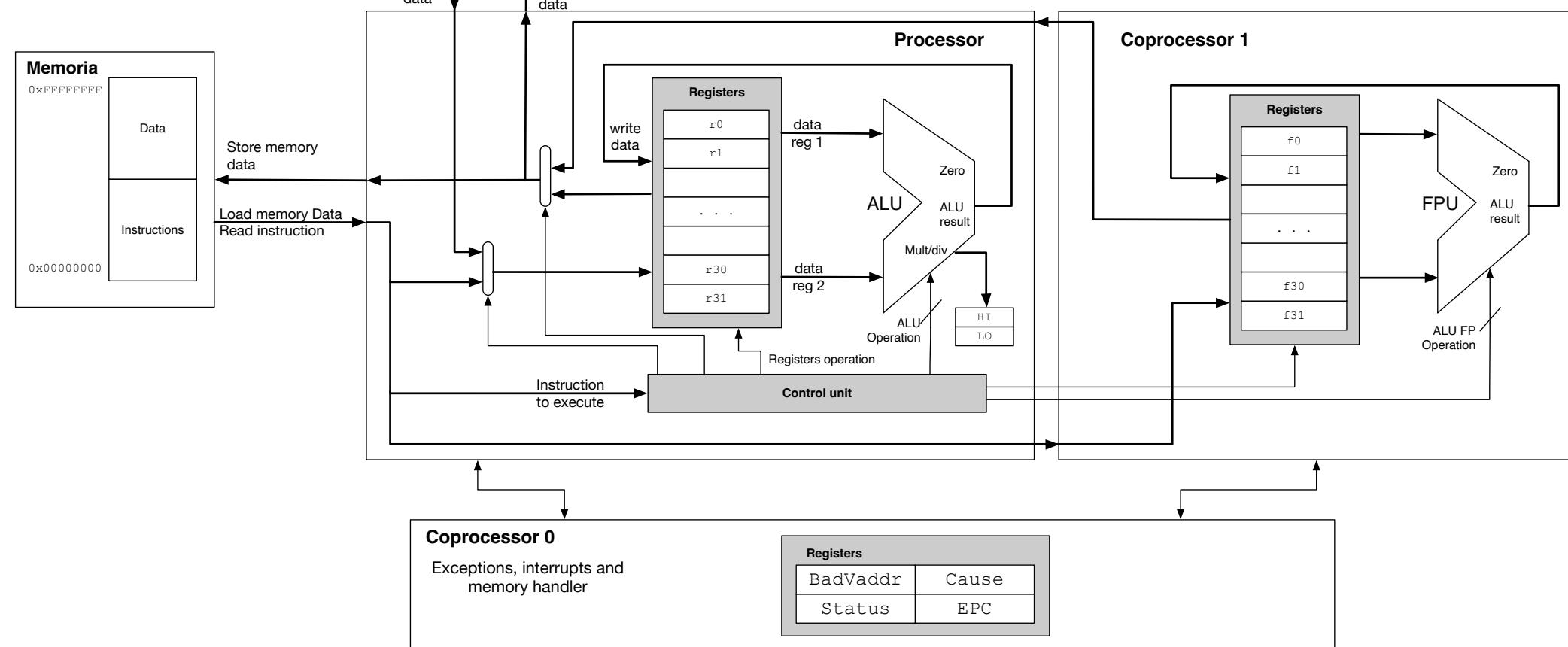
Arithmetic Logic Unit

Operaciones enteras y de bits

FPU

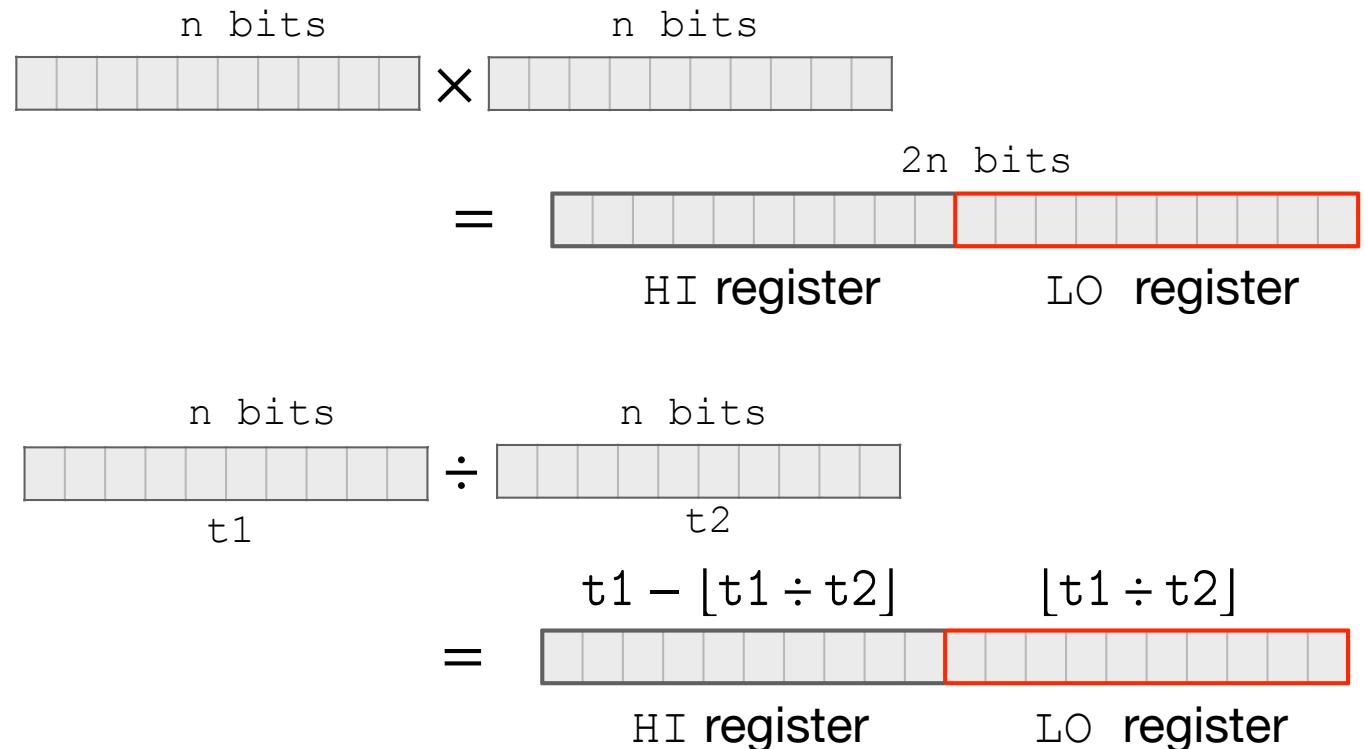
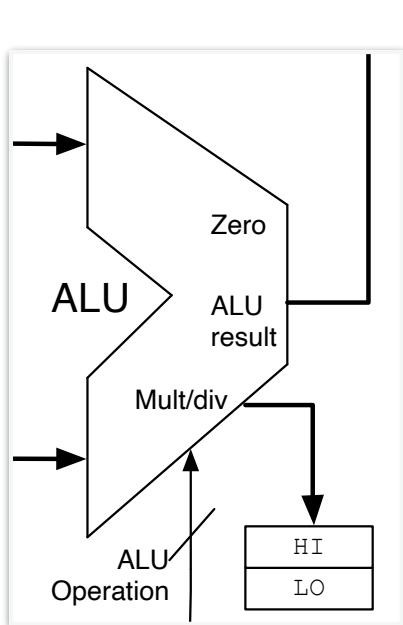
Floating Point Unit

Operaciones en punto flotante



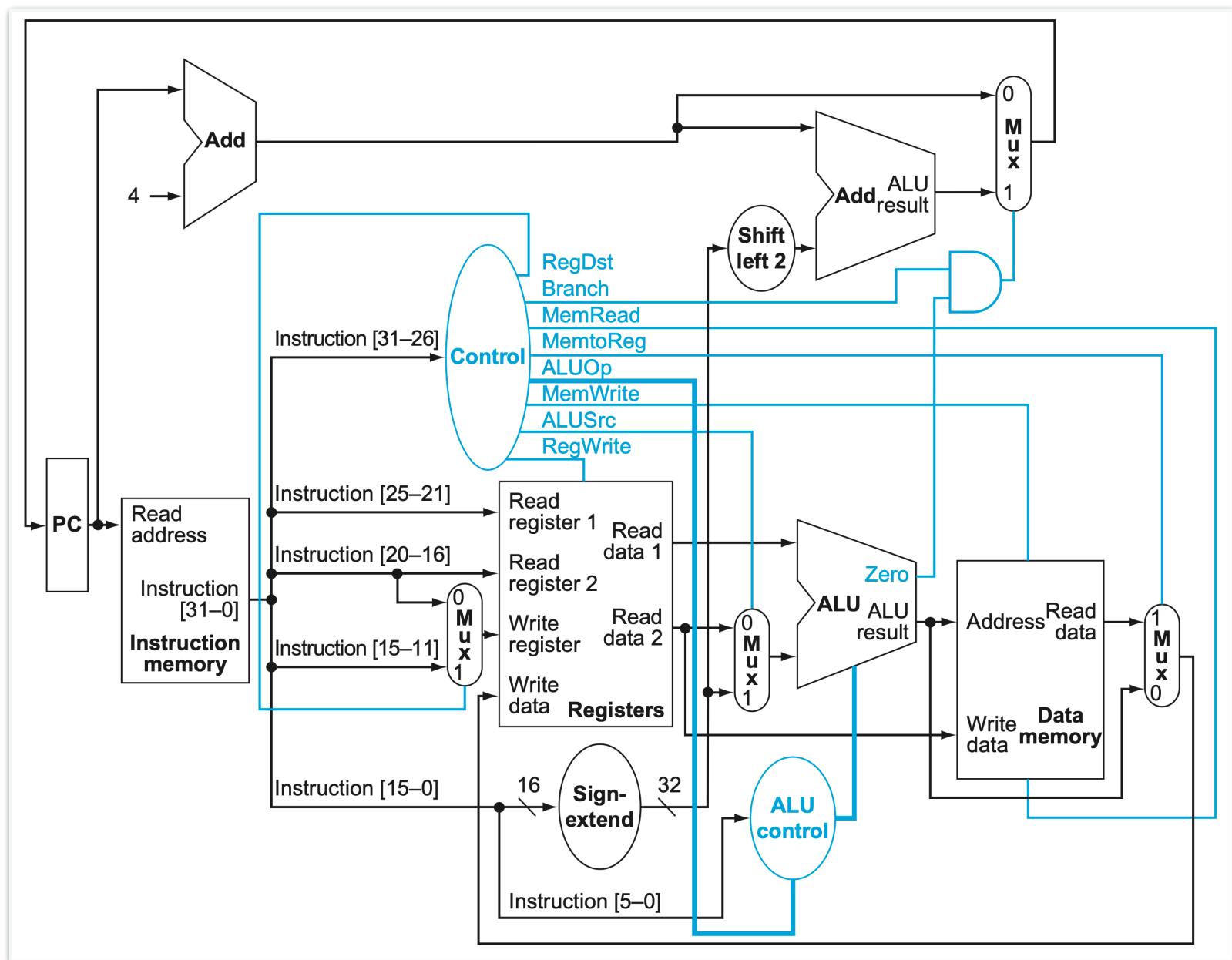
Estructura de un procesador MIPS

Función de los registros HI y LO de la ALU del procesador.



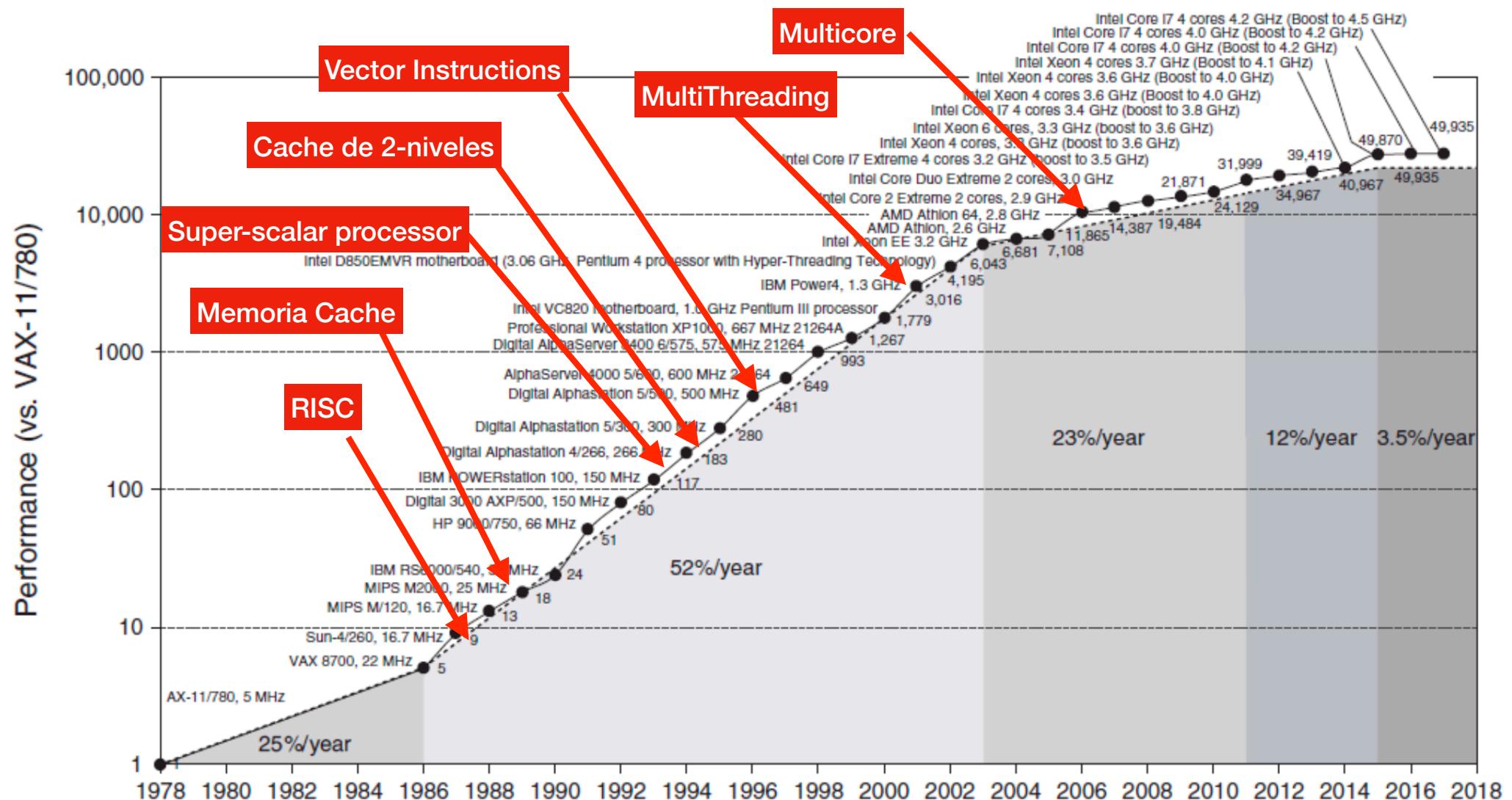
Estructura de un procesador MIPS

Ruta de datos (datapath)



Mejoras tecnológicas del sistema computacional

Desempeño de los procesadores



Hennessy, D. A. P. (2017). Computer Architecture: A Quantitative Approach by John L. Hennessy, David A. Patterson.

Desempeño de los procesadores

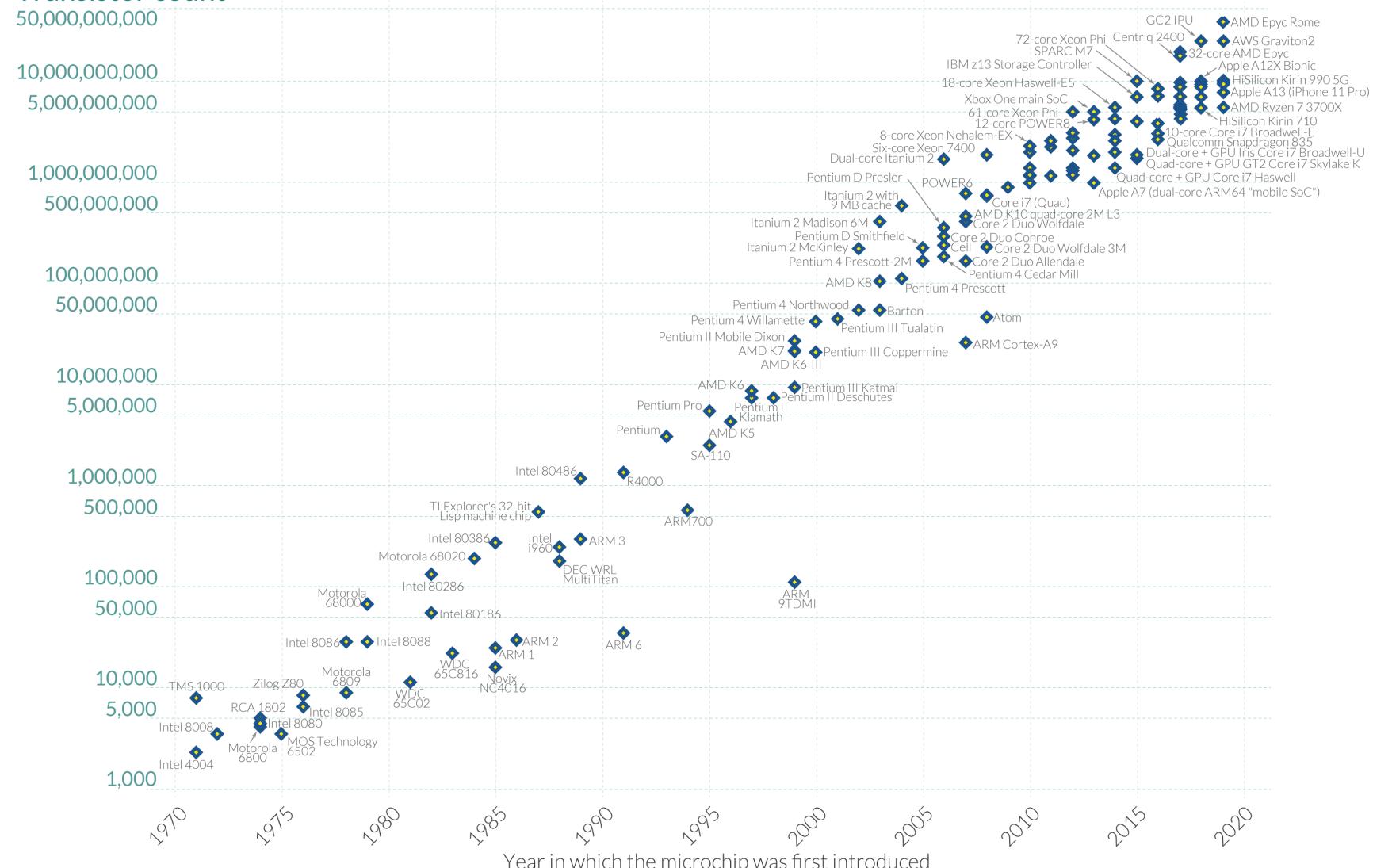
Ley de Moore

Moore's Law: The number of transistors on microchips has doubled every two years

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important for other aspects of technological progress in computing – such as processing speed or the price of computers.

Our World
in Data

Transistor count



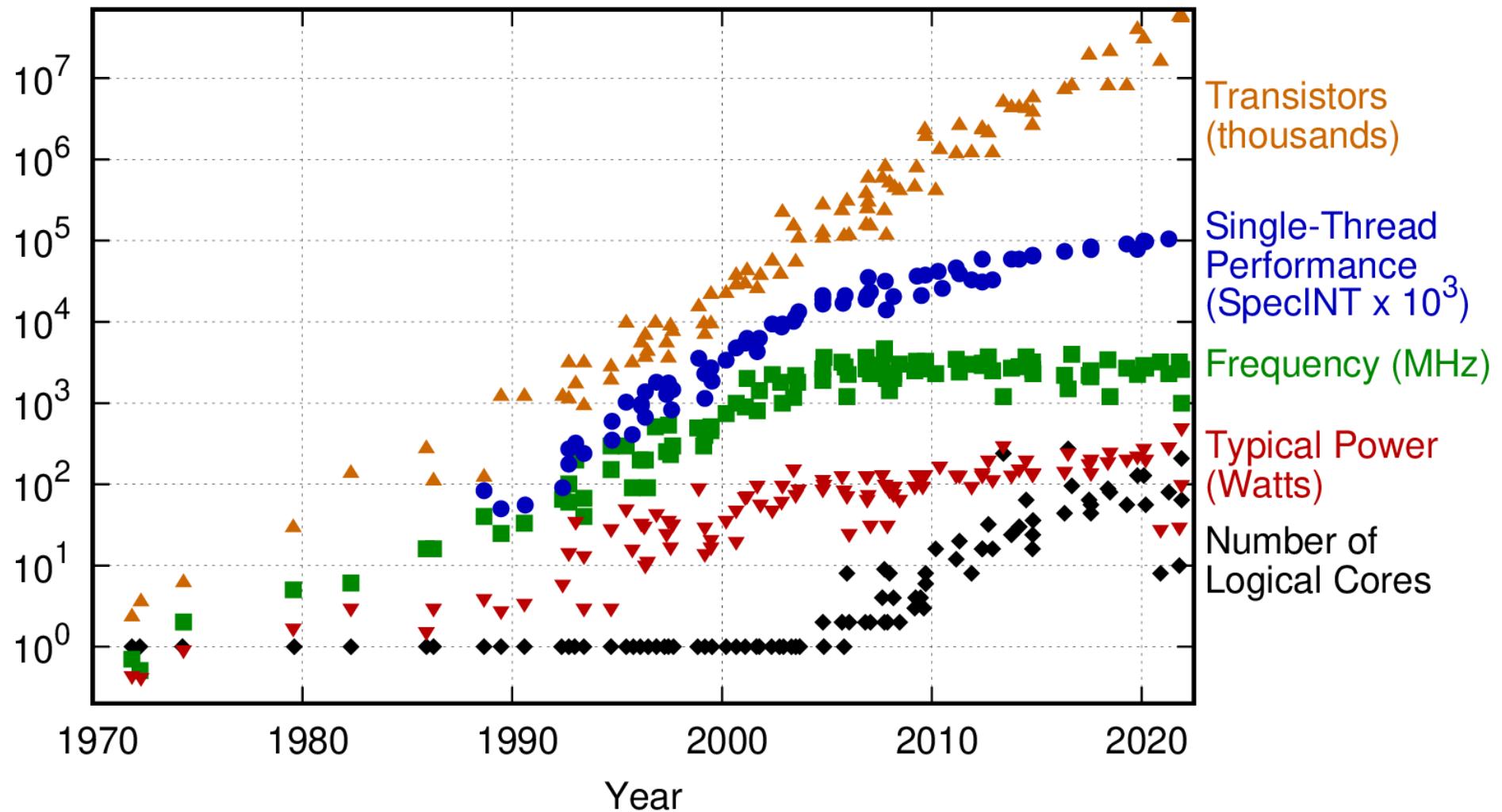
Data source: Wikipedia ([wikipedia.org/wiki/Transistor_count](https://en.wikipedia.org/w/index.php?title=Transistor_count))

OurWorldInData.org – Research and data to make progress against the world's largest problems.

Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.

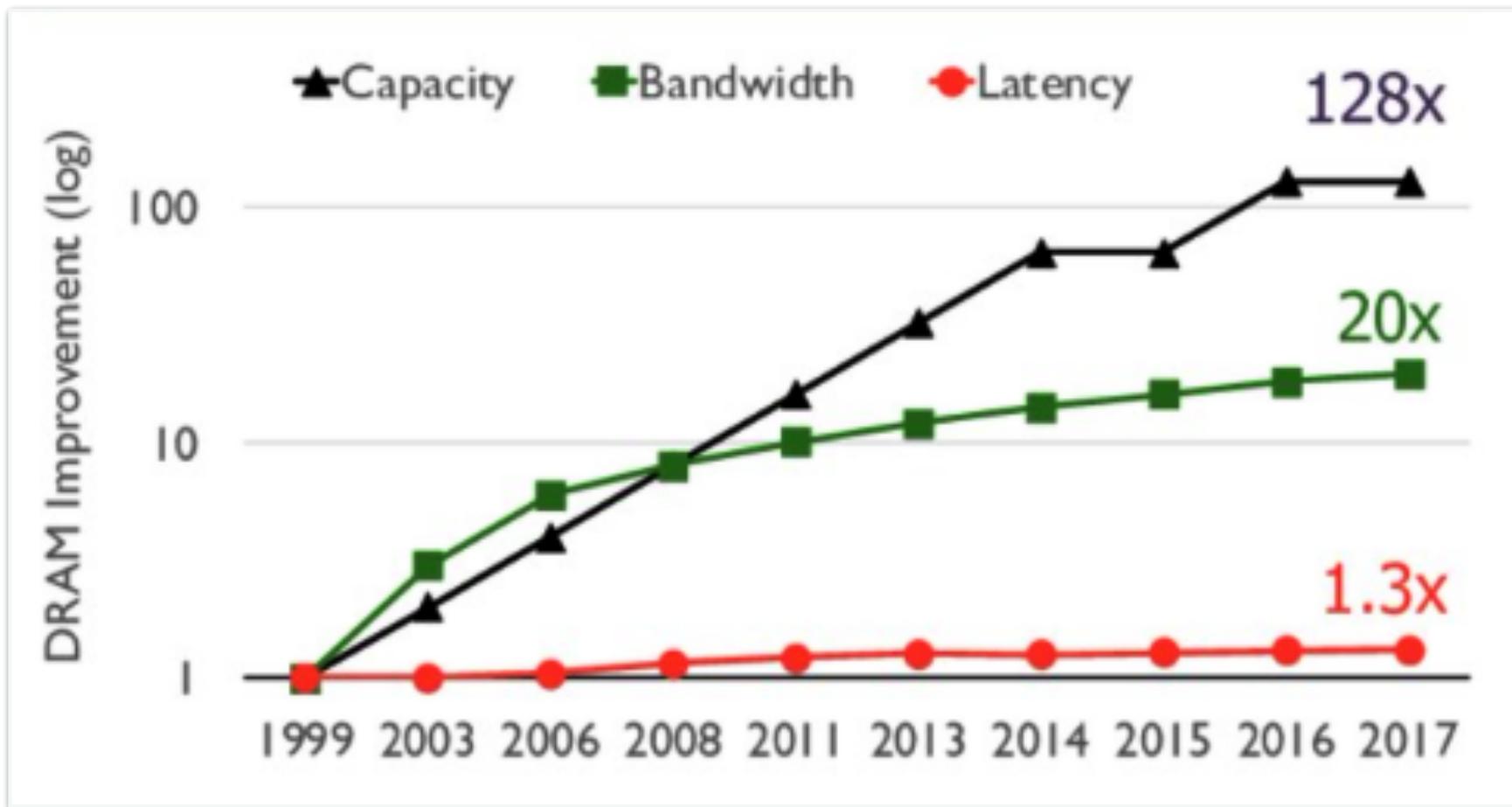
Desempeño de los procesadores

50 Years of Microprocessor Trend Data



Original data up to the year 2010 collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond, and C. Batten
New plot and data collected for 2010-2021 by K. Rupp

Crecimiento de la memoria DRAM



Chang, K. K., Kashyap, A., Hassan, H., Ghose, S., Hsieh, K., Lee, D., ... & Mutlu, O. (2016, June). Understanding latency variation in modern DRAM chips: Experimental characterization, analysis, and optimization. In *Proceedings of the 2016 ACM SIGMETRICS International Conference on Measurement and Modeling of Computer Science* (pp. 323-336).

