

Um Fluxo de Dados Simples (DESAFIO)

Versão 2026

1.4. Atividade 4 – Desafio

Esta atividade envolve mapear as saídas do contador do circuito em *displays* de sete segmentos da placa FPGA DE0-CV.

DICA: Para realizar as atividades, recomenda-se a leitura da apostila “*Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1*” disponível no Bloco de Material de Apoio no e-Disciplinas.

Os arquivos de projetos deverão ser armazenados em pastas com a seguinte regra: alunos da **turma X** e **bancada yy** devem usar a pasta C:\Projetos\TxByy. Por exemplo, para o grupo da Turma 1 e bancada A1, usar pasta em C:\Projetos\T1BA1.

Inicialmente, copie os arquivos Verilog do projeto da Experiência 3 em uma nova pasta chamada C:\Projetos\TxByy\Exp2\circuito_exp2_desafio no computador de sua bancada.

- i) Modifique o nome da entidade principal do projeto para `circuito_exp2_desafio` e implemente o mapeamento das saídas em *displays* de 7 segmentos. DICA: use o componente `hexa7seg.v` fornecido no e-Disciplinas.

O módulo Verilog deve seguir a definição da Figura 1. Note que a saída `db_contagem` foi modificada e possui 7 bits de largura para ser convertida para a representação no *display* de sete segmentos.

```
module circuito_exp2_desafio (clock, zera, carrega, conta, chaves,
                             menor, maior, igual, fim, db_contagem);
    input      clock;
    input      zera;
    input      carrega;
    input      conta;
    input [3:0] chaves;
    output      menor;
    output      maior;
    output      igual;
    output      fim;
    output [6:0] db_contagem;
endmodule
```

Figura 1: Definição da entidade principal do Desafio.

- ii) Após criar e compilar o projeto do Desafio no Intel Quartus Prime, execute a ferramenta **RTL Viewer** (execute o comando de menu Tools > Netlist Viewers > RTL viewer) e analise a saída obtida. Anexe a figura no relatório e compare o seu projeto com o exemplo da Figura 2 no relatório.

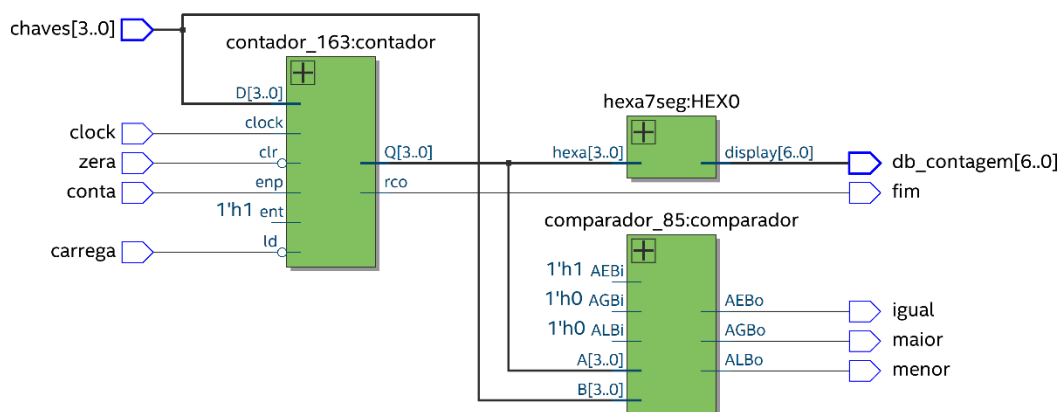


Figura 2: Exemplo de saída gerada pelo RTL Viewer.

- iii) Realize a designação de pinos conforme a Tabela 1 e inclua, no relatório, *prints* do *Pin Planner* evidenciando as novas atribuições de pinos no Intel Quartus Prime
DICA: consulte tabela de pinos da placa FPGA DE0-CV, disponível no e-Disciplinas, para obter os pinos necessários para o sinal `db_contagem` atualizado.

Tabela 1: Designação de Pinos para o Circuito Digital do Desafio

Sinal	Pino na Placa DE0-CV	Pino na FPGA
CLOCK	botão KEY0	PIN_U7
ZERA	chave SW0	PIN_U13
CONTA	chave SW1	PIN_V13
CARREGA	chave SW2	PIN_T13
CHAVES(0)	chave SW3	PIN_T12
CHAVES(1)	chave SW4	PIN_AA15
CHAVES(2)	chave SW5	PIN_AB15
CHAVES(3)	chave SW6	PIN_AA14
DB_CONTAGEM	display HEX0	consultar
MENOR	Led LEDR5	PIN_N1
IGUAL	Led LEDR6	PIN_U2
MAIOR	Led LEDR7	PIN_U1
FIM	Led LEDR9	PIN_L1

- iv) Programe o circuito sintetizado na placa FPGA DE0-CV.
- v) Execute o Plano de Testes descrito na Atividade 2 da apostila da Experiência 2 e mostre os resultados obtidos.
- vi) Anexe o arquivo QAR do projeto do desafio (arquivo `circuito_exp2_desafio.qar`) junto com o Relatório.

Após a conclusão da atividade, desligue a placa FPGA e o computador da bancada.

Histórico de Revisões

E.T.M. / 2018 (adaptação e revisão)
 E.T.M. & A.V.S.N / 2021 (revisão e adaptação para ensino remoto)
 E.T.M. / 2022 (revisão e adaptação)
 E.T.M. / 2023 (revisão e adaptação para ensino presencial)
 E.T.M. / 2024 (revisão e adaptação para Verilog)
 E.T.M. / 2025 (revisão e adaptação)
 E.T.M. / 2025 (revisão)
 E.T.N. & A.V.S.N. / 2026 (revisão)