

Um Fluxo de Dados Simples

Versão 2026

OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Estudo de um fluxo de dados de um circuito digital;
- Uso de módulo de memória e interface com display de 7 segmentos;
- Projeto hierárquico de circuitos digitais;
- Projeto de circuitos usando descrição estrutural Verilog;
- Simulação com o software Digital;
- Síntese para uma placa FPGA, usando Quartus Prime.

RESUMO

Esta experiência tem como objetivo o desenvolvimento do projeto de um fluxo de dados de um circuito digital simples usando uma descrição estrutural em Verilog. A verificação de funcionamento dos circuitos deve usar o software Digital. O circuito deve ser sintetizado com o Intel Quartus Prime e, em seguida, será programado e testado em uma placa FPGA. Este fluxo de dados será usado no projeto da disciplina.

1. PARTE EXPERIMENTAL

A parte experimental desta experiência visa desenvolver o fluxo de dados de um circuito digital usando uma linguagem de descrição de hardware. O projeto deve ser sintetizado na placa DE0-CV. Posteriormente, deve-se executar um estudo detalhado de seu funcionamento através da execução de um plano de testes minucioso.

O projeto do circuito da experiência contém dois componentes: um contador binário hexadecimal (contador_163) e um comparador de magnitude de 4 bits (comparador_85), cujas respectivas descrições Verilog são fornecidas.

1.1. Atividade 1 – Estudo e Familiarização com descrições Verilog

Nesta atividade, as descrições Verilog dos componentes devem ser estudadas e, em seguida, o funcionamento delas deve ser analisado através de simulação. Para cada componente, são disponibilizados circuitos para familiarização no software Digital.

Componente contador_163

- Analise o código-fonte Verilog do componente `contador_163.v`, disponibilizado junto com este enunciado no e-Disciplinas. Estude seu funcionamento a partir da análise do código-fonte e descreva-o no planejamento.
DICA: use o arquivo fornecido do *Digital* para analisar o funcionamento do componente.
- A Tabela 1 a seguir representa o *Plano de Teste* a ser exercitado para verificar o funcionamento do circuito contador em Verilog.

Tabela 1: Plano de Teste para o Componente "contador_163"

Teste	Descrição	Sinais de Entradas	Saídas esperadas
condições iniciais	Todas as entradas inativadas	CLR=1, LD=1, D=0000, ENP=0, ENT=0, CLOCK=0	Q=0000, RCO=0
1	Aciona clock 2x com entradas inativadas	CLR=1, LD=1, D=0000, ENP=0, ENT=0, acionar CLOCK 2 vezes	Q=0000, RCO=0
2	Aciona clock (somente) com clear ativado	CLR=0, LD=1, D=0000, ENP=0, ENT=0, acionar CLOCK	Q=0000, RCO=0
3	Aciona clock 5x com sinais de enable ativados	CLR=1, LD=1, D=0000, ENP=1, ENT=1, acionar CLOCK 5 vezes	Q=0101, RCO=0
4	Aciona clock com load ativado e dado=1011	CLR=1, LD=0, D=1011, ENP=0, ENT=0, acionar CLOCK	Q=1011, RCO=0
5	Aciona clock 4x com sinais de enable ativados	CLR=1, LD=1, D=0000, ENP=1, ENT=1, acionar CLOCK 4 vezes	Q=1111, RCO=1
6	Aciona clock 2x com enp=0 e ent=1	CLR=1, LD=1, D=0000, ENP=0, ENT=1, acionar CLOCK 2 vezes	Q=1111, RCO=1
7	Aciona clock 2x com enp=1 e ent=0	CLR=1, LD=1, D=0000, ENP=1, ENT=0, acionar CLOCK 2 vezes	Q=1111, RCO=0
8	Aciona clock 2x com sinais de enable ativados	CLR=1, LD=1, D=0000, ENP=1, ENT=1, acionar CLOCK 2 vezes	Q=0001, RCO=0
9	Aciona clock com clear e load ativados e dado=1001	CLR=0, LD=0, D=1001, ENP=1, ENT=1, acionar CLOCK	Q=0000, RCO=0
10	Aciona clock com load ativado e dado=1011	CLR=1, LD=0, D=1001, ENP=1, ENT=1, acionar CLOCK	Q=1001, RCO=0
11	Aciona clock 6x com sinais de enable ativados	CLR=1, LD=1, D=1001, ENP=1, ENT=1, acionar CLOCK 6 vezes	Q=1111, RCO=1

- Execute uma **simulação do circuito contador com o arquivo Digital** fornecido e compare as saídas do circuito com as saídas esperadas, indicadas na coluna respectiva Tabela 1. Descreva os casos de teste e as comparações dos resultados no planejamento.

Componente comparador_85

- d) Analise o código-fonte Verilog do componente `comparador_85.v`, disponibilizado junto com este enunciado no e-Disciplinas. Estude seu funcionamento a partir da análise do código-fonte e descreva-o no planejamento.
- DICA: use o arquivo fornecido do *Digital* para analisar o funcionamento do componente.
- e) Considere o Plano de Teste da Tabela 2 para verificar o funcionamento do circuito comparador. Note que as saídas esperadas dos casos de teste 4 até 9 não estão preenchidas *a priori*.

Tabela 2: Plano de Teste para o Componente "comparador_85"

Teste	Sinais de Entradas	Saídas esperadas
condições iniciais	A>Bin=0, A=Bin=1, A<Bin=0, A=0000, B=0000	A>Bout=0, A=Bin=1, A<Bout=0
1	A>Bin=0, A=Bin=1, A<Bin=0, A=0110, B=0110	A>Bout=0, A=Bin=1, A<Bout=0
2	A>Bin=1, A=Bin=0, A<Bin=0, A=0110, B=0110	A>Bout=1, A=Bin=0, A<Bout=0
3	A>Bin=0, A=Bin=0, A<Bin=1, A=0110, B=0110	A>Bout=0, A=Bin=0, A<Bout=1
4	A>Bin=0, A=Bin=1, A<Bin=0, A=0001, B=0000	A>Bout=? , A=Bin=? , A<Bout=?
5	A>Bin=1, A=Bin=0, A<Bin=0, A=0001, B=0000	A>Bout=? , A=Bin=? , A<Bout=?
6	A>Bin=0, A=Bin=0, A<Bin=1, A=0001, B=0000	A>Bout=? , A=Bin=? , A<Bout=?
7	A>Bin=0, A=Bin=1, A<Bin=0, A=0011, B=1100	A>Bout=? , A=Bin=? , A<Bout=?
8	A>Bin=1, A=Bin=0, A<Bin=0, A=0011, B=1100	A>Bout=? , A=Bin=? , A<Bout=?
9	A>Bin=0, A=Bin=1, A<Bin=0, A=0011, B=1100	A>Bout=? , A=Bin=? , A<Bout=?

- f) Execute uma **simulação do circuito comparador usando o software Digital**, aplicando o Plano de Teste apresentado. Com base no entendimento da saída gerada pela simulação, complete as células da coluna “saídas esperadas” da Tabela 4 que estão incompletas e discuta se os resultados obtidos são compatíveis com as expectativas da análise realizada no item “d”). Documente essas informações no planejamento.

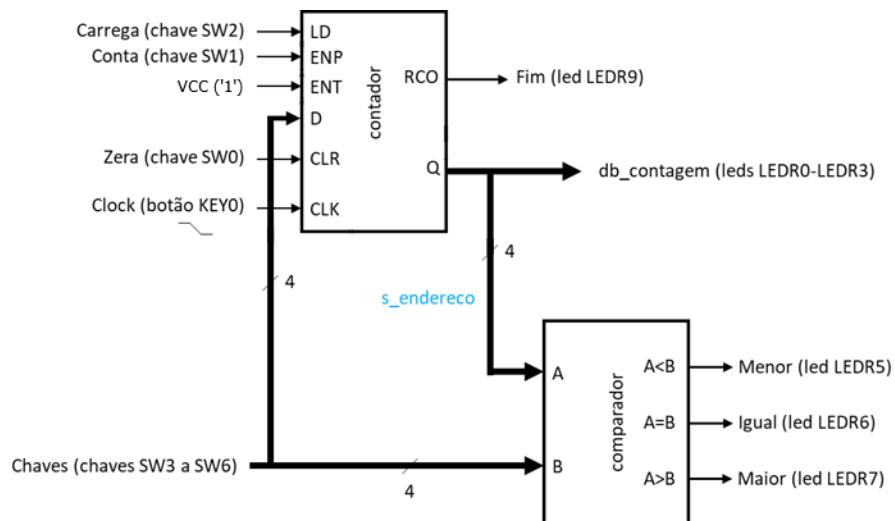
Ao término desta atividade, espera-se que você esteja familiarizado com os componentes fornecidos. Na próxima atividade, usaremos estes componentes para compor um fluxo de dados usando uma descrição estrutural.

1.2. Atividade 2 – Projeto e Simulação de um Fluxo de Dados

- g) Nesta atividade, será projetado o circuito de um fluxo de dados contendo os componentes estudados na atividade anterior. A Figura 1 consiste em um diagrama de blocos com a interligação entre os componentes. Note, também, que um sinal interno ao projeto, denominado `s_endereco`, foi especificado para interligar os componentes do projeto.

DICA 1: considere que **os sinais de controle do circuito são ativos em nível alto** e devem ser ligados nos pinos adequados dos componentes internos conforme entendimento dos respectivos funcionamentos dos componentes estudados.

DICA 2: Note que foi especificado um sinal de saída de depuração, denominado `db_contagem`.



Projeto Verilog

- h) Elabore uma descrição estrutural em Verilog do circuito lógico apresentado na Figura 1. Para isso, use os componentes Verilog contador_163 e comparador_85 estudados na atividade anterior. Adote a definição do módulo Verilog “circuito exp2 ativ2” apresentada na Figura 2.

DICA 1: Use o código Verilog parcial fornecido (circuito exp2 ativ2-PARCIAL.v).

DICA 2: considere que **os sinais de controle do circuito são ativos em nível alto** e que eles devem ser ligados nos pinos adequados dos componentes internos, conforme entendimento dos respectivos funcionamentos dos componentes fornecidos.

Na codificação Verilog do fluxo de dados, adote obrigatoriamente a interface de sinais da Figura 2 para o módulo principal do circuito da atividade.

```
module circuito_exp2_ativ2 (clock, zera, carrega, conta, chaves,
                             menor, maior, igual, fim, db_contagem);
    input      clock;
    input      zera;
    input      carrega;
    input      conta;
    input [3:0] chaves;
    output     menor;
    output     maior;
    output     igual;
    output     fim;
    output [3:0] db_contagem;
```

Figura 2: Interface de Sinais para o Circuito Digital da Atividade 2.

Submeta o arquivo Verilog do circuito da atividade 2 junto com o Planejamento.

Verificação Funcional com Digital

- i) Elabore um projeto no software Digital para simular o circuito Verilog da atividade, representado na Figura 1. Salve o projeto no arquivo `circuito_exp2_ativ2_digital.dig`. A Figura 3 ilustra como o circuito ficará no Digital.

DICA: use o componente *External* para incluir arquivos Verilog em um circuito esquemático.

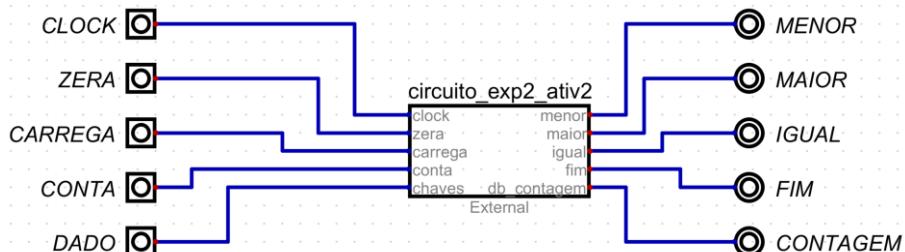


Figura 3: Circuito Digital da Atividade 2 com componente Verilog

- j) Adicionalmente, crie outro projeto no Digital com a composição dos componentes fornecidos usando um circuito esquemático conforme a Figura 4 a seguir.

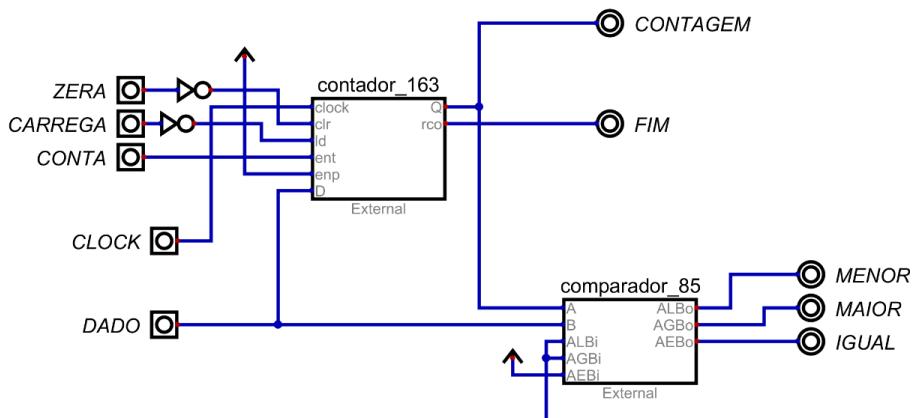


Figura 4: Circuito Digital da Atividade 2 usando circuito esquemático

- k) Considere o Plano de Testes com 7 casos de teste apresentado na Tabela 3. Complete essa tabela com as entradas de dados e os sinais de controle necessários para executar cada operação e os resultados esperados. Esses testes devem ser executados sequencialmente.

Tabela 3: Plano de Testes para o Circuito Digital da Atividade 2

#	Caso de teste	Entradas de Dados e Sinais de controle	Resultado esperado	Resultado observado
c.i.	<i>Condições iniciais</i>	clock=1 zera=0 carrega=0 conta=0 chaves=0000	contagem=0, fim=0, maior=0, menor=0, igual=1	
1	Zerar contador e observar a saída da contagem	zera=1 clock ↑	contagem=0, fim=0, maior=0, menor=0, igual=1	
2	Ajustar chaves para 0001	chaves=0001	contagem=0, fim=0, maior=0, menor=1, igual=0	
3	Incrementar contador e chaves=0001	conta=1 clock ↑	contagem=1, fim=0, maior=0, menor=0, igual=1	
4	Incrementar contador para 3 e ajustar chaves para 0010	conta=1 clock ↑ (2x) chaves=0010	contagem=3, fim=0, maior=1, menor=0, igual=0	
5	Ajustar chaves para 0110	chaves=0110	contagem=3, fim=0, maior=0, menor=1, igual=0	
6	Incrementar contador até 1110	conta=1 clock ↑ (11x)	contagem=14, fim=0, maior=1, menor=0, igual=0	
7	Incrementar contador	conta=1 clock ↑	contagem=15, fim=1, maior=1, menor=0, igual=0	

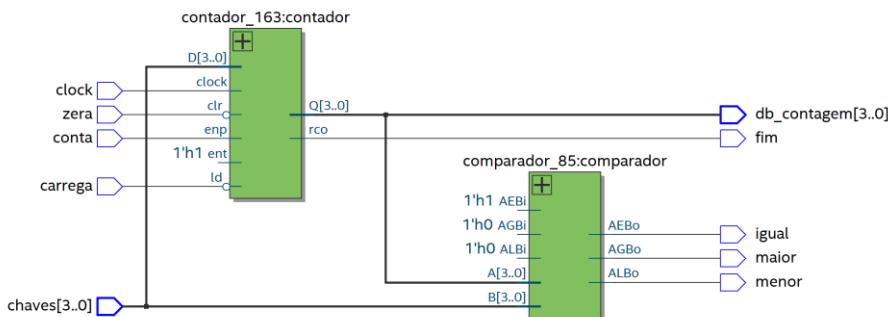
- l) Execute simulações de ambos os projetos com o software Digital realizando os casos de teste esboçados na Tabela 3. No planejamento, inclua imagens do Digital a respeito dos casos de teste dos dois circuitos e interprete as saídas observadas nas simulações.
- m) Submeta um arquivo ZIP (`exp2_TxByy_ativ2_simulacao.zip`) contendo os arquivos fonte Verilog usados na simulação com o Digital e os arquivos .DIG do Digital.

Após o término desta atividade, se os resultados da simulação mostrarem saídas corretas, pode-se afirmar que o projeto foi verificado, ou seja, seu funcionamento está correto conforme sua especificação. Na próxima atividade, este circuito projetado deve ser preparado para ser testado na placa FPGA.

1.3. Atividade 3 – Síntese e Teste do Circuito na Placa FPGA

Nesta atividade, o projeto deve ser sintetizado e depois programado na placa FPGA. O software Intel Quartus Prime deve ser usado para preparar o circuito para a placa FPGA. Os testes do circuito devem ser conduzidos pelo acionamento dos sinais de entrada e monitoração dos sinais de saída.

- n) Crie um projeto no Intel Quartus Prime para possibilitar a síntese do circuito para a placa FPGA DE0-CV. DICA: Use a apostila “Tutorial para criação de circuitos digitais hierárquicos em VHDL no Quartus Prime 16.1”, que mostra os procedimentos para criar e depois compilar do projeto com uma descrição estrutural. Inclua os três arquivos Verilog no projeto do Intel Quartus Prime: `contador_163.v`, `comparador_85.v` e `circuito_exp2_ativ2.v`.
- o) Após criar e compilar o projeto no Intel Quartus Prime, execute a **ferramenta RTL Viewer** (menu Tools > Netlist Viewers > RTL viewer) e analise a saída obtida. A Figura 5 ilustra um exemplo de saída produzida pela ferramenta. No planejamento, inclua a figura gerada pelo projeto do grupo ao Planejamento e comente como o circuito obtido no Quartus se relaciona ao circuito apresentado no diagrama de blocos da Figura 1.

**Figura 5: Saída RTLViewer do Intel Quartus Prime**

- p) Realize a designação de pinos conforme a Tabela 4 no *Pin Planner* do Intel Quartus Prime (menu Assignments > Pin Planner). No planejamento, inclua prints do *Pin Planner* evidenciando as atribuições de pinos da Tabela 4 no Intel Quartus Prime.

Tabela 4: Designação de Pinos para o Circuito Digital da Atividade 3

Sinal	Pino na Placa DEO-CV	Pino na FPGA
CLOCK	botão KEY0	PIN_U7
ZERA	chave SW0	PIN_U13
CONTA	chave SW1	PIN_V13
CARREGA	chave SW2	PIN_T13
CHAVES(0)	chave SW3	PIN_T12
CHAVES(1)	chave SW4	PIN_AA15
CHAVES(2)	chave SW5	PIN_AB15
CHAVES(3)	chave SW6	PIN_AA14
DB_CONTAGEM(0)	Led LEDR0	PIN_AA2
DB_CONTAGEM(1)	Led LEDR1	PIN_AA1
DB_CONTAGEM(2)	Led LEDR2	PIN_W2
DB_CONTAGEM(3)	Led LEDR3	PIN_Y3
MENOR	Led LEDR5	PIN_N1
IGUAL	Led LEDR6	PIN_U2
MAIOR	Led LEDR7	PIN_U1
FIM	Led LEDR9	PIN_L1

- q) Programe o circuito sintetizado na placa FPGA DE0-CV.

DICA: a apostila "Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1" mostra os procedimentos para a síntese e programação de circuitos na placa FPGA.

- r) Execute o acionamento dos sinais de entrada, seguindo o Plano de Testes da Tabela 3 para verificar o funcionamento do circuito.

DICA: no planejamento, inclua uma tabela com os dados dos casos de teste e deixe espaços em branco para preencher os resultados obtidos e a análise de conformidade deles com os resultados esperados.

- s) Analise os resultados obtidos e elabore um resumo do funcionamento do circuito estudado.

DICA: analisar os resultados obtidos significa redigir um breve texto com as conclusões da análise de conformidade entre os resultados esperados e os resultados obtidos.

- t) Submeta o arquivo QAR desta atividade (`exp2_TxByy_atividade3.qar`) junto com o Relatório.

DICA: a apostila "Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1" mostra o procedimento para a geração de arquivos QAR.

1.4. Atividade 4 – Desafio

Neste item é proposta uma atividade complementar.

- u) Uma **atividade adicional** relacionada ao projeto de uma modificação do circuito da experiência será proposta pelo professor. Estude essa modificação e elabore o projeto lógico de como implementá-la.
- v) Implemente o circuito modificado no Intel Quartus Prime e sintetize-o na placa FPGA DE0-CV. Explique como a solução proposta funciona para atingir o objetivo proposto pelo desafio do professor e documente a nova designação de pinos, se houver modificação.
- w) Descreva um plano de testes para o circuito modificado e teste-o na placa DE0-CV.
- x) Documente os resultados obtidos nos testes experimentais realizados.
- y) Submeta o arquivo QAR desta atividade (`exp2_TxByy_desafio.qar`) junto com o Relatório.

2. BIBLIOGRAFIA

- [1] ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em Verilog no Quartus Prime 20.1.** Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2024.
- [2] ALTERA / Intel. **DE0-CV User Manual.** 2015.
- [3] FREGNI, E.; SARAIVA, A. M. **Engenharia do Projeto Lógico Digital: Conceitos e Prática.** Editora Edgard Blücher, 1995.
- [4] Intel. **Quartus Prime Introduction Using Verilog Designs.** 2016.
- [5] NEEMANN, H. **Digital.** Disponível em: <https://github.com/hneemann/Digital>, 2023.
- [6] TEXAS INSTRUMENTS. **The TTL Logic Data Book,** 1994.
- [7] TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações.** Prentice-Hall, 11^a ed., 2011.
- [8] Ricardo Menotti, Ricardo dos Santos Ferreira. **Introdução à Lógica Digital com Verilog: uma abordagem prática.** Kindle. 2023.
- [9] WAKERLY, John F. **Digital Design Principles & Practices.** 5th edition, Prentice Hall, 2018.

3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com softwares Intel Quartus Prime e Digital.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.

Histórico de Revisões

- E.T.M. / 2018 (adaptação e revisão)
- E.T.M. & A.V.S.N / 2021 (revisão e adaptação para ensino remoto)
- E.T.M. / 2022 (revisão e adaptação)
- E.T.M. / 2023 (revisão e adaptação para ensino presencial)
- E.T.M. / 2024 (revisão e adaptação para Verilog)
- E.T.M. / 2025 (revisão e adaptação)
- E.T.M. & A.V.S.N. / 2026 (revisão)