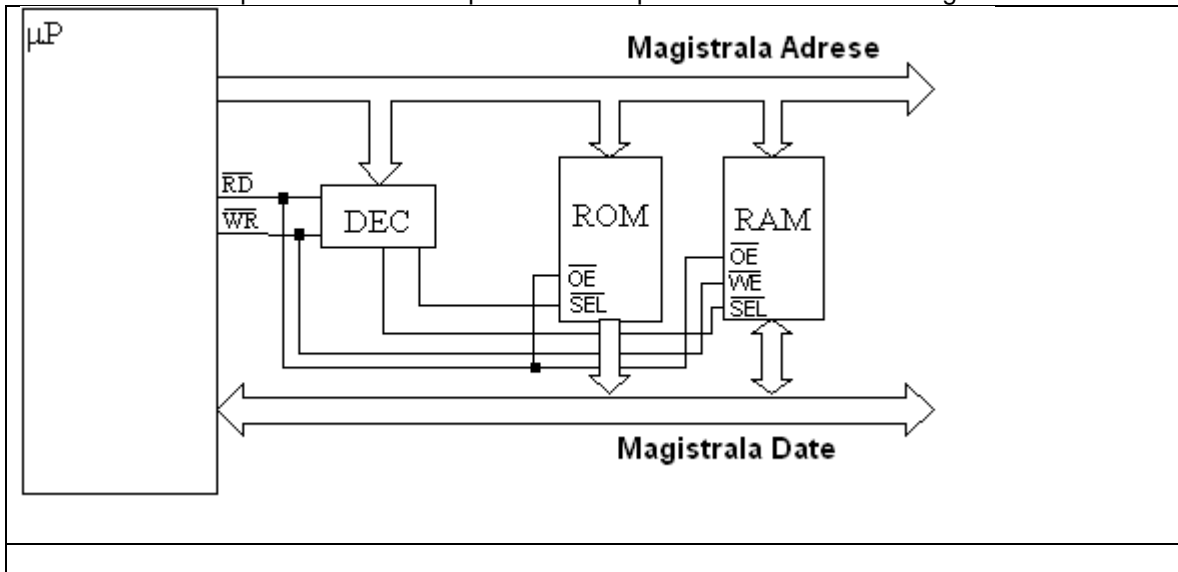


Lista subiecte examen 15 iunie 2018

Subiecte 2p

1. Explicati de ce este necesar un circuit 74HC541 pentru interfatarea iesirii unui convertor AD la magistrala de date.
Circuitul 74HC541 (Un buffer extern) este folosit impreuna cu un ADC pentru a furniza iesiri de tip 3-state si pentru a prevevi cuplarea zgomotului in ADC.
2. Care sunt semnalele prin intermediul carora comunica un bloc de memorie cu sistemul din care face parte?

Cel mai simplu sistem cu microprocesor este prezentat în urmatoarea figura:



Acest sistem cuprinde pe lângă procesor, un bloc de memorie fixă (ROM), un bloc de RAM și decodificatorul de memorie pentru blocurile de memorie existente.

Orice circuit de memorie sau bloc de memorie are nevoie de un **semnal de selecție** pentru a putea răspunde procesorului la operația cerută. Fiecare din aceste semnale de selecție este o ieșire din **decodificatorul de memorie (DEC)**.

Există mai multe tehnici pentru generarea semnalelor de selecție a circuitelor de memorie. De obicei blocul de circuite care generează aceste semnale se numește decodificator de adrese de memorie și are ca intrări linii din magistrala de adrese și eventual semnale de comandă generate de către procesor.

3. Un DAC de 8 biti are pasul de 10mV. Care este cea mai mare valoare a iesirii ? Cat este rezolutia in procente?

Rezolvare

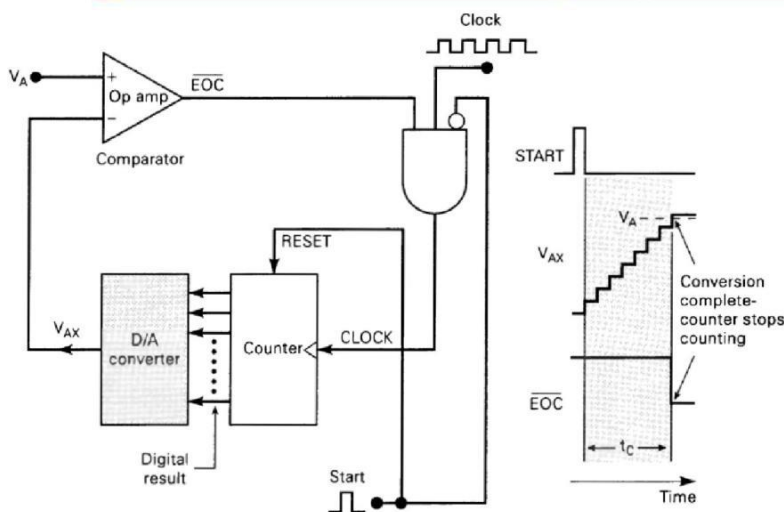
$$FS(\text{cea mai mare valoare a iesirii}) = (2^B - 1) * \text{pasul (mV)} = (2^8 - 1) * 10 \text{mV} = 25.50 \text{V}$$

$$\text{b) Rezolutia [\%]} = 1/255 * 100 = 0.39\% \text{ aprox } 0.4\%$$

4. Avem un ADC – cu rampa digitala exemplu pe 8 biti cu $LSB=20mV$ si $FS=5.1V$. a) Cat este timpul de conversie maxim, daca frecventa de CLOCK este 1MHz? b) Cat este eroarea de conversie daca tensiunea de masurat este 2.512V

a) Cat este timpul de conversie maxim, daca frecventa de CLOCK este 1MHz? b) Cat este eroarea de conversie daca tensiunea de masurat este 2.512V

Multiplii unităților de măsură		Submultiplii unităților de măsură	
10^1	deca (da)	10^{-1}	deci (d)
10^2	hecto (h)	10^{-2}	centi (c)
10^3	kilo (k)	10^{-3}	milli (m)
10^6	mega (M)	10^{-6}	micro (μ)
10^9	giga (G)	10^{-9}	nano (n)
10^{12}	tera (T)	10^{-12}	pico (p)
10^{15}	peta (P)	10^{-15}	femto (f)
10^{18}	exa (E)	10^{-18}	atto (a)



$B = 8$; $LSB = 20mV$; $FS = 5.1V$

$T_{clock} = 1/\text{frecventa clock} = 1/10^6 \text{ s} = 10^{-6} \text{ s}$

Timp de conversie maxim:

$$T_c = 2^B * T_{clock} = 2^8 * 10^{-6} \text{ s} = 0.256 \text{ ms}$$

Eroarea de conversie:

$$V_{mas} = 2.512V;$$

$$E_c = |V_{mas} - N_s * LSB|$$

$$N_s (\text{Nr de trepte necesare}) = V_{mas} / LSB = 2.512 / 20m = 125.6 \rightarrow \text{rotunjit superior} =$$

$$126 \quad E_c = |2.512V - 126 * 20mV| = |2.512V - 2.52V| = 2.52V - 2.512V = 0.008V = 8mV$$

Daca ar fi cerut timp de conversie:

$$T_c - \text{timpul de conversie} = N_s * T_{CLOCK} = 126 * 10^{-6} = 0.126ms$$

Sau timp de conversie mediu :

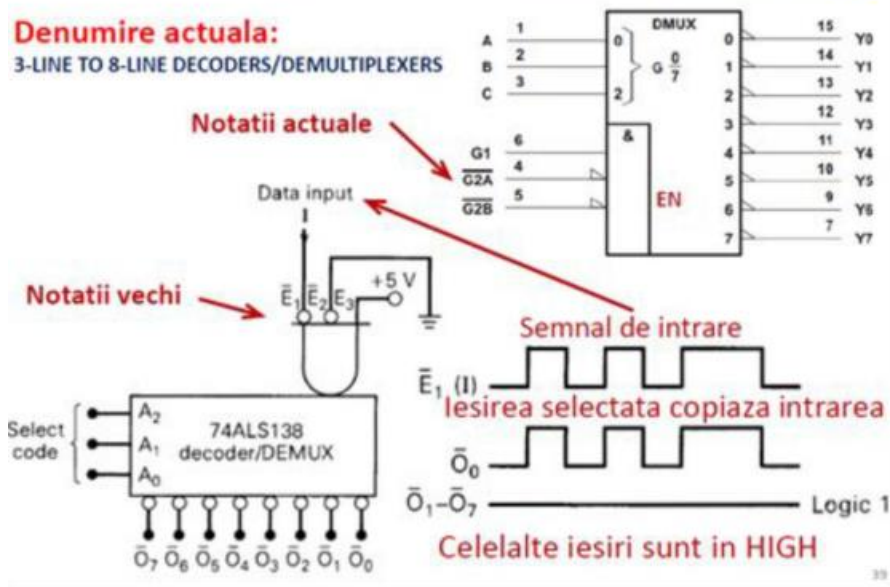
$$T_c = 2^B * T_{clock} / 2 = 0.128 \text{ ms}$$

5. Cum verificam functionarea ca DMUX a circuitului 74ALS138?

1-Line-to-8-Line Demultiplexer: 74ALS138

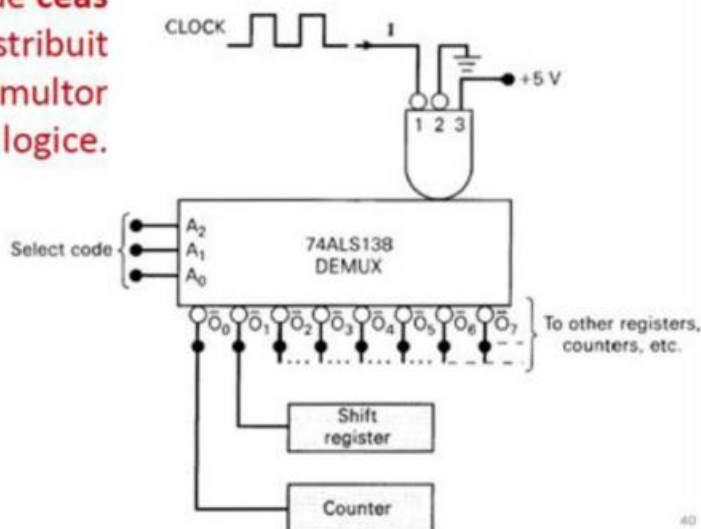
Denumire actuala:

3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS



Demultiplexor de ceas: Aplicatie

Semnalul de ceas
este distribuit
mai multor
blocuri logice.

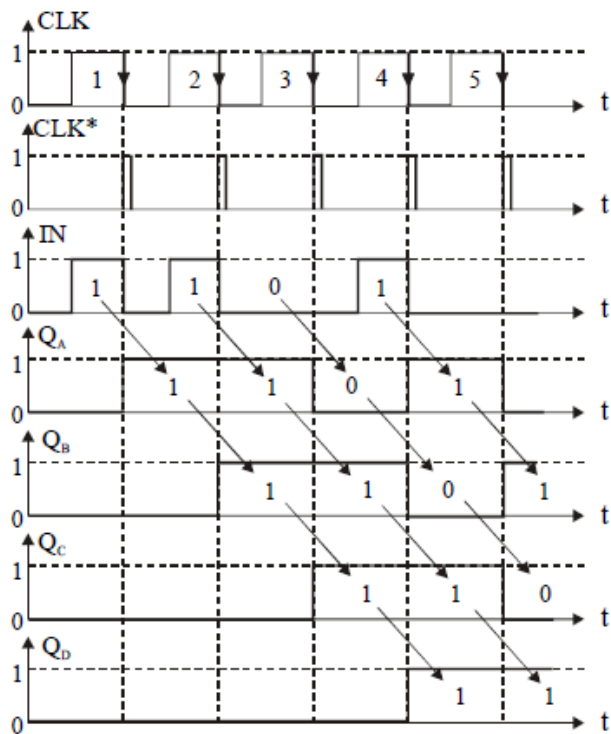
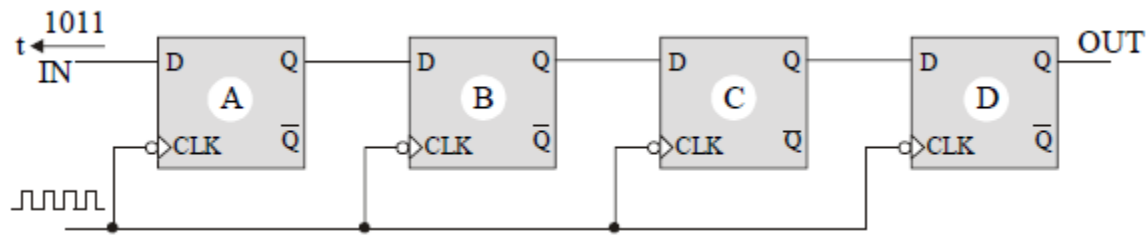


O modalitate de verificare a funcției DEMUX a circuitului 74ALS138 este de a conecta semnalul de ceas pe poarta E1 a circuitului, E2 la GND și E3 la +5V, iar pe selecție alegem un număr aleator (de ex. 010 → 2). Dacă totul funcționează corect, ieșirea O2 va avea valoarea (0 - LOW), iar celelalte ieșiri (1 - HIGH).

6. Explicați funcționarea registrului de deplasare folosit în laborator. (2p)

Registrul de deplasare poate fi folosit la stocarea de biți informaționali. Biții informaționali pot fi transferați într-un alt registru identic cu primul. Transferul poate fi serial (bit după bit) sau paralel (toți biții deodată). În cazul transferului paralel, circuitele basculante din componența registrului trebuie să aibă intrări asincrone. Registrul de deplasare de bază este alcătuit dintr-un număr de CBB conectate în cascadă (serie), ieșirea fiecăruia fiind conectată la intrarea următorului. El are calitatea de a memora un număr de biți informaționali egal cu numărul de CBB. În figura este prezentat un registru de deplasare pe patru

biți.

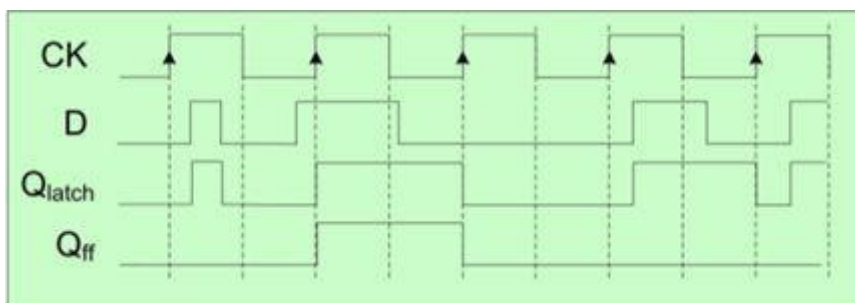


Impulsurile de comandă se aplică simultan pe cele patru intrări de tact prin conectarea lor împreună. Informația (în cazul de față succesiunea de biți 1101) se aplică succesiv (în serie) la intrarea primului CBB. La aplicarea fiecărui impuls de tact informația prezentă la intrarea fiecărui bistabil este transferată la ieșirea lui

Astfel, după aplicarea a patru impulsuri de tact cei patru biți aplicați la intrare vor forma conținutului registrului de deplasare. Această informație, odată înmagazinată, poate fi "citită" la ieșirea ultimului CBB, sau poate fi transferată serial unui alt registru de deplasare pe patru biți prin aplicarea a încă patru impulsuri de tact. În cazul în care se dorește transferul informației către un alt registru identic cu primul (registru destinație), intrarea acestuia se conectează la ieșirea serială a registrului sursă.

7. Descrieti o procedura de testare a care pune in evidenta diferenta dintre un bistabil sincron de tip D si un D latch (transparent latch) (2p)

Raspuns: In cazul stimulilor de intrare prezentati in figura formele de unda ale bistabilului D si D latch sunt urmatoarele



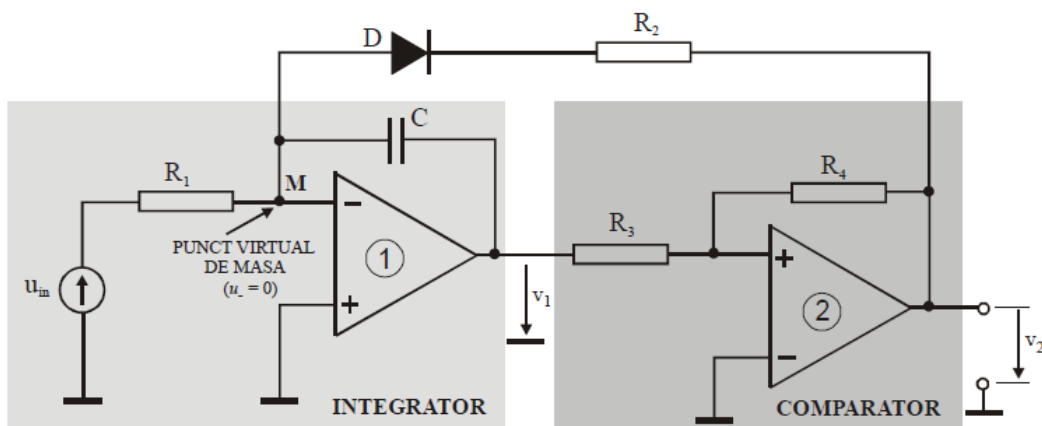
8. Explicati principiul de functionare al convertorului Tensiune-Frecventa. (2p)

Un convertor tensiune-frecvență este deseori folosit ca etaj de intrare în sistemele de măsură digitale. El este alcătuit din două etaje (fig.1): un **circuit de integrare** a cărui tensiune de ieșire este:

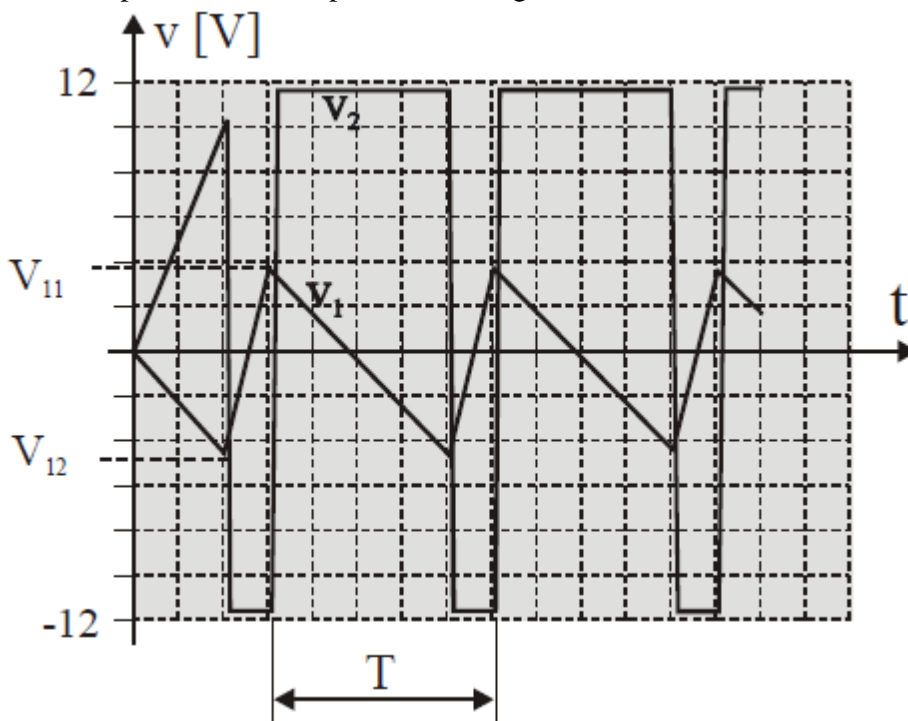
$$v_1 = -\frac{u_{in}}{R_1 C} t$$

în care u_{in} este o tensiune constantă, și un **circuit comparator** care lucrează fără reacție negativă dar cu o reacție pozitivă puternică. Neavând reacție negativă, ieșirea sa nu poate fi decât în saturație pozitivă ($v_2 = V_{11}$) sau negativă ($v_2 = V_{12}$) în funcție de relația existentă la un moment dat între tensiunile de la intrările lui, u_{2+} și u_{2-} . Momentele de timp în care ieșirea comparatorului comută dintr-o stare în alta pot fi calculate din relația:

$$v_2 = \frac{u_{in}}{R_1 C} \cdot \frac{R_4}{R_3} t$$



Dioda D și rezistența R_2 constituie o cale de descărcare a condensatorului C , care permite ieșirii integratorului să-și crească tensiunea până în punctul în care ieșirea comparatorului trece în saturație pozitivă. În acest moment dioda se va bloca (anodul ei este la potențialul masei) și condensatorul C se va reîncărca de la tensiunea de intrare. Apoi ciclul se va repeta. Formele de undă ale semnalelor la ieșirile circuitului de integrare, respective comparatorului, sunt prezentate în figura următoare



Se poate observa că semnalul de ieșire este unul periodic, cu o frecvență care depinde de timpul de încărcare și descărcare a condensatorului și de valoarea tensiunii de intrare. Cu o bună aproximație, expresia frecvenței semnalului de ieșire poate fi calculată cu relația:

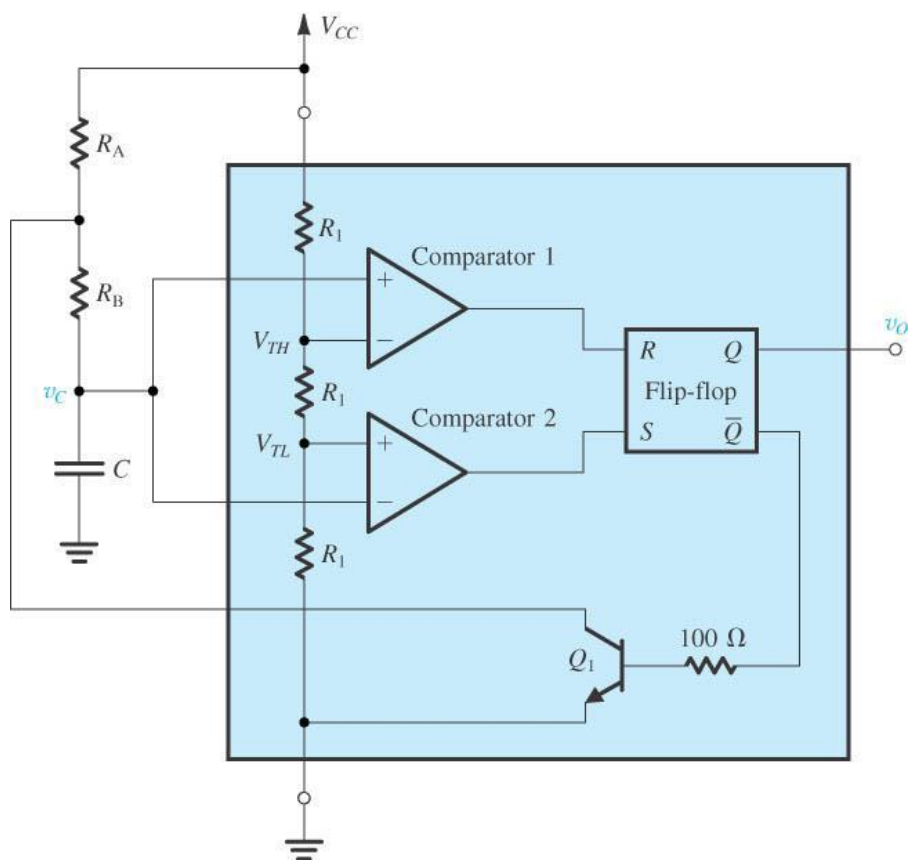
$$f = \frac{u_{in}}{CR_1} \cdot \frac{R_4}{R_3(V_{11} - V_{12})}$$

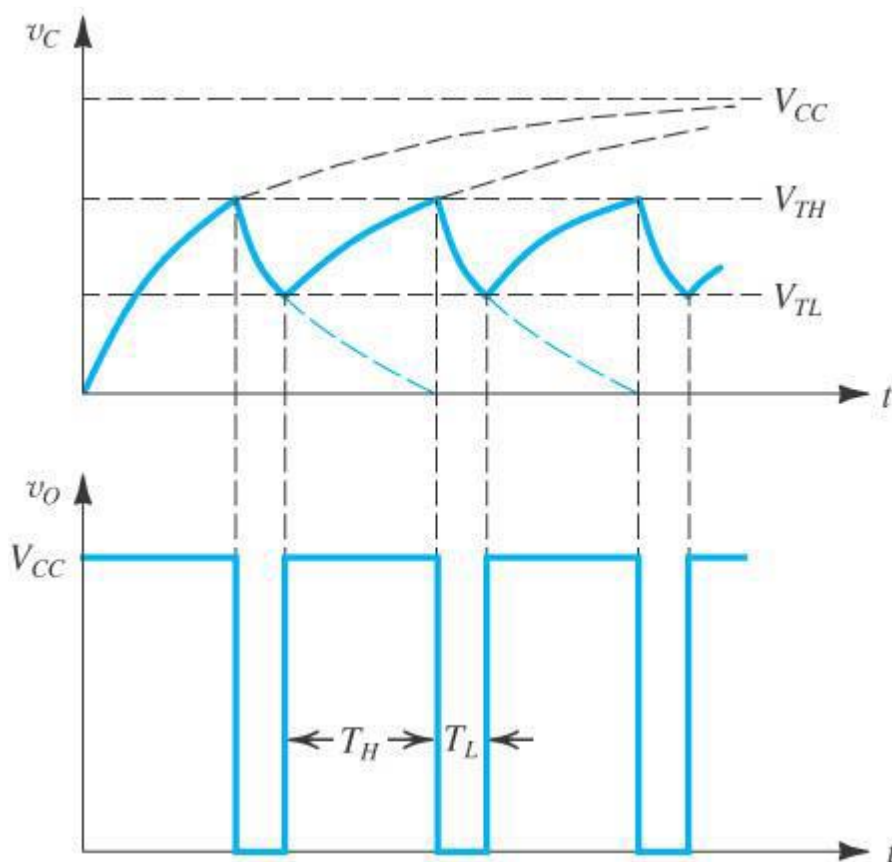
în care V_{11} și V_{12} sunt tensiunile de saturație pozitivă și negativă ale comparatorului. Se poate observa dependența liniară dintre frecvența semnalului de ieșire și tensiunea de intrare.

9. Explicați functionarea bistabilului construit cu Timerul 555. (2p)

Caracteristici:

- Timp minim în starea LOW de 2 microsecunde
- Frecvență maximă de funcționare de 500 KHz.
- Timpuri de creștere/descădere ai tensiunii de ieșire t_R / t_F de 100 ns (R – Rise, F – Fall)
- Pulsuri de întârziere de la microsecunde la ore.
- Functionează atât ca monostabil cât și ca astabil.
- Asigură curent de ieșire mare de până la ± 200 mA
- Factor de umplere programabil.
- Compatibil cu familia TTL, atunci când este alimentat la 5V
- Stabilitate cu temperatura: 0.005% per $^{\circ}\text{C} \rightarrow 50\text{ppm}/^{\circ}\text{C}$.ppm \rightarrow parts-per-million





$$T_L = R_B \cdot C \cdot \ln(2) \cong 0.693 R_B \cdot C$$

$$V_{CC} - V_{TH} = R_{Amax} \cdot 0.11 \mu A$$

$$T_H = (R_A + R_B) \cdot C \cdot \ln(2) \cong 0.693 (R_A + R_B) \cdot C$$

$$V_{up}(t) = V_{TL} + (V_{CC} - V_{TL}) (1 - e^{-t/R \cdot C})$$

unde $R = (R_A + R_B)$

$$V_{dw}(t) = V_{TH} e^{-t/R_1 \cdot C}$$

unde $R_1 = R_B$

$$V_{up}(\tau) = V_{TH} = V_{TL} + (V_{CC} - V_{TL}) (1 - e^{-\tau/R \cdot C})$$

$$V_{up}(\tau) = 2/3 V_{CC} = 1/3 V_{CC} + (V_{CC} - 1/3 V_{CC}) (1 - e^{-\tau/R \cdot C}) \dots$$

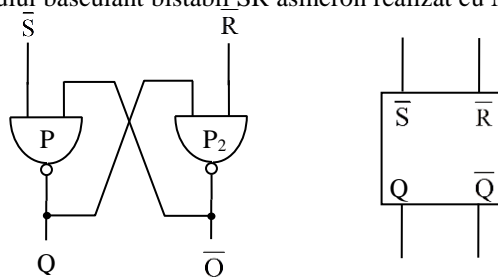
$$\tau = T_H = (R_A + R_B) \cdot C \cdot \ln(2) \cong 0.693 (R_A + R_B) \cdot C$$

$$T_L = R_B \cdot C \cdot \ln(2) \cong 0.693 R_B \cdot C$$

10. Explicati de ce oscileaza (si in ce situatie) NAND LATCH-ul — S'R' LATCH (2p)

Circuitul basculant bistabil SR asincron, cunoscut - datorită proprietăților sale de a memora - și sub denumirea de latch (zăvor), poate fi realizat cu NOR-uri sau cu NAND-uri.

Schema circuitului basculant bistabil SR asincron realizat cu NAND-uri este prezentată în fig1, iar tabelul de tranziție este tab. .2.



a) schema logică

b) schema bloc

Fig.1. CBB-SR asincron, varianta NAND

Tab.2. Tabel de tranziție al CBB-SR asincron, varianta NAND

S_n	R_n	Q_{n+1}
1	1	Q_n
1	0	0
0	1	1
0	0	x

Pe schema din fig. 1 putem scrie:

$$Q_{n+1} = \overline{S_n} \cdot \overline{(\overline{R_n} \cdot Q_n)} = S_n + \overline{R_n} \cdot Q_n,$$

relație identică cu relația obținută în cazul circuitului basculant bistabil SR realizat cu NOR-uri.

Aceeași relație se obține și în urma minimizării funcției logice Q_{n+1} cu ajutorul diagramei VK din fig. 2.

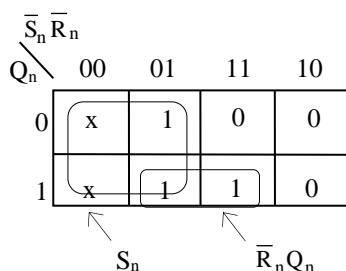


Fig. 2 Diagrama VK pentru CBB-SR asincron, varianta NAND

Indiferent de varianta de implementare adoptată, CBB-SR asincron prezintă următoarele deficiențe:

- aceleași semnale care indică modul *cum* (în care) trebuie să se facă înscrierea, dictează și momentul *când* trebuie să aibă loc aceasta;
- pentru anumite tranziții ale intrărilor circuitului, starea ieșirilor este imprevizibilă.

11. Explicați de ce oscilează (și în ce situație) NOR LATCH-ul — SR LATCH. (2p)

Circuitul basculant bistabil SR asincron realizat cu NOR-uri prezintă schema din fig. 1 și *tabelul de tranziție* – tab. 1, în care s-a notat cu indice n - valoarea logică prezentă și cu $n+1$ - valoarea logică viitoare.

Expresia ieșirii Q a circuitului poate fi obținută din schema din fig. 1, astfel:

$$\overline{Q_{n+1}} = \overline{S_n + (\overline{R_n} \cdot Q_n)} = \overline{S_n} \cdot \overline{R_n} \cdot Q_n.$$

Eliminând negația în ambii membri ai relației obținem:

$$Q_{n+1} = S_n + \overline{R_n} \cdot Q_n.$$

Un alt mod de a obține expresia îl reprezintă utilizarea diagramei VK din fig. 2 în locațiile căreia au fost trecute valorile logice ale lui Q_{n+1} .

Completarea locațiilor diagramei s-a făcut ținând seama de tabelul de tranziție, tab. 2, astfel:

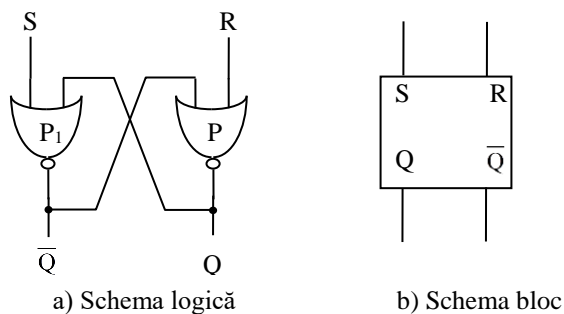


Fig. 2. CBB-SR asincron, varianta NOR

Tab.2 Tabel de tranziție al CBB-SR asincron, varianta NOR

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	x

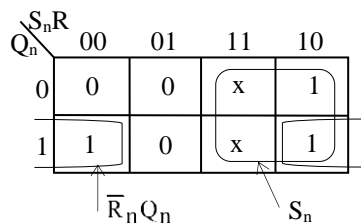


Fig. 3. Diagrama VK pentru CBB-SR asincron - varianta NOR

- pentru $S_n R_n = 00$, $Q_{n+1} = Q_n$ (prima linie a tabelului de tranziție), deci valorile logice ale lui Q_n se trec în coloana $S_n R_n = 00$ a diagramei VK;
- pentru $S_n R_n = 01(10)$, $Q_{n+1} = 0(1)$ indiferent de valorile lui Q_n și locațiile din coloana a doua (a patra) a diagramei VK se completează cu 0(1).
- pentru $S_n R_n = 11$, ieșirile celor două porți sunt forțate simultan în 0 logic, deci s-ar ajunge la situația inadmisibilă în care:

$$Q_{n+1} = \bar{Q}_{n+1} = 0.$$

Din acest motiv combinația de intrare $S_n R_n = 11$ este interzisă (de obicei prin logică suplimentară) iar în locațiile corespunzătoare ale tab. 2 și diagramei VK din fig.3, se pune semnul "x", specific locațiilor în care funcția este nedefinită.

În urma minimizării, se obține relația dorită

Denumirile S (SET) și R (RESET) ale intrărilor latch-ului SR asincron provin din limba engleză și au semnificațiile: *înscriere*, respectiv *ștergere*.

Într-adevăr, observăm că pentru $S_n R_n = 10$, intrarea de înscriere S_n este activată și în memoria elementară se înscrie 1 logic, deci $Q_{n+1} = 1$.

Similar, pentru $S_n R_n = 01$, intrarea de ștergere R_n este activată și memoria este ștearsă: $Q_{n+1} = 0$.

Relația 3 se verifică cu ușurință pentru primele 3 linii ale tab. 2

- Un astabil construit cu circuitul 555 are $R_A = 10k$, $R_B = 50K$ și $C = 100nF$. Cat este durata T_{Hi} / T_{Lo} ?
- Un monostabil construit cu circuitul 555 are $R = 1.5k$ și $C = 1\mu F$. Cat este durata programata de acest monostabil?

Subiecte 3p

1. Un circuit cu 3 BB de tip JK constituie un NR care are circuitele de reactie: $J_x = F(Q_x); K_x = G(Q_x)$.
Sa se alcatuiasca diagrama starilor.
2. **Un circuit cu 4 BB de tip D constituie un NR pentru care circuitele de reactie sunt $D_x = F(Q_x)$. Sa se alcatuiasca diagrama starilor.**

Aici se face un tabel in care completam valorile lui J, K sau D in functie de bistabil si de functiile primite.

De ex.:

3. $J_a = K_a = 1$
4. $J_b = K_b = AX'$
 $J_c = K_c = ABC$

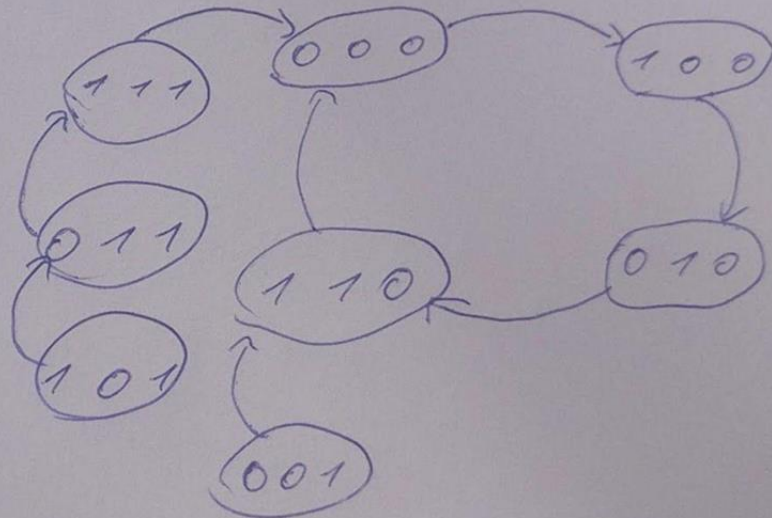
X	A	B	C	J_a	K_a	J_b	K_b	J_c	K_c
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	0	0
0	0	1	0	1	1	0	0	0	0
0	0	1	1	1	1	0	0	0	0
0	1	0	0	1	1	1	1	0	0
0	1	0	1	1	1	1	1	0	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	0	0	0
1	0	0	1	1	1	0	0	0	0
1	0	1	0	1	1	0	0	0	0
1	0	1	1	1	1	0	0	0	0
1	1	0	0	1	1	0	0	0	0
1	1	0	1	1	1	0	0	0	0
1	1	1	0	1	1	0	0	0	0
1	1	1	1	1	1	0	0	1	1

5.

$$X = L$$

$000 \rightarrow 100$
 $100 \rightarrow 010$
 $010 \rightarrow 110$
 $110 \rightarrow 000$

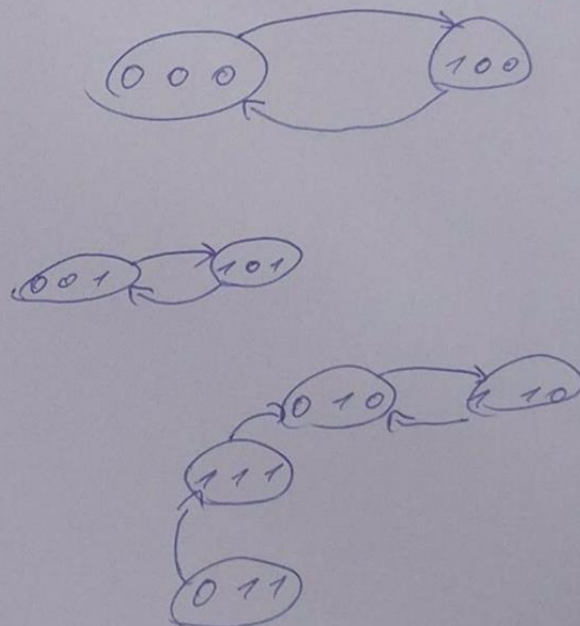
 $001 \rightarrow 110$
 $011 \rightarrow 111$
 $111 \rightarrow 000$
 $101 \rightarrow 011$



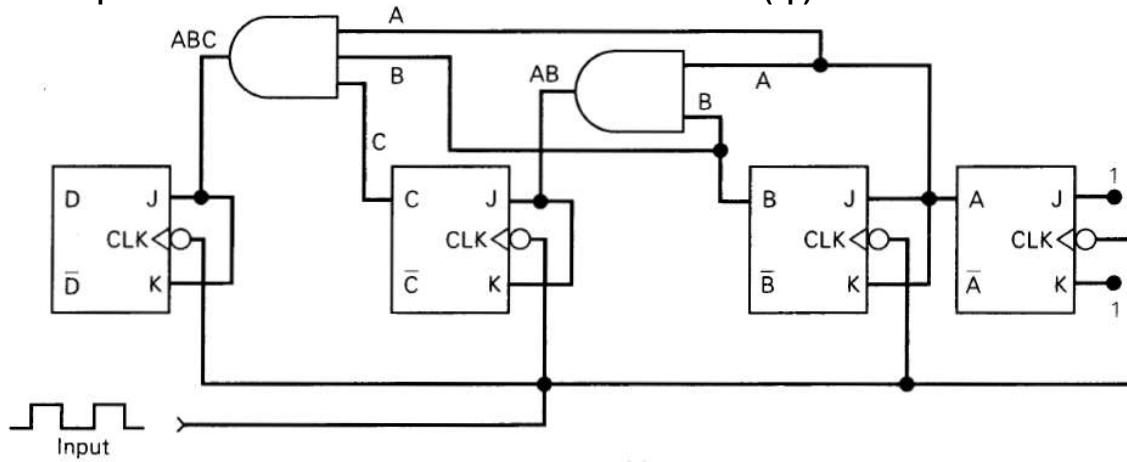
$$X = H$$

$000 \rightarrow 100$
 $100 \rightarrow 000$

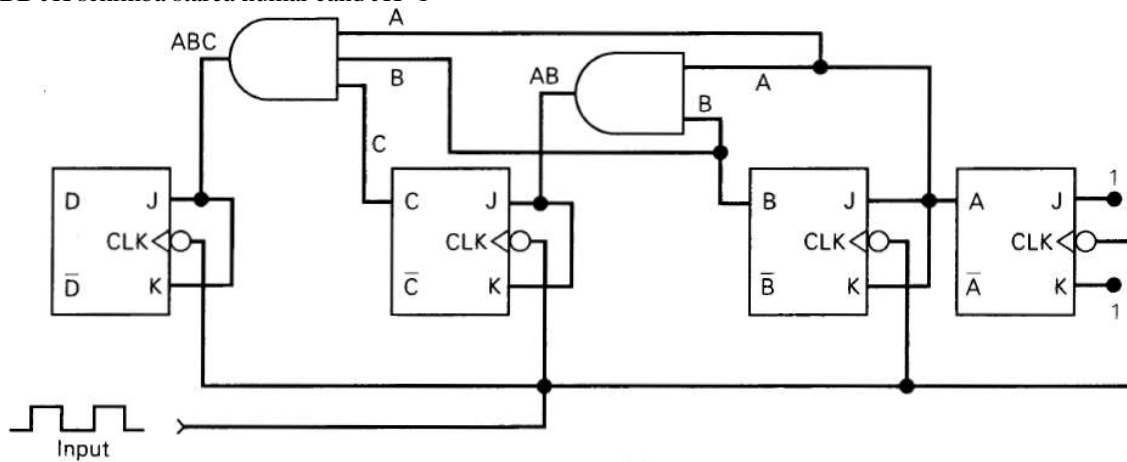
 $001 \rightarrow 101$
 $101 \rightarrow 001$
 $010 \rightarrow 110$
 $110 \rightarrow 010$
 $011 \rightarrow 111$
 $111 \rightarrow 010$



3. Explicati functionarea unui numarator sincron MOD 16. (3p)



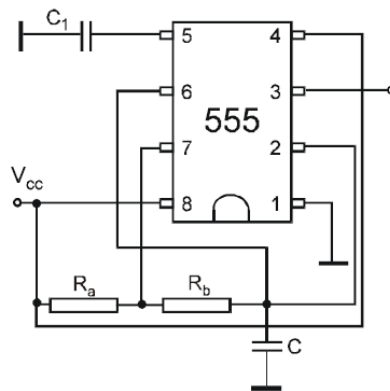
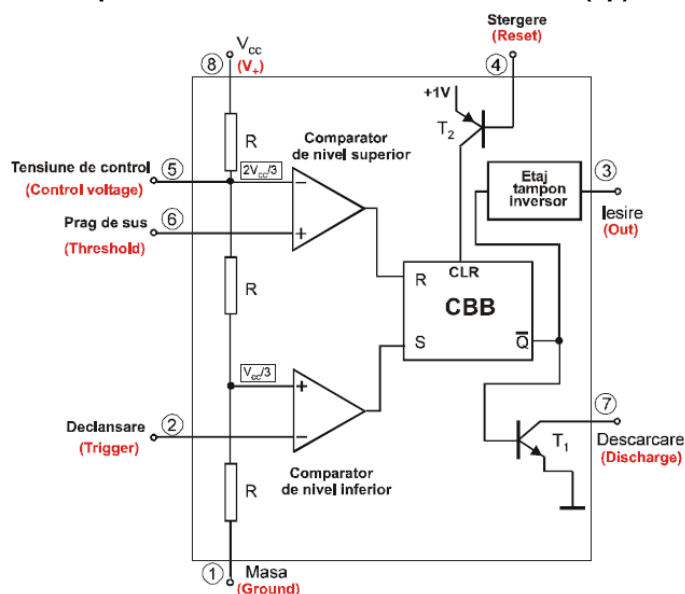
- Toti bistabilii primesc simultan semnalul de ceas
 - Exista Circ. Logic Comb. pentru controlul numararii
 - $J_{K_B} = Q_A$
 - $J_{K_C} = Q_B Q_A$
 - $J_{K_D} = Q_C Q_B Q_A$
- BB JK schimba starea numai cand JK=1



Count	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

Fiecare BB are intrarile JK in HIGH numai cand toti bistabilii anteriori sunt in HIGH.

4. Explicati functionarea astabilului cu 555. (3p)



Nivelul logic al ieșirii complementare a circuitului basculant bistabil este determinat de combinația nivelelor logice ale ieșirilor celor două comparatoare. Rețeaua rezistivă formată din cele trei rezistențe R conectate între borna de alimentare și masă formează un divizor de tensiune de pe care se iau tensiunile de referință pentru intrările comparatoarelor. Aceste tensiuni au un rol hotărâtor în funcționarea circuitului. În aplicațiile în care dorim o comandă electronică a temporizatorului se aplică o tensiune modulatorie pe borna "tensiune de control". În caz contrar se recomandă conectarea unui condensator de $0,01\mu\text{F}$ între această bornă și masă.

Ieșirea circuitului ia întotdeauna nivelul logic al ieșirii complementare a circuitului basculant bistabil. Etajul tampon care le separă permite un consum de până la 200 mA la ieșire, furnizând nivele logice compatibile TTL.

Tensiunile la intrările de prag și trigger variază ca urmare a încărcării sau descărcării unui condensator conectat în exteriorul circuitului. În timpul descreșterii tensiunii pe intrarea trigger (borna 2), atunci când ea scade sub $V_{cc}/3$, ieșirea comparatorului de nivel inferior (pragul de jos) va forța ieșirea complementară a circuitului basculant

bistabil în starea 0 (nivel coborât de tensiune). În consecință, ieșirea circuitului va fi la un nivel ridicat de tensiune. În timpul creșterii tensiunii pe intrarea de prag superior (borna 6), atunci când ea depășește valoarea $2V_{+}/3$, ieșirea comparatorului de nivel superior va forța ieșirea complementară a circuitului basculant bistabil în starea 1 (nivel ridicat de tensiune). În consecință, ieșirea circuitului va fi la un nivel coborât de tensiune. Intrarea de ștergere, RESET (borna 4), permite resetarea circuitului basculant bistabil în orice moment de timp, indiferent de stările ieșirilor comparatoarelor. Intrarea de ștergere devine activă ori de câte ori tensiunea ei scade sub 0,4V, astfel încât joncțiunea bază-emitor a tranzistorului T_1 să fie polarizată direct cu tensiunea de deschidere. Când nu se folosește, ea se conectează la tensiunea de alimentare.

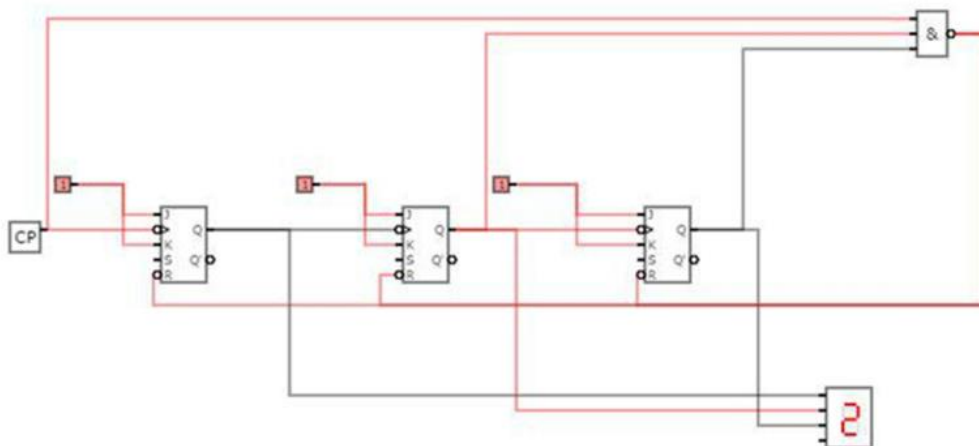
Atunci când între borna 7 (descărcare) și masă este conectat un condensator de temporizare, tranzistorul T_2 permite descărcarea prin el a acestuia, atunci când ieșirea complementară a CBB este la un nivel ridicat de tensiune, astfel încât tranzistorul să fie deschis. În caz contrar, condensatorul se poate încărca de la sursa de alimentare printr-o rezistență externă. Procesul de încărcare poate fi stopat în orice moment de timp prin aplicarea unui potențial de 0,4V pe intrarea de ștergere 4.

Circuitul 555 are două moduri operaționale de bază: modul **monostabil** și modul **astabil**. În modul monostabil, circuitul 555 se comportă ca un multivibrator monostabil. Se știe că un multivibrator monostabil are o singură stare stabilă. De câte ori se aplică un puls trigger la intrare, monostabilul trece din starea stabilă într-una temporară, rămâne în acea stare un interval de timp, care este stabilit de rețeaua RC , iar apoi revine în starea sa stabilă. Cu alte cuvinte, circuitul monostabil generează un singur puls de durată fixă, ori de câte ori primește un semnal trigger la intrare, de aici îi vine și numele de “*one-shot*”. Multivibratorii “one-shot” sunt folosiți pentru a porni sau opri anumite circuite sau componente externe pentru o anumită perioadă de timp. Este folosit de asemenea pentru a genera întârzieri. Când mai mulți asemenea multivibratori sunt conectați în cascadă, pot fi generate diverse forme de pulsuri secvențiale cu factori de umplere variabili. Al doilea mod operațional de bază al circuitului 555 este modul astabil. Un multivibrator astabil este de fapt un oscilator. Multivibratorul astabil generează un șir continuu de pulsuri off-on rectangulare între două nivele de tensiune. Frecvența pulsului și ciclul de sarcină sunt dependente de valorile rețelei RC .

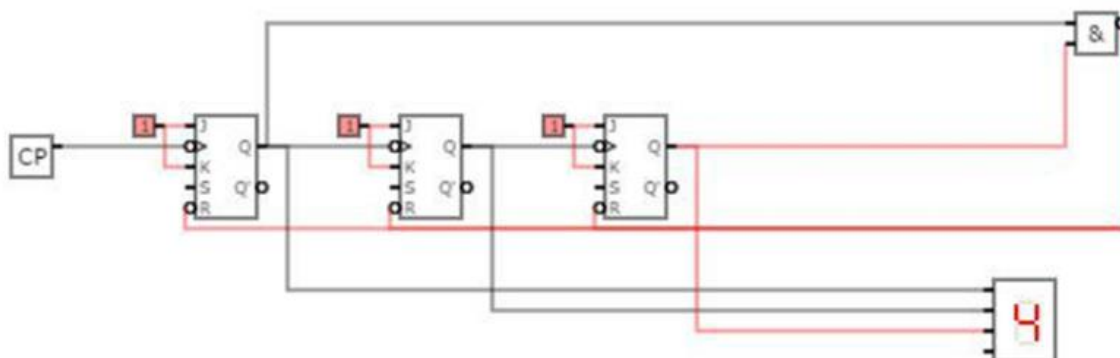
5. Explicati functionarea monostabilului cu 555. (3p)

Circuitul 555 are două moduri operaționale de bază: modul **monostabil** și modul **astabil**. În modul monostabil, circuitul 555 se comportă ca un multivibrator monostabil. Se știe că un multivibrator monostabil are o singură stare stabilă. De câte ori se aplică un puls trigger la intrare, monostabilul trece din starea stabilă într-una temporară, rămâne în acea stare un interval de timp, care este stabilit de rețeaua RC , iar apoi revine în starea sa stabilă. Cu alte cuvinte, circuitul monostabil generează un singur puls de durată fixă, ori de câte ori primește un semnal trigger la intrare, de aici îi vine și numele de “*one-shot*”. Multivibratorii “one-shot” sunt folosiți pentru a porni sau opri anumite circuite sau componente externe pentru o anumită perioadă de timp. Este folosit de asemenea pentru a genera întârzieri. Când mai mulți asemenea multivibratori sunt conectați în cascadă, pot fi generate diverse forme de pulsuri secvențiale cu factori de umplere variabili.

6. Proiectati unui numarator asincron MOD 7 folosind BB de tip (D,JK sau T). (3p)



7. Explicati functionarea unui numarator MOD 5 construit cu circuitul 74ALS193 (3p)



8. Proiectati un numarator sincron (crescator/descrescator) folosind registrul de deplasare SN7495. (3p)

Acest lucru se poate face folosind functia de registru paralel a circuitului SN7495. Ideea aici este de a implementa un numarator care sa numere crescator de la 0 la F. Pentru aceasta este necesara o poarta de functii care sa preia valorile de la iesirea registrului (Qa - Qb) si sa scoata pe output valoarea urmatorului numar, valori care vor fi puse in pinii A-D ai registrului.

Primul pas este de a construi tabelul de valori si de a folosi diagrama Karnaugh pentru a deduce formulele necesare.

A	B	C	D	Qa	Qb	Qc	Qd
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0

Ulterior se va face diagrama Karnaugh pentru a deduce fiecare din cele 4 functii pentru rezolvarea viitoarelor valori a portilor A-D:

Diagrame Karnaugh

☐ Doua Variabile
 ☐ Trei Variabile
 ☒ Patru Variabile
 ☐ Permiteți "NU CONTEAZA"

Tabela de adevar

A	B	C	D	F (ABCD)
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Diagrama Karnaugh

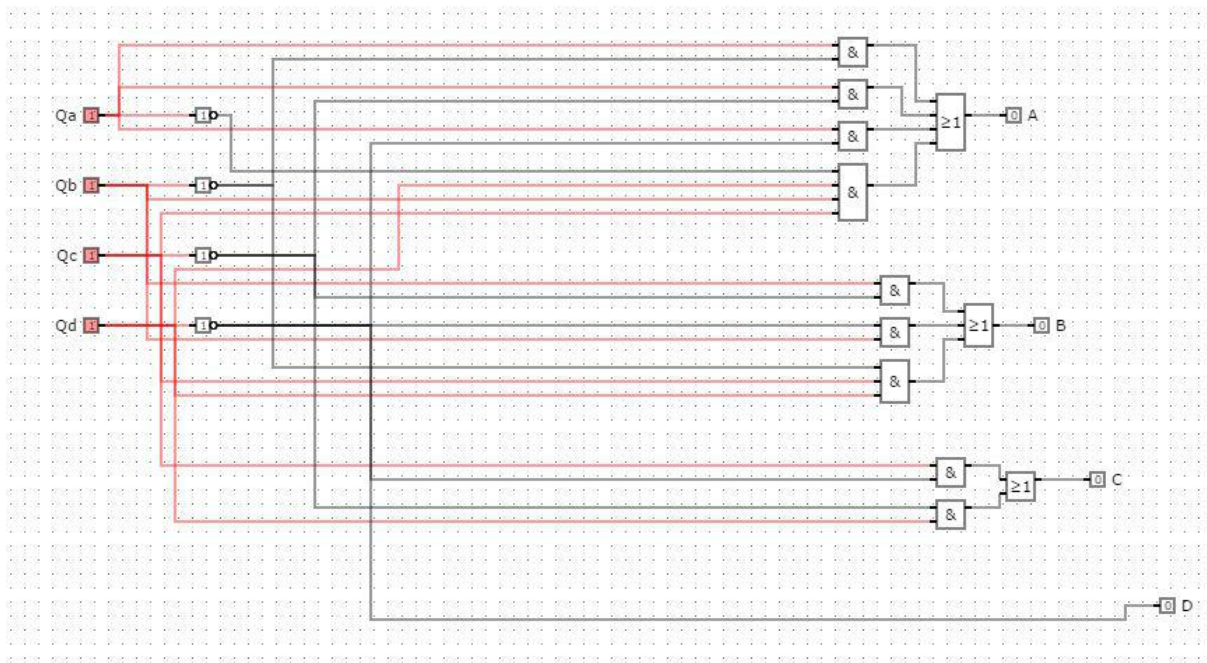
		AB			
		00	01	11	10
CD	00	0	0	1	1
	01	0	0	1	1
	11	0	1	0	1
	10	0	0	1	1

$$F(ABCD) = A\bar{B} + A\bar{C} + A\bar{D} + \bar{A}BCD$$

Faceti clic pe butoanele din tabelul de adevar sau din diagrama Karnaugh pentru a modifica valoarea. Atunci cand indexul mouse este deasupra unui minterm al functiei F sunt evidentiati cu galben celulele care dau acest minterm.

Unde $F(ABCD)$ reprezinta functia prin care calculam rezultatul, iar A, B, C si D din poza de mai sus reprezinta iesirile registrului folosit (Qa, Qb, Qc, Qd). Se repeta pentru B, C si D.

Dupa deducerea formulelor se va implementa poarta functiilor:

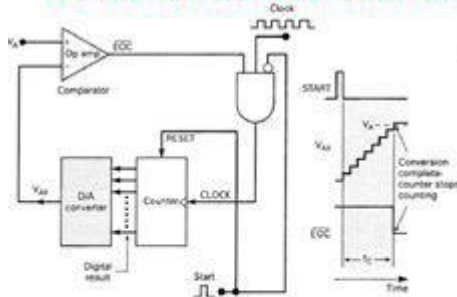


9. Explicati functionarea ADC-ului cu rampa digitala. (3p)

- Cel mai simplu convertor D/A
- Necesita semnal de CLOCK
- Start initiaza conversia

ADC – cu rampa digitala: Raspuns

- $B=10$; $LSB=10mV$; $FS=10.23$; Frecventa de $CLOCK=1MHz$
- Tensiunea de masurat $V_{mas}=3.728V$. Cat este timpul de conversie? Cat este eroarea de conversie?



$$N_s - \text{Nr de trepte necesare} = \frac{V_{mas}}{LSB} = \frac{3.728}{0.01} = 372.8 \rightarrow \text{rotunjit superior} = 273$$

$$N_s = 273$$

$$T_c - \text{timpul de conversie} = N_s \cdot T_{CLOCK} = 273 \cdot 1\mu s$$

$$T_c = 0.273ms$$

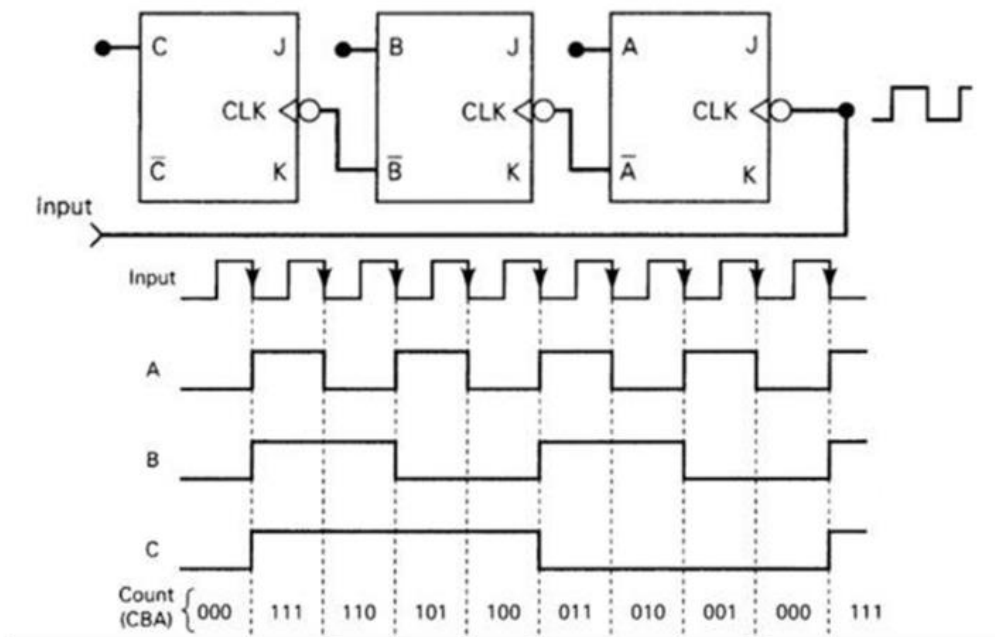
$$E_c - \text{eroarea de conversie} = |V_{mas} - N_s \cdot LSB| = |3.728 - 2.73 \cdot 0.01| = 0.002V$$

$$\text{Cat este timpul de conversie maxim? } E_c = 2mV$$

Odata cu aplicarea comenzii start bistabilul (ala unde intra ceasu de zici ca e poarta AND) trece in starea 1 si se permite accesul impulsurilor de ceas catre numarator. Acesta incepe sa numere pornind din starea 0 iar numarul respectiv este aplicat pe intrarile convertorului.

La iesirea convertorului va rezulta o tensiune de forma unei rampe in trepte. Cand tensiunea depaseste un anumit nivel, comparatorul trece in starea 1 si reseteaza bistabilul.

10. Explicati functionarea unui numarator asincron descrescator facut cu bistabili de tip JK. (3p)



11. Explicati functionarea numaratorului 74ALS193 (3p)

Un exemplu de numărător sincron este circuitul 74193. Acesta este un numărător binar reversibil de 4 biți, cu posibilitatea de încărcare paralelă (Figura 3.79).

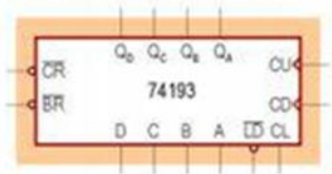


Figura 3.79. Numărătorul binar reversibil de 4 biți 74193.

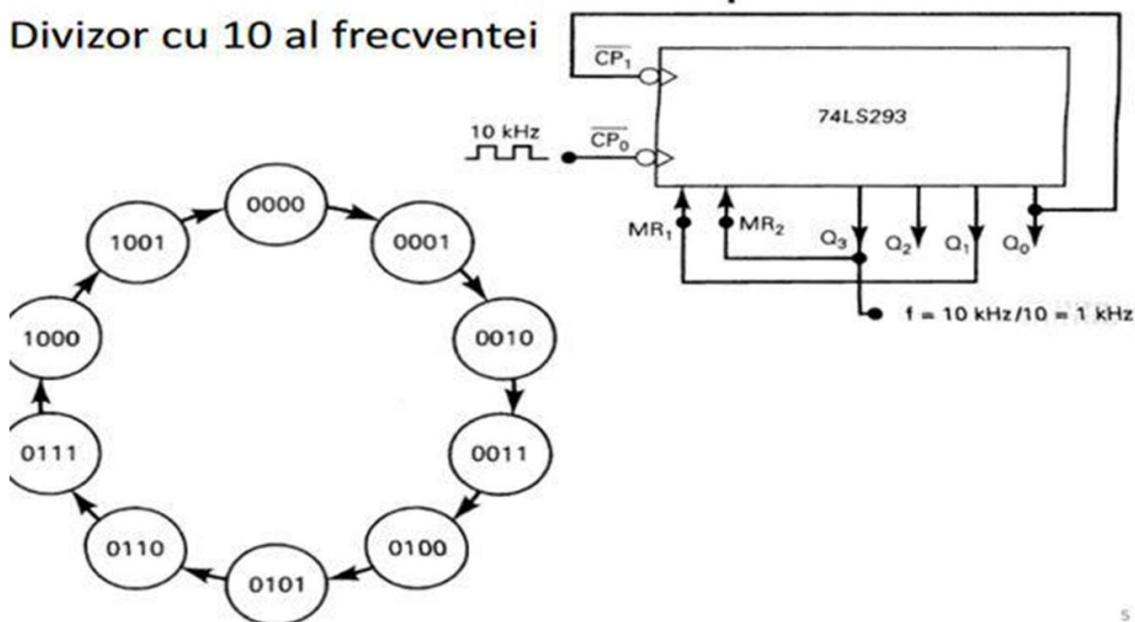
Există două intrări de tact, pentru cele două sensuri de numărare: CU (*Count Up*), pentru numărarea directă, și CD (*Count Down*), pentru numărarea inversă. Numărarea are loc pe frontul anterior al semnalului de tact. Intrarea de tact neutilizată se conectează la nivelul 1 logic. Intrarea \overline{LD} (*Load*) se folosește pentru încărcare paralelă, iar CL (*Clear*) se folosește pentru ștergere. Dacă $\overline{LD} = 0$, se validează operația de încărcare paralelă, independent de semnalul de tact și de starea numărătorului. Pentru numărare \overline{LD} trebuie să fie 1 logic. Pentru ștergere se aplică 1 logic pe intrarea CL .

Pentru conectarea mai multor numărătoare sunt prevăzute ieșirile \overline{CR} (*Carry*) și \overline{BR} (*Borrow*). \overline{CR} se activează atunci când se ajunge la numărul maxim și $CU = 0$ (la numărare directă), iar \overline{BR} se activează atunci când se ajunge la 0 și $CD = 0$ (la numărare inversă).

O secvență de numărare mai scurtă se poate obține conectând la intrarea \overline{LD} ieșirea de transport \overline{CR} sau cea de împrumut \overline{BR} , după cum numărarea se realizează în sens direct sau în sens invers. La intrările D, C, B, A se aplică valorile corespunzătoare stării în care trebuie să se realizeze tranziția atunci când se ajunge la numărul maxim, respectiv la 0.

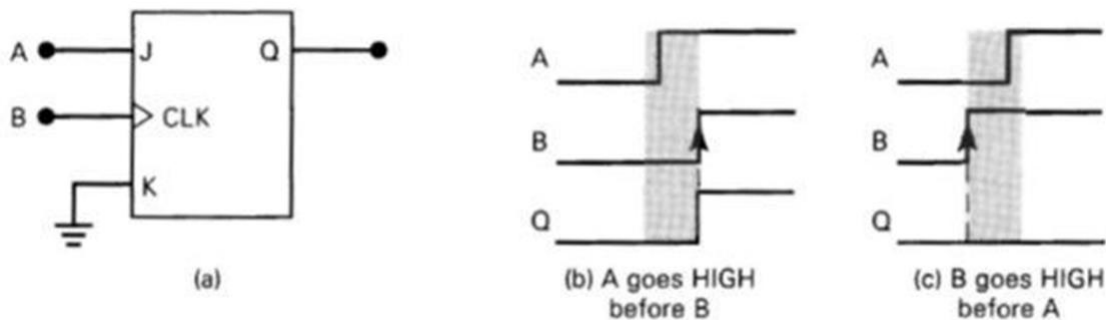
12. Explicați funcționarea unui divizor cu 10 bazat pe circuitul 74LS293. (3p)

Divizor cu 10 al frecvenței



CP este frecvența care dorim să o divizăm. MR și MR sunt intrările într-un NAND care formează blocul de control al integratului 74LS293, care re setează ieșirile Q_3-Q_0 când $MR=MR=1$. Deoarece MR1 este legat la Q_1 și MR2 este legat la Q_3 în momentul când $Q_3=Q_1=1$ adică la nr 10b=1010 blocul de control re setează ieșirile Q_3-Q_0 .

13. Explicați schema care permite detectarea ordinei în care vin două semnale (3p)



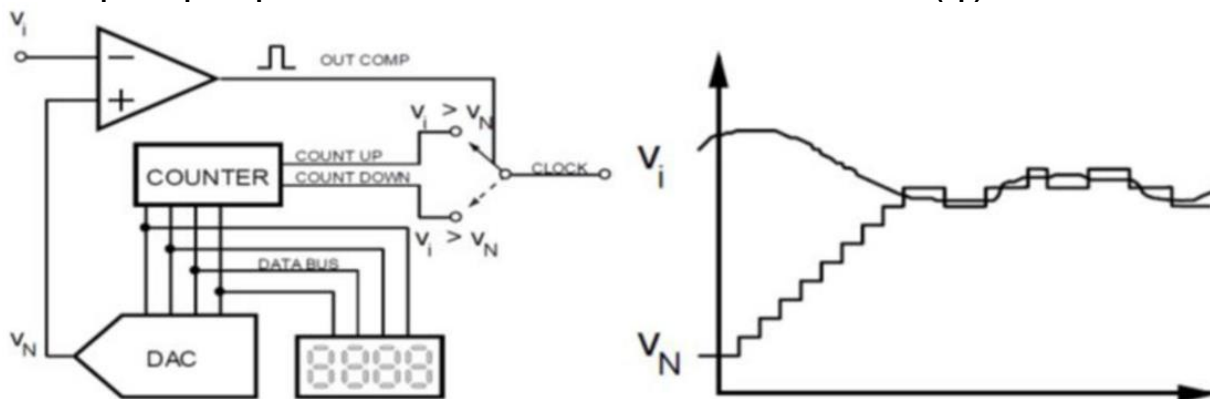
Sistemul de la punctul 'a' se poate considera un detector de stare HIGH cu intrarea pe semnalul J. Stim despre bistabilul JK ca acesta actioneaza pe frontul pozitiv al semnalului clock, prin urmare singurul mod ca semnalul rezultat Q sa fie HIGH ar fi acela in care A ar ajunge HIGH inaintea lui B (precum se vede in figura 'b').

Daca totusi B ajunge HIGH inaintea lui A, bistabilul nu va mai observa modificarea lui A deoarece nu va mai exista niciun front pozitiv al semnalului clock din acel moment (figura 'c').

Prin urmare, ne putem da seama care dintre A si B a fost detectat primul ca fiind HIGH dupa valoarea lui Q:

- Q = HIGH => A ajunge HIGH inaintea lui B
- Q = LOW => B ajunge HIGH inaintea lui A

14. Explicati principiul de functionare al unui ADC cu urmarire continua. (3p)

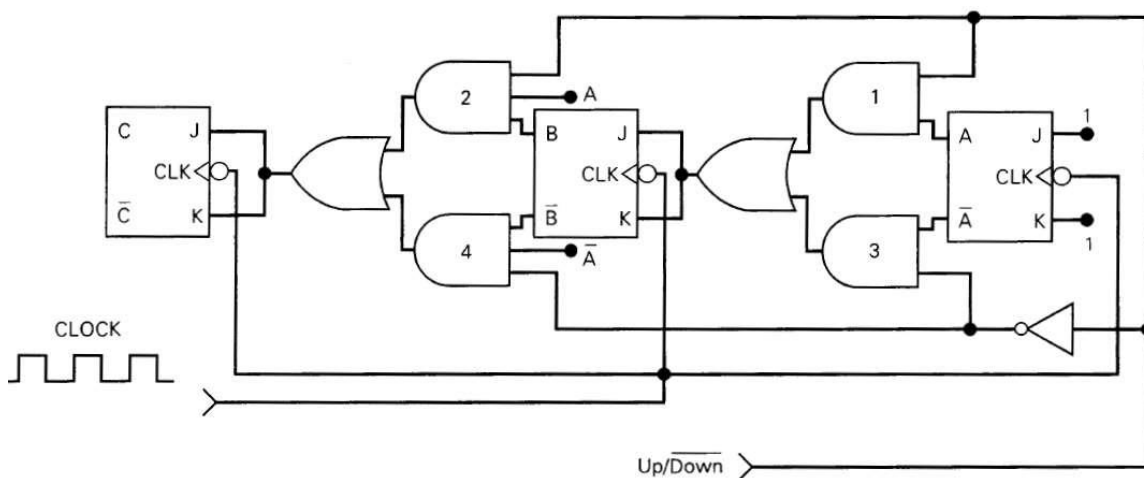


In schema data comparatorul schimba sensul de numarare (up/down) al numaratorului, astfel ca semnalul de ieșire al DAC sa urmareasca semnalul de intrare.

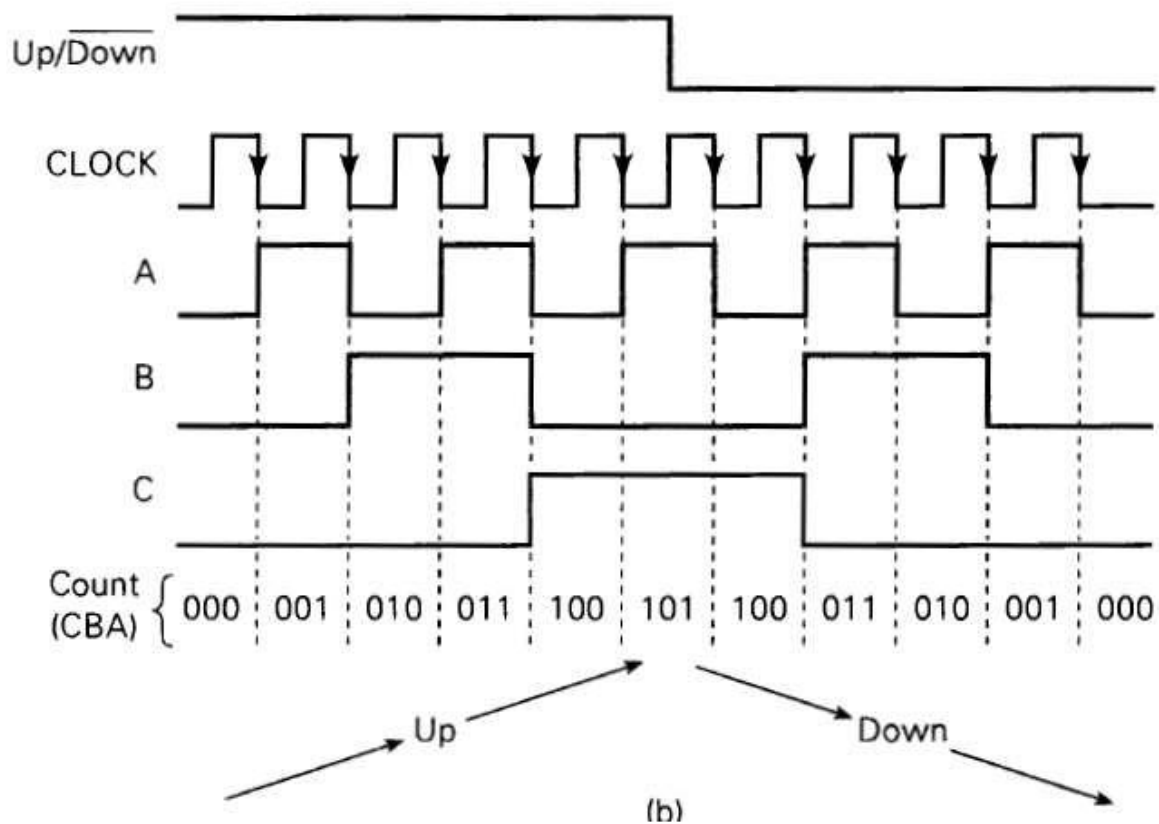
Pentru ca acest tip de DAC sa functioneze corect, este necesara existenta unei corelatii intre perioada impulsurilor de tact si viteza de variatie a semnalului de intrare si anume: variatia semnalului de intrare pe durata unei perioade de tact trebuie sa nu depaseasca valoarea unei trepte de cuantificare (LSB). In acest scop, pentru o frecventa de tact precizata, se pune problema stabilirii componentei de frecventa maxima care poate exista in spectrul semnalului de intrare. Altfel spus, conditia de urmarire este urmatoarea:

$$\left| \frac{\Delta V}{T} \right| > \left| \frac{dV_{in}}{dt} \right|$$

15. Explicati functionarea unui numarator up - down construit cu bistabili de tip JK (3p)



Semnalul UP/DOWN impreuna cu (adica functia SI) iesirile NE/INVERSATE ale BB anteriori formeaza semnalul JK pentru bistabilul curent



Subiecte 4p

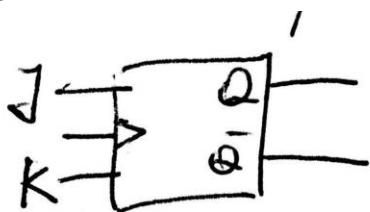
1. Proiectati un numarator asincron MOD X ($x > 16$) folosind 2 integrate '293.
2. Proiectati un numarator asincron folosind 2 integrate '293 astfel incat sa se obtina frecventele $f/7$, $f/14$, $f/28$ si $f/84$, unde f este frecventa semnalului de ceas.

3. Proiectati un NR cu 3BB de tip JK care sa numere in ordinea xxxxxxxx.
Exemplu de ordine : 1 4 2 5 0 3 6 7

Descifrare in biti a secventei :

b_2	b_1	b_0	dec
0	0	1	1
1	0	0	4
0	1	0	2
1	0	1	5
0	0	0	0
0	1	1	3
1	1	0	6
1	1	1	7

Reguli ale bistabilului JK :



Reguli JK

J	K	
0	0	keep
0	1	reset
1	0	set
1	1	toggle

Starile de tranzitie (gen de la 1 la 4 sau 5 la 0):

	Stare inițială				Stare următoare		
	Q_2	Q_1	Q_0		Q_2	Q_1	Q_0
0	0	0	0	→	0	1	1
1	0	0	1	→	1	0	0
2	0	1	0	→	1	0	1
3	0	1	1	→	1	1	0
4	1	0	0	→	0	1	0
5	1	0	1	→	0	0	0
6	1	1	0	→	1	1	1
7	1	1	1	→	0	0	1

Acum ne folosim de tabelul cu regulile bistabilului JK ca să putem construi tabelul variabilelor J și K. Tabelul acesta este determinat cu ajutorul tabelului de tranziții de mai sus.

J_2, K_2 aparțin lui Q_2 .

J_1, K_1 aparțin lui Q_1 .

Șamd.

binar	J_2	K_2	J_1	K_1	J_0	K_0
000	0	1	1	0	1	0
001	1	0	0	1	0	1
010	1	0	0	1	1	0
011	1	0	1	0	0	1
100	0	1	1	0	0	1
101	0	1	0	1	0	1
110	1	0	1	0	1	0
111	0	1	0	1	1	0

Și din tabel, facem reprezentările Karnaugh.

pt J₂

$Q_0 \backslash Q_1$	00	01	11	10
0	0	1	1	1
1	0	0	0	1

pt K₂

$Q_0 \backslash Q_1$	00	01	11	10
0	1	0	0	0
1	1	1	0	1

pt J₁

$Q_0 \backslash Q_1$	00	01	11	10
0	1	0	1	0
1	1	0	0	1

pt K₁

$Q_0 \backslash Q_1$	00	01	11	10
0	0	1	0	1
1	0	1	1	0

pt J₀

$Q_0 \backslash Q_1$	00	01	11	10
0	1	0	0	1
1	0	0	1	1

pt K₀

$Q_0 \backslash Q_1$	00	01	11	10
0	0	1	1	0
1	1	1	0	0

Acum, din tabelele Karnaugh scoatem ecuatiile fiecarei intrari (J₂,K₂,J₁,etc).

$$J_2 = Q_0' * Q_2 + Q_1 * Q_2$$

$$K_2 = Q_1' * Q_2' + Q_0 * (Q_1' + Q_2')$$

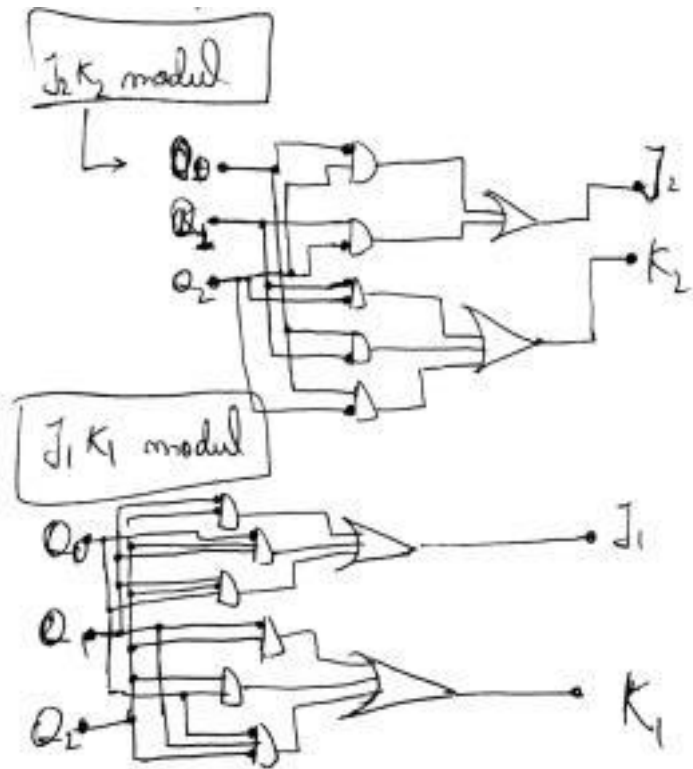
$$J1 = Q1' * Q2' + Q0' * Q1 * Q2 + Q0 * Q1 * Q2'$$

$$K1 = Q1' * Q2 + Q0 * Q2 + Q0' * Q1 * Q2'$$

$$J0 = Q0' * Q2' + Q0 * Q1$$

$$K0 = Q0' * Q2 + Q0 * Q1'$$

Acum facem modulele J1K1, J2K2, J0K0 - acestea sunt module in care se tine "logica" secventei.



Idem si pentru **J0K0**.

Acum, in schema logica inseram 3 bistabili de tip JK, la care adaugam cele 3 module (J2K2, J1K1, J0K0). La fiecare modul J_iK_i conectam cei 3 pin de intrare Q₀, Q₁, Q₂ la iesirile celor 3 bistabili, in mod corespunzator.

- Proiectati un ASF cu 2 BB de tip JK care sa numere in ordinea ZZZZ/YYYY dupa cum X= L/H
- Un circuit cu 3 BB de tip JK constituie un ASF care are circuitele de reactie:
 $J_x = F(Q_x, X)$; $K_x = G(Q_x, X)$, unde X este intrarea de control. Sa se alcatuiasca diagrama starilor.

6. Un circuit cu 4 BB de tip D constituie un ASF care are circuitele de reactie: $Dx=F(Qx,X)$, unde X este intrarea de control. Sa se alcatuiasca diagrama starilor.

Aici se face un tabel in care completam valorile lui J, K sau D in functie de bistabil si de functiile primite.

De ex.:

$$J_a=K_a=1$$

$$J_b=K_b=AX'$$

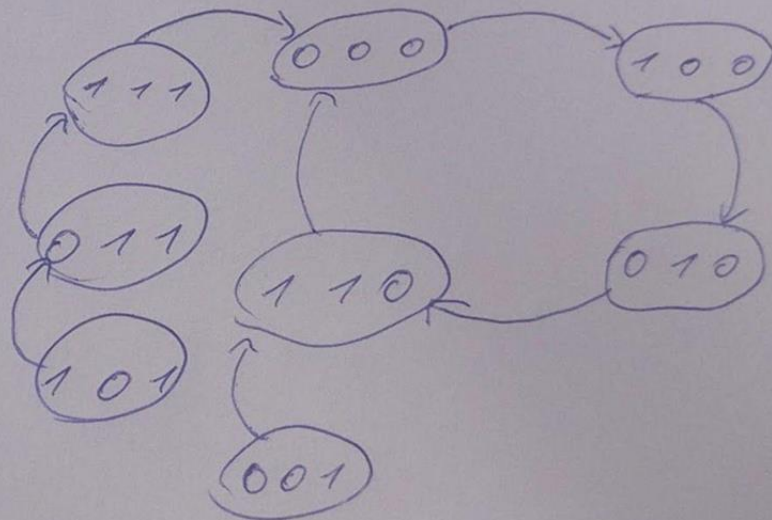
$$J_c=K_c=ABC$$

X	A	B	C	J_a	K_a	J_b	K_b	J_c	K_c
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	0	0
0	0	1	0	1	1	0	0	0	0
0	0	1	1	1	1	0	0	0	0
0	1	0	0	1	1	1	1	0	0
0	1	0	1	1	1	1	1	0	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	0	0	0
1	0	0	1	1	1	0	0	0	0
1	0	1	0	1	1	0	0	0	0
1	0	1	1	1	1	0	0	0	0
1	1	0	0	1	1	0	0	0	0
1	1	0	1	1	1	0	0	0	0
1	1	1	0	1	1	0	0	0	0
1	1	1	1	1	1	0	0	1	1

$$X = L$$

$000 \rightarrow 100$
 $100 \rightarrow 010$
 $010 \rightarrow 110$
 $110 \rightarrow 000$

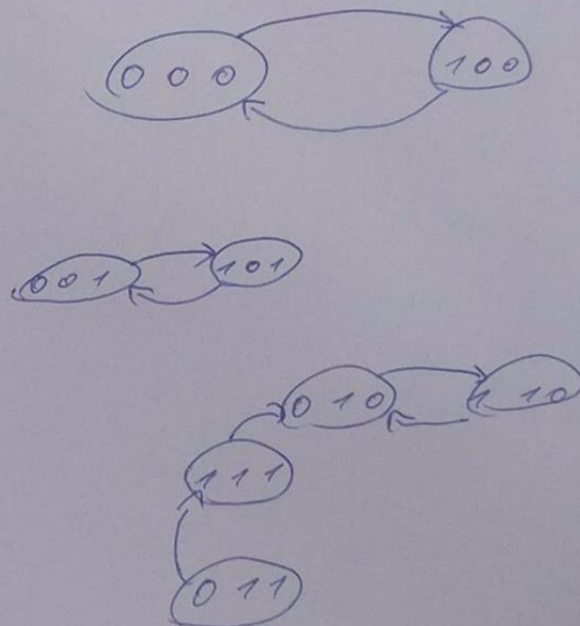
 $001 \rightarrow 110$
 $011 \rightarrow 111$
 $111 \rightarrow 000$
 $101 \rightarrow 011$



$$X = H$$

$000 \rightarrow 100$
 $100 \rightarrow 000$

 $001 \rightarrow 101$
 $101 \rightarrow 001$
 $010 \rightarrow 110$
 $110 \rightarrow 010$
 $011 \rightarrow 111$
 $111 \rightarrow 010$



7. Proiectati un MUX 8-1 folosind circuitele '153 si 257.
8. Implementati functia ai carei mintermeni sunt $m(x,x,x,x,x,x)$ folosind un MUX 8-1
9. **Determinati secventa de numarare a numaratorului cu 4 bistabili de tip JK (notati cu A,B,C si D, sensibili la tranzitia negativa a semnalului de clock), guvernat de urmatoarele ecuatii: $J_A=K_A=1$, $J_B=K_B=A\bar{D}$, $J_C=K_C=AB$, $J_D=CJ_C$ si $K_D=A$. A=LSB.**

Rescriem ecuatiile:

$$J_A = K_A = 1$$

$$J_B = K_B = A\bar{D}$$

$$J_C = K_C = AB$$

$$J_D = C J_C = ABC$$

$$K_D = A$$

A = LSB-ul (cel mai putin semnificativ bit - adica e cel din dreapta de tot)

Acum, cream tabelele Karnaugh folosindu-ne de ecuatiile de mai sus.

Pentru J_B si K_B

$Q_a Q_b \setminus Q_c Q_d$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	0	0	1
10	1	0	0	1

Pentru J_C si K_C

QaQb \ QcQd	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	1
10	0	0	0	0

Pentru JD

QaQb \ QcQd	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	1
10	0	0	0	0

Pentru KD

QaQb \ QcQd	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	1	0	0	p0

Tabelul pentru tranzitiile J-urilor si a K-urilor.

$0 \rightarrow 1 \rightarrow 0$
 $2 \rightarrow 3 \rightarrow 2$
 $4 \rightarrow 5 \rightarrow 4$
 $6 \rightarrow 7 \rightarrow 6$
 $8 \rightarrow 15 \rightarrow 14 \rightarrow 13 \rightarrow 12 \rightarrow 7$
 $9 \rightarrow 8 \rightarrow 15 \rightarrow 14 \rightarrow 13 \rightarrow 12 \rightarrow 7$
 $10 \rightarrow 9 \rightarrow \dots$
 $11 \rightarrow 10 \rightarrow \dots$

↓ simplificare

$0 \rightarrow 1 \rightarrow 0$
 $2 \rightarrow 3 \rightarrow 2$
 $4 \rightarrow 5 \rightarrow 4$
 $6 \rightarrow 7 \rightarrow 6$
 $11 \rightarrow 10 \rightarrow 9 \rightarrow 8 \rightarrow 15 \rightarrow 14 \rightarrow 13 \rightarrow 12 \rightarrow 7 \rightarrow 6$ (și se repetă)
 $7 \rightarrow 6 \rightarrow 7$

10. Explicati functionarea unui DAC cu rezistente ponderate 2^n

Alegând anumite valori pentru rezistențele din montaj, și anume :

$$R_f = R_0 = R, R_1 = \frac{R}{2}, R_2 = \frac{R}{2^2}, \dots, R_k = \frac{R}{2^k}, \dots, R_{n-1} = \frac{R}{2^{n-1}} \quad (5.6)$$

În fig.5.13. se prezintă schema unui CNA care utilizează rezistențe ponderate conform (5.6). Fixarea valorii fiecărui bit se face prin comutatoarele $K_0 \dots K_{n-1}$ care pot conecta intrarea fie la tensiunea de referință care indică nivelul 1 logic, fie la masă pentru nivelul 0 logic.

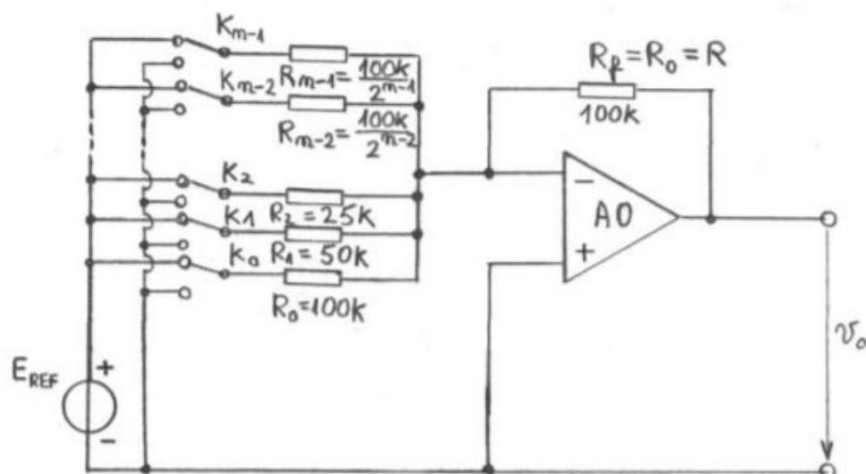


Fig.5.13. Schema CNA cu rezistoare ponderate și comutatoare.

Pentru a obține o valoare corectă a conversiei trebuie ca rezistoarele folosite să fie de precizie ridicată pentru a satisface condițiile (5.6) și de asemenea tensiunea de referință trebuie să aibă o

stabilitate foarte mare. Legea de variație a rezistențelor este exponențială ceea ce conduce la un domeniu larg de valori în cazul unor conversii cu un număr mare de biți. Este dificil ca prin tehnologie monolitică să se realizeze rezistoare de valori mari și precizie ridicată.

În fig.5.14. se prezintă caracteristica de transfer a unui CNA pe trei biți.

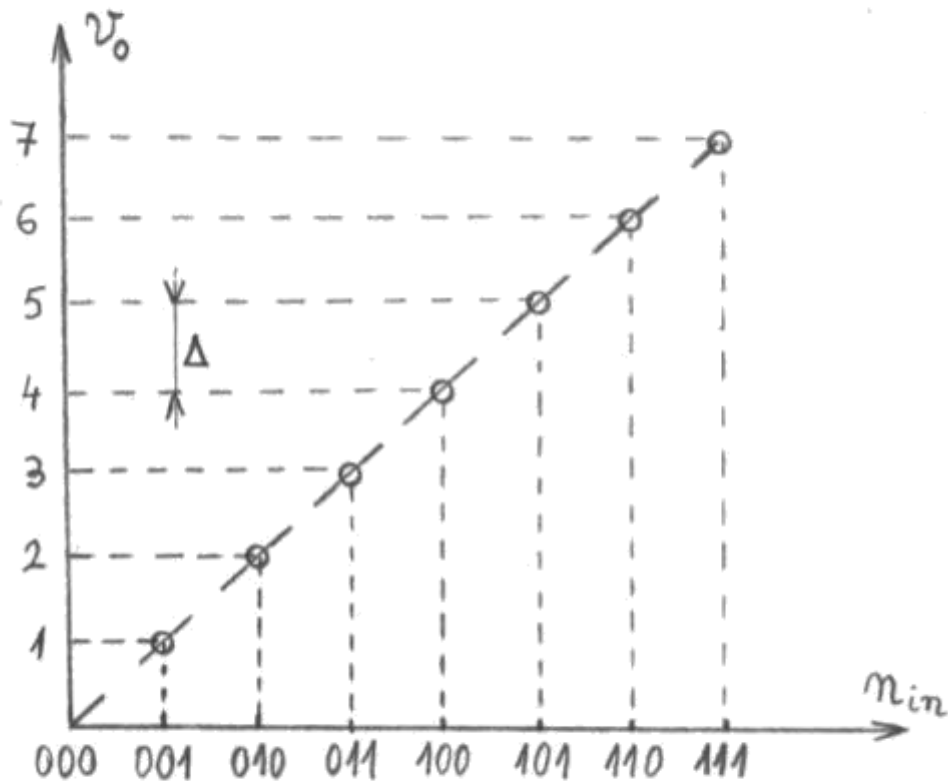


Fig.5.14. Caracteristica de transfer a unui CNA pe trei biți.

Ca și în cele prezentate până acum rezoluția unui CNA este dată de numărul de biți pe care lucrează, mărimea treptei de cuantizare fiind :

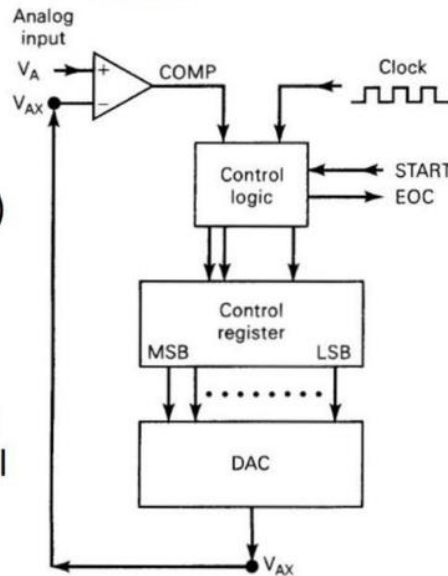
$$\Delta = \frac{U_{\max}}{2^n} \quad (5.8)$$

Unde U_{\max} este valoarea maximă a mărimii analogice studiate care se notează uneori FS (full scale) .

11. Explicati functionarea unui ADC cu Registru de Aproximatii Succesive.

ADC cu RAS (SAR)

- **RAS - Registru de Aproximatii Succesive (Successive-Approximation Register)**
- Bitii se seteaza pe rand de la cel mai semnificativ in jos.
- Timpul de conversie este proportional cu numarul de biti ai convertorului.



18

Circuitul de convertizor analogic-digital de aproximare succesiv consta, in mod obisnuit, din patru subcircuite principale:

- Un circuit de esantionare si de asteptare pentru a obtine tensiunea de intrare (V_{in}).
- Un comparator de tensiune analogic care compara V_{in} cu iesirea DAC intern si transmite rezultatul comparatiei catre registrul de aproximare succesiva (SAR).
- Subcircuit de registru de aproximare succesiv conceput pentru a furniza un cod digital aproximativ al lui V_{in} la DAC intern.
- Un DAC intern de referinta care, pentru comparatie cu V_{REF} , furnizeaza comparatorul cu o tensiune analogica egala cu iesirea de cod digital a SARin.

Registrul de aproximare succesiv este initializat astfel incat cel mai semnificativ bit (MSB) sa fie egal cu un digital 1. Acest cod este introdus in DAC, care furnizeaza apoi echivalentul analog al acestui cod digital ($V_{ref} / 2$) in circuitul de comparator pentru Comparatie cu tensiunea de intrare esantionata. Daca aceasta tensiune analogica depaseste valoarea V_{in} , comparatorul determina ca SAR sa reseteze acest bit; In caz contrar, bitul este lasat un 1. Apoi urmatoorul bit este setat la 1 si se efectueaza același test, continuand aceasta cautare binara pana cand fiecare bit din SAR a fost testat. Codul rezultat este aproximarea digitala a tensiunii de intrare esantionate si este in final produs de SAR la sfarsitul conversiei (EOC).

12. Explicati principiul de functionare al convertorului Tensiune-Perioada cu oglinda de curent.

VFC produce un tren impuls cu o frecvență proporțională cu tensiunea de intrare. Apoi, un microcontroler sau o logică convertește frecvența într-un număr, deschizând o poartă pentru o perioadă fixă de timp și număra câte impulsuri trec prin poartă pentru acel moment.

O oglindă de curent este un circuit conceput pentru a copia un curent printr-un dispozitiv activ, prin controlul curentului într-un alt dispozitiv activ al unui circuit, menținând constant curentul de ieșire, indiferent de încărcare.

Actualul curent fiind "copiat" poate fi, și uneori este, un curent de semnal variabil.

Conceptual, o oglindă ideală de curent este pur și simplu un amplificator ideal pentru inversarea curentului care inversează direcția curentă sau este [clarificată] o sursă de curent controlată de curent (CCCS).

Oglinda curentă este utilizată pentru a furniza curenți de polarizare și sarcini active la circuite. De asemenea, poate fi folosit pentru a modela o sursă de curent mai realistă (din moment ce sursele de curent ideale nu există).

13. Proiectati un numarator care se numere in ordinea 12-11-10-9-9-7 folosind '193 si '138. Care este diagrama de functionare a acestui numarator?

14. Proiectati un numarator care se numere in ordinea 5-6-7-8-9-10-11 folosind '193 si '138. Care este diagrama de functionare a acestui numarator?