

## Folha de Respostas -Aula 10

Nome do Aluno:

No. USP:

**Instruções:** Durante a prática, completar os campos abaixo com apenas as informações e dados solicitados. A enumeração a seguir corresponde àquela da apostila prática.

**Item 1.i)** Siga o sinal de saída *ctrl\_2\_dp.ng\_ct\_incr* do *base\_control* (na dúvida, consulte a figura do **base\_circuito** na apostila de teoria da aula passada) e veja qual é o bloco primitivo que o gera. Indique abaixo qual o nome e tipo da instância desta primitiva utilizada e quais são as suas entradas (de que blocos são oriundos) Responda e justifique se a **Analysis & Elaboration** manteve aproximadamente o esquema original deste bloco.

Faça o mesmo acima para o sinal *ctrl\_2\_mem.data\_a[]*.

**Item 2.f)** Novamente, siga o sinal de saída ***ctrl\_2\_dp.ng\_ct\_incr*** do **base\_control** (como no item 1.i acima) e veja qual é o bloco primitivo que o gera. Indique abaixo qual o nome e tipo da instância desta primitiva utilizada e quais são as suas entradas (de que blocos são oriundos) Responda e justifique se a **Analysis & Synthesis** manteve aproximadamente o esquema original deste bloco (compare com o item 1.i).

Faça o mesmo acima para o **sinal *ctrl\_2\_mem.data\_a[]***. Explique o porque

Responda: Os sinais ***ctrl\_2\_mem.data\_a[]*** são efetivamente utilizados no **base\_control**? Por que aparecem nos esquemas?

Responda: Baseadas nas diferenças entre os diagramas RTL e post-mapping, descreva o objetivo de cada uma das etapas (elaboration e synthesis).

**Item 3.b)** Que tipo de informação adicional aparece no relatório de Fitter? Justifique de acordo com os objetivos das tarefas de **Synthesis** e **Fitting**.

Responda: Você observou diferenças nos diagramas **post-mapping** e **post-fitting**, isto é, houve alteração nos blocos lógicos utilizados? Era esperado ter alterações? Justifique o observado.

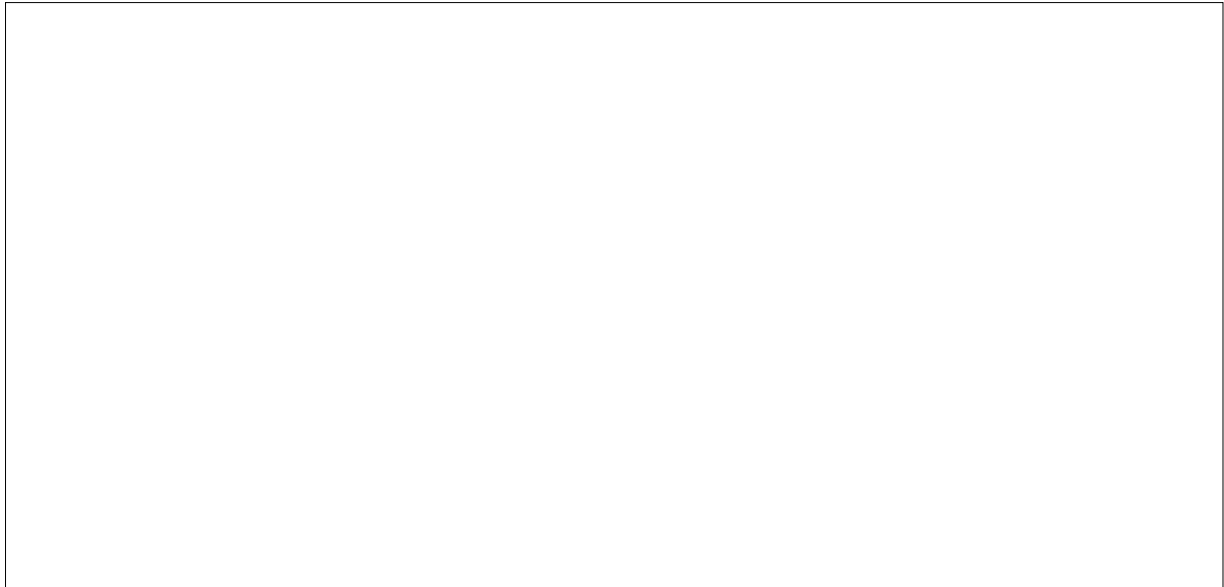
De acordo com o seu Número USP:

$$N1 = [ (N\_USP \text{ MOD } 9) + 13 ]$$

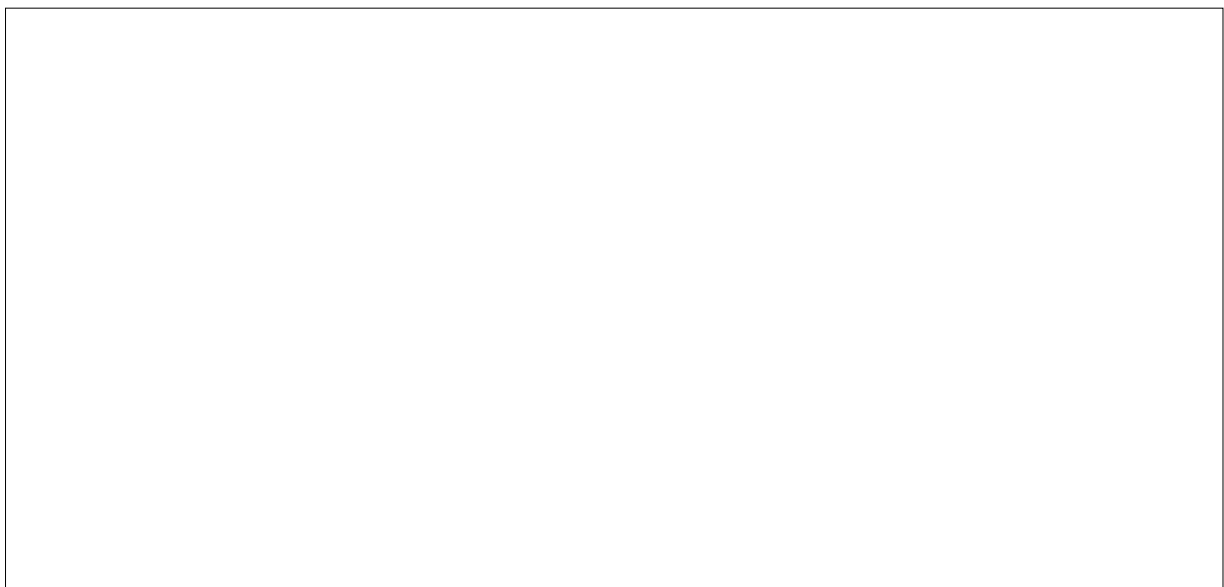
$$N2 = [ (N\_USP \text{ MOD } 5) + 6 ]$$

Escreva os valores N1 e N2. Encontre os blocos STATE~N1 e STATE~N2

Para cada um deles, escreva a equação correspondente: 1) com os nomes das entradas e saídas das LUTs ; 2) com os nomes dos sinais do circuito.



Em **Locate Node in Resource Property Editor...** para cada um dos casos acima de N#..., indique o nome da célula. Encontre os nomes de nós acima na tabela de recursos e indique se a equação é implementada no Bloco Combinacionais Superior ou Inferior. O bloco oposto é ocupado por alguma outra lógica?



**Item 4.h)** De acordo com o seu Número USP:

$$N3 = [ (N\_USP \text{ MOD } 15) + 1 ]$$

Escreva o valor N3 obtido.

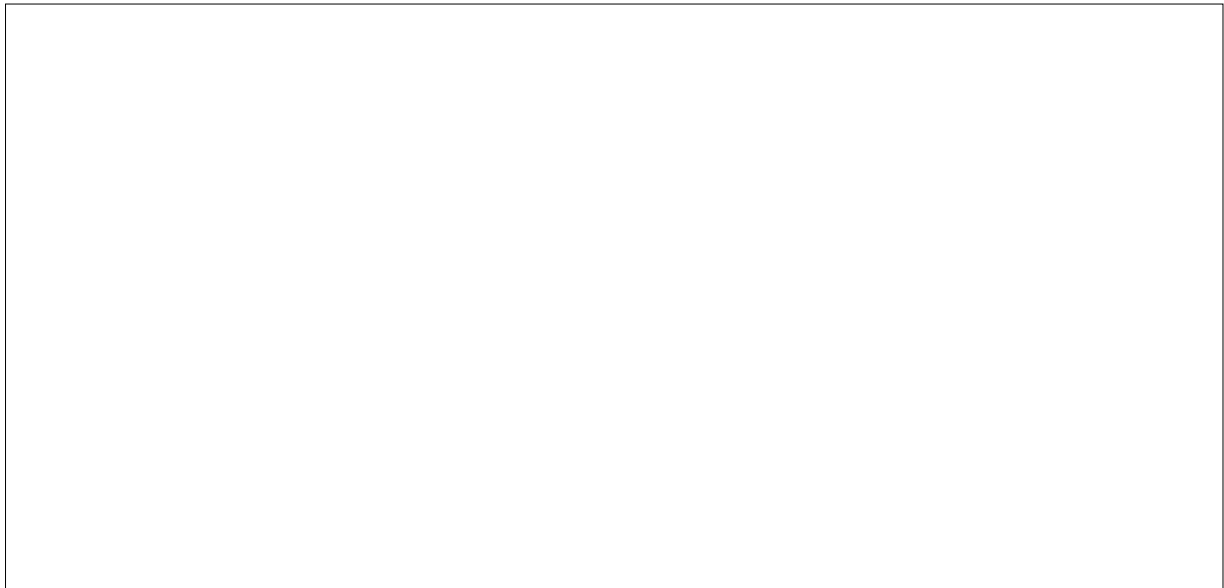
Explique o significado do tco.

Na tabela de tcos, deixe em ordem crescente de atrasos para **rise** e copie a linha N3;

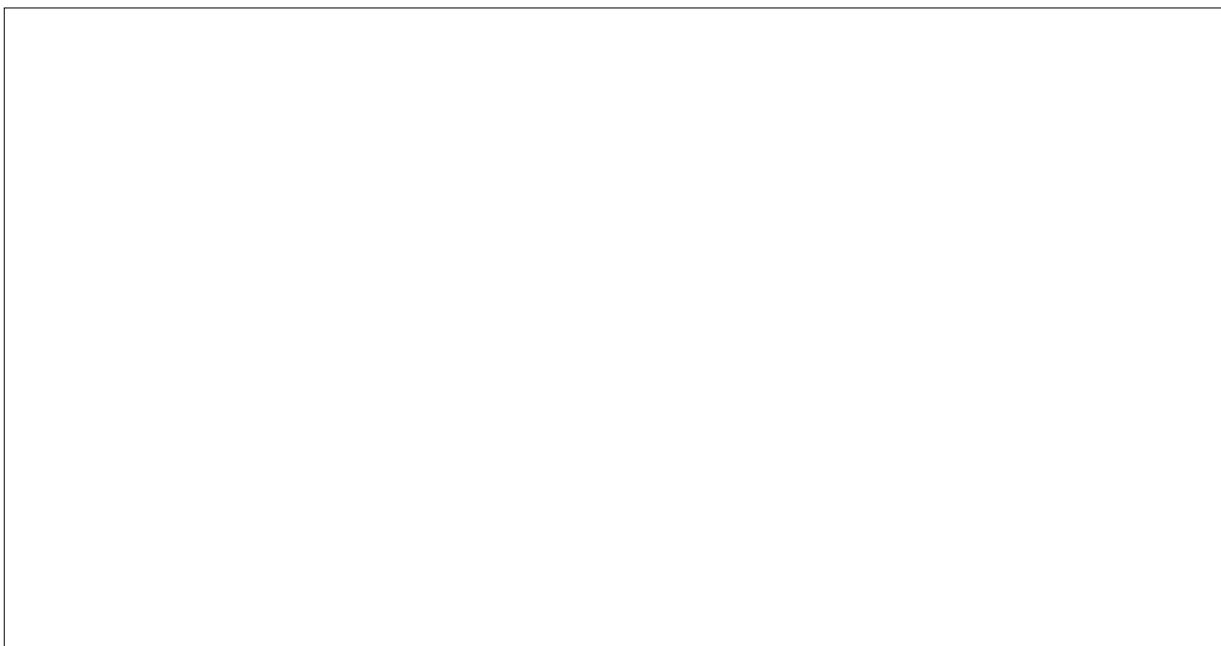
Em seguida, deixe em ordem crescente de atrasos para **fall** e copie a linha N3.

Interprete estas linhas frente à definição do tco.

I



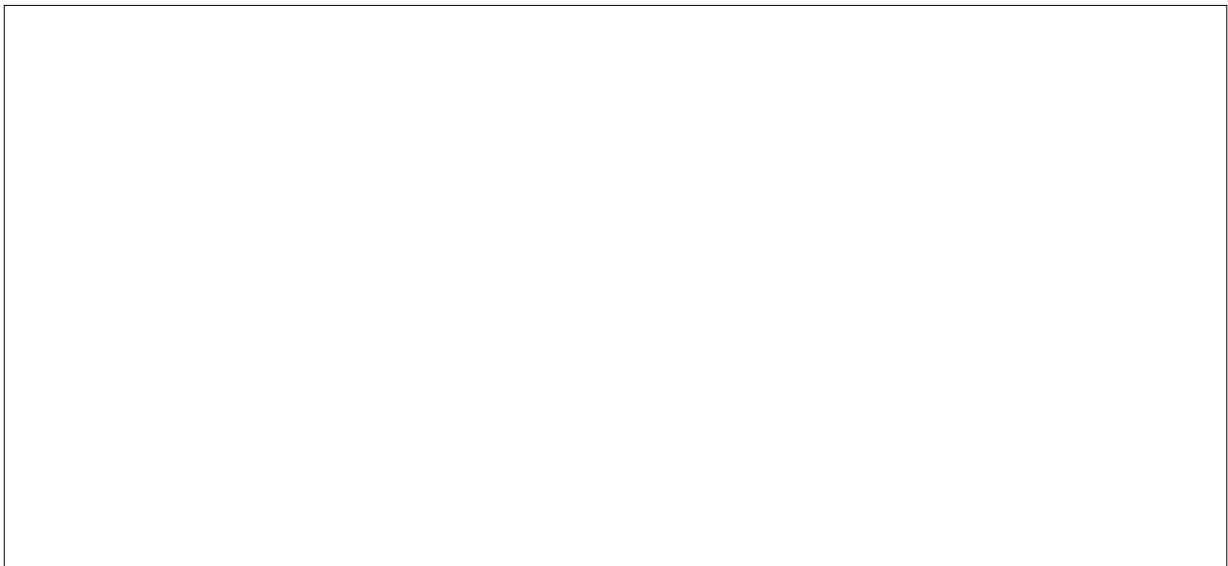
**Item 5.** Inclua abaixo o relatório de tempo da aula 9, da síntese 4 (0.18um). Deixe realçada a frequência projetada.



Inclua o valor da frequência **F<sub>max</sub>** do item 4.c)

A large, empty rectangular box with a thin black border, intended for the student to provide an answer to the question above.

Faça uma comparação entre a opção ASIC e FPGA para 28 nm em termos de velocidade. Discuta como a coorelação entre os resultados de frequência máxima e as de área. Explique quais são os obstáculos para a comparação de área?

A large, empty rectangular box with a thin black border, intended for the student to provide a detailed answer to the comparison question above.