

## Experimento 1:

### FAMILIARIZAÇÃO COM O PAINEL, PORTAS LÓGICAS E TEOREMA DE DE MORGAN

#### 1 OBJETIVO

Fornecer ao aluno um contato inicial com o painel. Apresentar os conceitos, símbolos e tabelas da verdade das principais portas lógicas. Mostrar o caráter universal das portas NÃO-OU e NÃO-E. Discutir os conceitos de “fan-in”, “fan-out” e o atraso nas saídas da porta. Familiarizar o aluno com o teorema de De Morgan.

#### 2 INTRODUÇÃO TEÓRICA

##### 2.1 Circuitos Digitais

Os sistemas digitais são geralmente implementados por meio de circuitos eletrônicos. Nos sistemas eletrônicos binários, a informação é representada por dois níveis distintos de tensão, por exemplo, 0 e 5 V, os quais representam o valor lógico 0 e valor lógico 1, respectivamente.

Como a diferença de tensão entre os dois níveis lógicos é grande, pequenas flutuações em torno desses valores de tensão não nos impedem de distinguir o nível baixo do nível alto. Num circuito complexo, como o de um computador, diversos fatores causam flutuações. Isso não é normalmente um problema, a menos que as flutuações sejam grandes ao ponto de causarem dúvida a cerca do nível lógico (ex: uma tensão de 5 V que flutuou para um valor de 1 V). Essa característica, denominada imunidade a ruído, é uma das maiores vantagens dos circuitos digitais sobre os analógicos.

##### 2.2 Circuitos TTL

Existem diversos tipos de circuitos capazes de executar funções lógicas. Os circuitos integrados utilizados no laboratório pertencem à família de circuitos TTL (*Transistor-Transistor Logic*).

Os circuitos TTL são alimentados com uma tensão de 5 volts, e os níveis lógicos são definidos conforme mostrado na figura 1. Observe a diferença entre os níveis de entrada e saída. O fabricante garante que a saída de um circuito TTL estará entre 0 e 0,4 volts quando no nível lógico 0. Por outro lado, ele garante também que um valor de entrada entre 0 e 0,8 volts será interpretado como um nível lógico 0. Consequentemente, há um intervalo de 400 mV de margem de ruído para o nível lógico 0. Isso significa que um ruído de até 400 mV pode ser adicionado à saída de um circuito sem perturbar o funcionamento dos circuitos ligados àquela saída. O mesmo observa-se para o nível lógico 1.

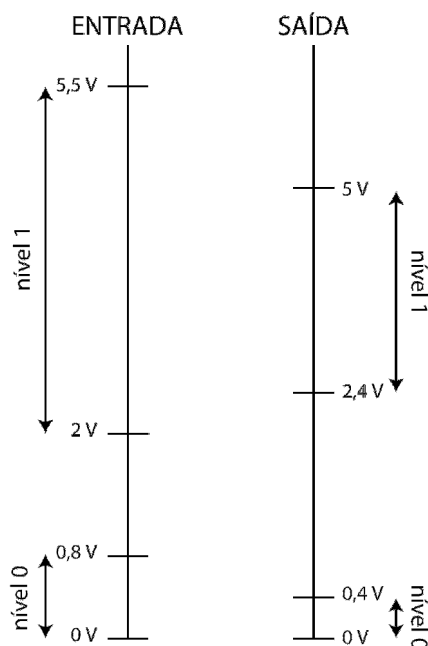


Figura 1 - Tensões de entrada e saída da família TTL.

Na lógica TTL, uma entrada em aberto (não conectada) é tipicamente interpretada como um nível lógico 1.

##### 2.3 Painel lógico

O painel lógico utilizado em laboratório conta com alguns módulos destinados à entrada e à saída de dados, descritos a seguir.

###### 2.3.1 Chaves de 1 e 2 posições

A chave de 1 posição é o botão indicado pela letra “P”. Destina-se à aplicação manual de pulsos no sistema. A saída é normalmente 0 (terra), mas quando o botão é pressionado a saída é 1 (5 V).

As chaves de 2 posições são indicadas pelas letras A a X. Destinam-se à aplicação de valores lógicos de entrada. Com a chave para baixo, a saída é 0. Com ela para cima, a saída é 1.

Essas portas contam com um circuito destinado eliminar o ruído de comutação (“bouncing”). Quando a chave mecânica fecha, o contato não se estabiliza imediatamente. Pode haver comutações microscópicas durante um intervalo de 10 a 50 ms, produzindo vários pulsos em forma de ruído. Esse tipo de trepidação pode ser especialmente problemático em circuitos sequenciais, no qual há realimentação. Apesar da presença desse circuito, é comum observarmos alguma trepidação na saída das chaves.

### 2.3.2 Relógios

Os relógios destinam-se, por exemplo, à sincronização de operações sequenciais. As saídas fornecem ondas quadradas com patamares em 0 e 5 volts, com frequências de 1 Hz ou 100 kHz.

### 2.3.3 Diodo foto-emissor

Os módulos de diodo foto-emissor (*light-emitting diode*, ou LED) servem para indicar o nível lógico de um dado ponto num circuito. Se a entrada estiver no nível lógico 1, o diodo acenderá. O diodo apaga se o nível lógico for 0. Se o diodo estiver desconectado, ele acenderá, pois a entrada em aberto é interpretada como nível lógico 1 (ver seção 2.2). Note que o LED é um diodo, e não uma lâmpada! Lâmpadas são dispositivos resistivos, enquanto que diodos são dispositivos semi-condutores, com princípios de funcionamento bem diferentes.

### 2.3.4 Mostradores numéricos

O painel dispõe de dois mostradores numéricos. Cada um está conectado a um conjunto de 4 LEDs, à sua direita ou à sua esquerda. O número mostrado nesses mostradores corresponde à representação em hexadecimal do número representado pelos 4 bits observados nas entradas dos LEDs correspondentes. Por exemplo, se nas entradas dos LEDs estão os bits 1, 0, 0 e 1, então no mostrador lerá-se o número 9.

### 2.3.5 Ponta lógica

A ponta lógica é um módulo de teste e depuração de circuitos montados. É semelhante ao módulo do diodo emissor de luz, porém, com um refinamento. A ponta lógica é capaz de distinguir entre o nível lógico 0 (luz verde), o nível lógico 1 (luz vermelha) e um nível indeterminado (luz apagada). O nível indeterminado acontece quando o circuito está em aberto (desconectado), quando este não foi alimentado corretamente, ou quando um ponto está conectado simultaneamente a um nível 0 e a um nível 1.

Além de indicar níveis estacionários, a ponta detecta e alarga pulsos mais estreitos que 50 ms. Dessa forma, um pulso muito estreito faz o diodo indicador da ponta piscar durante tempo suficiente para a percepção do olho humano.

## 2.4 Portas E, OU e INVERSORA

Circuitos destinados a executar operações lógicas são denominados portas. As três operações lógicas básicas são E, OU e NEGAÇÃO (ou NÃO), definidas conforme as tabelas 1, 2 e 3. Essas tabelas são chamadas de tabelas verdade.

Tabela 1 - Operação E

A	B	$S = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Tabela 2 - Operação OU

A	B	$S = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

Tabela 3 - Operação NÃO

A	$S = \bar{A}$
0	1
1	0

As tabelas acima mostram também as notações algébricas correspondentes. A expressão  $A \cdot B$  lê-se “A e B”;  $A + B$  lê-se “A ou B”; e  $\bar{A}$  lê-se “não A” ou “A barrado”. É comum omitir-se o ponto na notação da operação E, isto é,  $S = AB$ .

As portas que realizam estas operações são respectivamente as portas E, OU e inversora. Os símbolos usados em esquemas estão desenhados na figura 2.

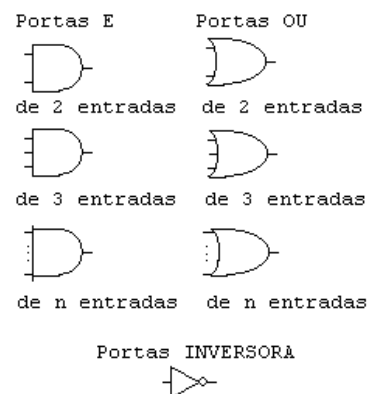
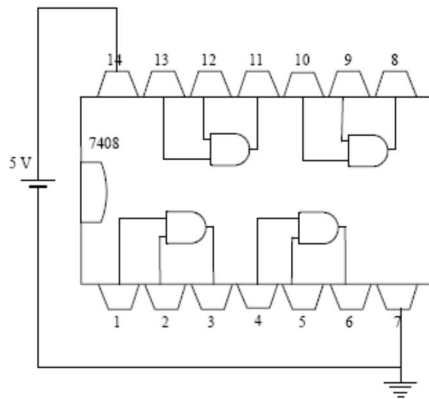


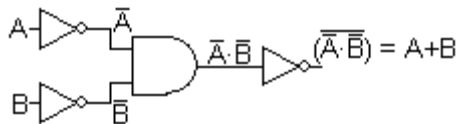
Figura 2 - Símbolos lógicos das portas E, OU e NÃO.

As portas são implementadas com circuitos integrados (CIs). Cada CI contém em geral mais de uma porta. O CI número 7408, por exemplo, é da família TTL e tem 14 pinos. Dois deles destinam-se à alimentação, e os demais dão acesso a 4 portas E de 2 entradas, que podem ser usadas independentemente (figura 3).



**Figura 3 - Identificação dos terminais do CI 7408.**

As portas são interconectadas para executar as mais diversas operações lógicas. A figura 4 e a tabela 4 mostram como a operação OU pode ser implementada apenas com portas E e inversora.



**Figura 4 - Implementação da operação OU com portas E e INVERSORA.**

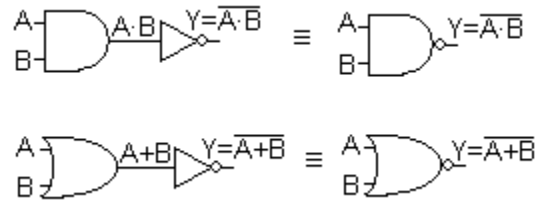
**Tabela 4 - Comprovação da lógica invertida**

A	B	$\bar{A}$	$\bar{B}$	$\bar{A} \cdot \bar{B}$	$\overline{(\bar{A} \cdot \bar{B})}$	A+B
0	0	1	1	1	0	0
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	0	1	1

Similarmente, a operação E também pode ser implementada apenas com portas OU e inversora. É possível demonstrar que qualquer operação lógica pode ser realizada apenas com portas E e inversora, ou apenas com OU e inversora. Conjuntos de portas com esta propriedades de “autosuficiência” são ditos universais.

## 2.5 Portas NÃO-E e NÃO-OU

Uma porta NÃO-E é equivalente a uma porta E seguida de uma porta INVERSORA, como mostra a figura 5. Logo a tabela da verdade de uma porta NÃO-E é a tabela da verdade da porta E com a saída invertida (tabela 5). De maneira análoga, uma porta NÃO-OU é equivalente a uma porta OU seguida de uma porta INVERSORA (figura 5 e tabela 6).



**Figura 5 - Portas NÃO-E e NÃO-OU.**

**Tabela 5 – Tabela verdade da porta NÃO-E.**

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

**Tabela 6 – Tabela verdade da porta NÃO-OU.**

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

As portas NÃO-E e NÃO-OU são universais, pois podemos implementar qualquer função booleana usando apenas um desses dois tipos de portas.

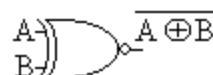
## 2.6 Portas OU-EXCLUSIVO

A porta OU-EXCLUSIVO de duas entradas (figura 6 e tabela 7) compara dois bits e a saída será 1 se, e somente se, eles forem diferentes. Uma porta OU-EXCLUSIVO de várias entradas terá a saída igual a 1 se tiver um número ímpar de níveis lógicos 1 na entrada.

A porta NÃO-OU-EXCLUSIVO (figura 7 e tabela 7) compara dois bits binários e a saída será 1 se, e somente se, eles forem iguais. No caso de várias entradas a saída só será 1 se houver um número par de níveis lógicos 1 na entrada.



**Figura 6 - Porta OU-EXCLUSIVO**



**Figura 7 - Porta NÃO-OU-EXCLUSIVO**

**Tabela 7 – Tabela verdade das portas OU-EXCLUSIVO e NÃO-OU-EXCLUSIVO.**

A	B	$A \oplus B$	$\overline{A \oplus B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

As portas OU-EXCLUSIVO e NÃO-OU-EXCLUSIVO são muito utilizadas para comparar palavras em tomada de decisões. O emprego do bit de paridade para a detecção de erros é um exemplo típico de sua aplicação.

A expressão booleana de saída de uma porta OU-EXCLUSIVO de entradas A e B é  $\overline{A}B + A\overline{B}$ . O Símbolo utilizado para representar esta função é  $A \oplus B$ . Analogamente, a expressão booleana para a saída de uma porta NÃO-OU-EXCLUSIVO de entradas A e B é:

$$\overline{\overline{A}B + A\overline{B}} = \overline{\overline{A}B} \cdot \overline{A\overline{B}} = \overline{\overline{A}} + \overline{B} = A + \overline{B} = A \oplus B$$

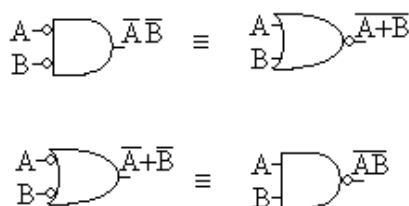
## 2.7 Teorema de De Morgan

Dois teoremas muito úteis na implementação de circuitos lógicos são os teoremas de De Morgan.

$$i) \overline{A + B} = \overline{A} \cdot \overline{B}$$

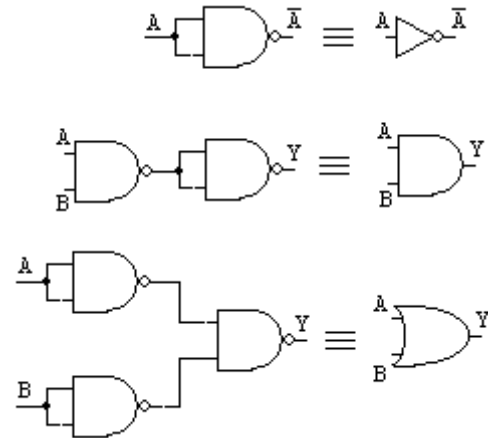
$$ii) \overline{A \cdot B} = \overline{A} + \overline{B}$$

Eles são demonstrados utilizando-se axiomas e outros teoremas da álgebra de Boole. Uma regra prática para memorizar estas relações diz: “se a barra de inversão entre duas variáveis for quebrada, a operação ( $\cdot$  ou  $+$ ) entre elas deve ser intercambiada”. Eles mostram ainda a equivalência das portas indicadas na figura 8.



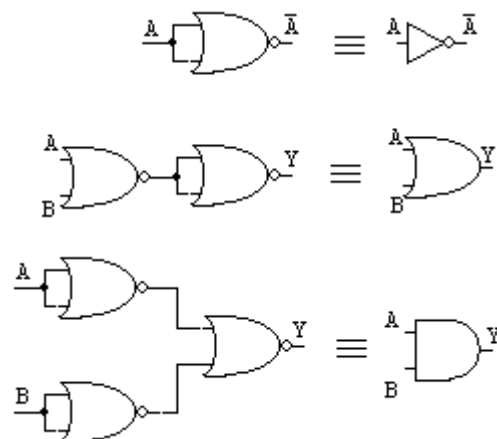
**Figura 8 - Teoremas de De Morgan.**

Um corolário muito importante destes teoremas permite concluir que qualquer função lógica pode ser implementada utilizando-se somente portas NÃO-E. Como uma função lógica é um conjunto de variáveis inter-relacionadas por soma lógica, produto lógico e negação, basta mostrar que é possível realizar estas relações usando, somente portas NÃO-E. A figura 9 mostra como realizar as operações E, OU e negação usando portas NÃO-E.



**Figura 9 - Implementação de inversora, E e OU usando portas NÃO-E.**

De forma análoga, pode-se realizar E, OU e inversora utilizando somente portas NÃO-OU. Isto é mostrado na figura 10.



**Figura 10 - Implementação de portas INVERSORA, E e OU usando portas NÃO-OU.**

Assim, fica demonstrado o caráter universal das portas NÃO-E e NÃO-OU.

## 2.8 Características físicas das portas lógicas

### 2.8.1 Atraso

A interpretação puramente lógica dos circuitos digitais é conveniente por sua simplicidade. Entretanto, não devemos nos esquecer da natureza física das portas representadas pelos símbolos lógicos. Uma consideração importante é o atraso de propagação das portas, isto é, o tempo necessário para que sua saída mude, depois que uma entrada mudou. Quando diversas portas são ligadas em cascata, o atraso total de propagação é igual à soma dos atrasos em cada porta. Assim, os atrasos de

propagação limitam a velocidade de operação de qualquer sistema digital. Na família TTL, as portas têm um atraso típico na ordem de 10 ns.

Desse modo, a porta OU da figura 2 e os circuitos equivalentes das figuras 4 e 9 são idênticos do ponto de vista lógico, mas têm atrasos de propagação diferentes: cerca de 10 ns, 30 ns e 20 ns, respectivamente.

Os atrasos de propagação estabelecem um limite superior para a velocidade de operação de qualquer sistema digital.

### 2.8.2 Fatores de Carga

Com a finalidade de facilitar os projetos usando dispositivos TTL, os parâmetros de carga para a entrada e saída de todas as famílias lógicas foram normalizados para os valores abaixo descritos. Esses valores refletem as condições de pior caso à temperatura ambiente e no intervalo de variação  $V_{cc}$  tolerado. Assim, para a série TTL 74XX, tem-se:

1 Unidade de carga TTL = 40  $\mu$ A, no nível lógico 1  
= 1,6 mA, no nível lógico 0.

Em outras palavras, uma porta 7400 que requeira uma corrente máxima de  $I_{IL} = 1,6$  mA para o nível lógico 0 e uma corrente de entrada máxima de  $I_{IH} = 40$   $\mu$ A para o nível lógico 1 é especificada como tendo um “fator de carga” unitário, isto é, possui um “fan-in” de 1. Por outro lado a saída de uma porta 7400 absorverá 16 mA no nível lógico 0 e fornecerá 800  $\mu$ A no nível lógico 1. Portanto ela tem a “capacidade de acionar” 10 portas no nível lógico 0 (pois 16 mA/1,6 mA=10), isto é, possui um “fan-out” de 10 para o nível 0. Da mesma forma, o “fan-out” para o nível lógico 1 é 800  $\mu$ A/40  $\mu$ A = 20. Considera-se o pior caso e diz-se que o “fan-out” da porta 7400 é 10. Se em um determinado circuito houver necessidade de acionar mais que 10 entradas, podemos usar portas especiais como “buffer” para aumentar essa capacidade.

## 3 PARTE EXPERIMENTAL:

3.1 - Implemente uma porta OU usando apenas portas E e INVERSORA (circuito da figura 4). Verifique seu funcionamento preenchendo a tabela:

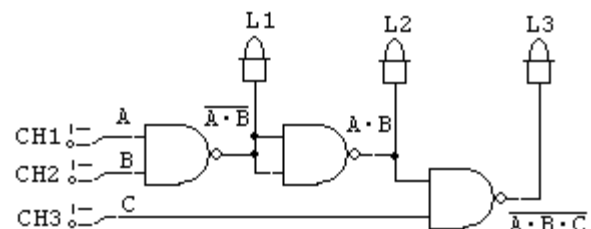
A	B	S

3.2 – Utilizando o teorema de De Morgan, projete uma porta E usando apenas portas OU e INVERSORA. Desenhe o esquemático abaixo, indicando os pinos de entrada e saída de cada porta.

Implemente o circuito projetado e verifique seu funcionamento, preenchendo a tabela:

A	B	S

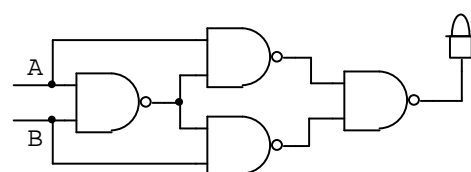
3.3 – Implemente uma porta NÃO-E de 3 entradas, utilizando somente portas NÃO-E de 2 entradas:



Verifique seu funcionamento, preenchendo a tabela:

Entradas			Saídas		
A	B	C	$\overline{A \cdot B}$	$A \cdot B$	$\overline{A \cdot B \cdot C}$
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

3.4 – Implemente uma porta OU-EXCLUSIVO usando somente portas NÃO-E.



Verifique seu funcionamento, preenchendo a tabela:

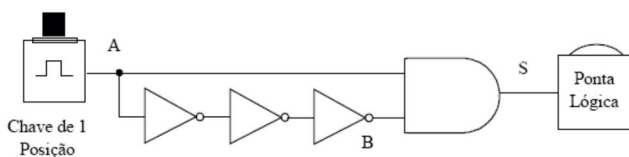
Entradas		Saída
A	B	$\overline{A} \cdot B + A \cdot \overline{B}$
0	0	
0	1	
1	0	
1	1	

3.5 – Projete uma porta OU-EXCLUSIVO de 4 entradas, usando somente portas OU-EXCLUSIVO de 2 entradas. Desenhe o esquemático abaixo, indicando os pinos de entrada e saída de cada porta.

Implemente o circuito projetado e verifique seu funcionamento, preenchendo a tabela:

A	B	C	D	$A \oplus B \oplus C \oplus D$
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

3.6 – Monte o circuito apresentado a seguir.



A finalidade deste item é investigar a existência dos atrasos de propagação em portas. Enquanto se tiver  $A = 0$ , tem-se  $B = 1$  e  $S = 0$ . Suponha agora que

a chave é pressionada, de forma a fazer  $A = 1$ . Devido ao atraso nas 3 portas inversoras, a entrada B ainda permanecerá no nível lógico 1 durante cerca de 30 ns. Após decorrerem os primeiros 10 ns, tempo necessário para a porta E responder, a saída S irá também para o nível 1, e permanecerá aí até 10 ns após a entrada B finalmente passar para 0. Consequentemente, um pulso de largura aproximadamente 30 ns será observado na saída.

Um pulso tão rápido não é visível a olho nu, mas é possível detectá-lo usando a ponta lógica. Note que retorno de A para o nível 0, não será produzido nenhum pulso em S.

Verifique o funcionamento desse circuito. Se a ponta não for capaz de detectar pulsos de 30ns, aumente para 50 ns ou 70 ns, usando 5 ou 7 portas INVERSORAS no lugar de 3.

Será que algum pulso seria produzido na saída se fosse usado um número par de INVERSORAS?

#### 4 INSTRUÇÕES PARA A REALIZAÇÃO DO EXPERIMENTO

##### 4.1 Projeto (pré-relatório)

O pré-relatório deve ser feito em grupo (dois alunos) e deve ser feito à mão.

1) Desenhe o esquemático do circuito a ser montado na seção 3.1, indicando os pinos de entrada e saída de cada porta e o número dos circuitos integrados a serem utilizados. Apresente também a tabela verdade que se espera observar. Mostre, utilizando o teorema de De Morgan, que esse circuito é equivalente a uma porta OU.

2) Utilizando o teorema de De Morgan, projete uma porta E usando apenas portas OU e INVERSORA. Desenhe o esquemático do circuito, indicando os pinos de entrada e saída de cada porta e o número dos circuitos integrados a serem utilizados. Apresente também a tabela verdade que se espera observar.

3) Usando álgebra Booleana e o teorema de De Morgan, mostre que o circuito da seção 3.3 é equivalente a uma NÃO-E de três entradas. Desenhe o esquemático do circuito, indicando os pinos de entrada e saída de cada porta e o número dos circuitos integrados a serem utilizados. Apresente também a tabela verdade que se espera observar.

4) Usando álgebra Booleana e o teorema de De Morgan, mostre que o circuito da seção 3.4 é equivalente a uma porta OU-EXCLUSIVO de duas





entradas. Desenhe o esquemático do circuito, indicando os pinos de entrada e saída de cada porta e o número dos circuitos integrados a serem utilizados. Apresente também a tabela verdade esperada.

5) Projete uma porta OU-EXCLUSIVO de 4 entradas, usando somente portas OU-EXCLUSIVO de 2 entradas. Desenhe o esquemático do circuito, indicando os pinos de entrada e saída de cada porta e o número dos circuitos integrados a serem utilizados. Apresente também a tabela verdade esperada.

6) Apresente uma breve análise teórica do que se espera observar no item 3.6, esboçando as formas de onda de A, B e S. Nessa análise, mostre o que acontece tanto na mudança de 0 para 1 quanto na mudança de 1 para 0. Avalie o que acontece quando o número de portas é par. Desenhe o esquemático do circuito, indicando os pinos de entrada e saída de cada porta e o número dos circuitos integrados a serem utilizados.

#### 4.2 Visto

No laboratório, o grupo deve solicitar o visto ao final dos itens 3.1, 3.2; 3.3; 3.4; 3.5 e 3.6. É sugerido que o aluno chame o professor ou monitor para dar o visto logo após a realização de cada item, e não uma única vez ao final do experimento.

#### 4.3 Relatório

O relatório é individual, deve ser feito à mão, e consiste em responder ao questionário a seguir. Não é necessário entregar um relatório formal, com introdução, metodologia, resultados, etc.

1) Utilize o teorema de De Morgan para mostrar como construir uma porta OU usando portas E e inversora. (1 ponto)

2) Usando o teorema de De Morgan, implemente as portas inversora, E e OU utilizando somente portas NÃO-E. (1 ponto)

3) Mostre como construir uma porta E de 3 entradas utilizando apenas portas E de duas entradas. A seguir, reconstrua esse circuito usando portas NÃO-E. (1 ponto)

4) Uma porta inversora tem fan-in de 1,6mA no nível 0 e 40µA no nível 1, e fan-out de 16mA no nível 0 e 0,8mA no nível 1. Essa porta seria capaz de ativar 15 outras portas com as mesmas características de fan-in e fan-out? Justifique. (1 ponto)

5) Usando álgebra Booleana e o teorema de De Morgan, mostre que o circuito montado na seção 3.4 implementa uma porta OU-EXCLUSIVO. Em outras palavras, mostre como chegar da equação  $\overline{(A \cdot (A \cdot B))} \cdot \overline{(B \cdot (A \cdot B))}$  na equação  $\overline{A}B + A\overline{B}$ , que define a porta OU-EXCLUSIVO. (1 ponto)

6) Como circuitos de verificação de paridade podem ser úteis em sistemas digitais de comunicação? Tente achar informações sobre códigos com bits de paridade, como o CRC. (1 ponto)

7) Acerca do circuito implementado na seção 3.6, responda:

a) Por que acontece um pulso de 30 ns na saída do último sistema implementado em sala de aula quando se levanta a chave? (1 ponto)

b) O que aconteceria se o número de portas inversoras fosse par? (1 ponto)

c) Teoricamente, quando se abaixa a chave, deveria também ser percebido um pulso? Justifique. Se a sua resposta foi negativa, explique por que alguns grupos observaram esse pulso. (1 ponto)

d) Por que o pulso é visível com a ponta lógica, mas não é visível diretamente no LED? (1 ponto)

#### 5 TESTE DE AUTO-AVALIAÇÃO (OPCIONAL)

Não é preciso entregar.

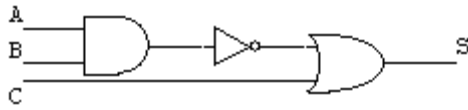
5.1 - Com relação aos níveis lógicos TTL de entrada e saída, assinale a alternativa correta:

- a) ENTRADA: 0 a 0,4 V e 2,0 a 5,5 V  
SAÍDA: 0 a 0,8 V e 2,4 a 5,0 V
- b) ENTRADA: 0 a 0,8 V e 2,0 a 5,5 V  
SAÍDA: 0 a 0,4 V e 2,4 a 5,0 V
- c) ENTRADA: 0 a 0,4 V e 2,4 a 5,0 V  
SAÍDA: 0 a 0,8 V e 2,4 a 5,0 V
- d) ENTRADA: 0 a 0,8 V e 2,4 a 5,0 V  
SAÍDA: 0 a 0,4 V e 2,0 a 5,5 V

5.2 - Assinale os conjuntos universais dentre os conjuntos abaixo:

- a) E, OU, INVERSORA
- b) E, OU
- c) E, INVERSORA
- d) OU, INVERSORA
- e) INVERSORA

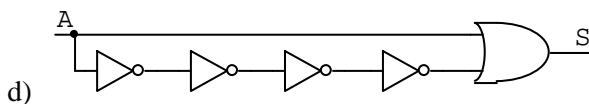
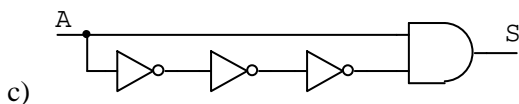
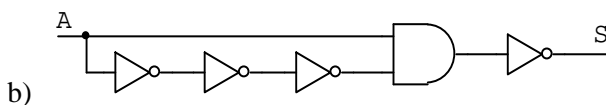
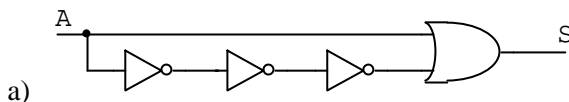
5.3 - Preencha a tabela da verdade do circuito abaixo:



A	B	C	S
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

5.4 - Com relação a pulsos em S de correntes de atrasos de propagação, estabeleça uma associação 1 a 1 entre as colunas da esquerda e da direita:

- ( ) Produz um pulso quando A passa de 0 para 1.
- ( ) Não produz pulso em nenhuma transição.
- ( ) Produz um pulso quando A passa de 0 para 1.
- ( ) Produz um pulso quando A passa de 1 para 0.



5.5 – Se uma porta NÃO-E de 3 entradas tiver duas de suas entradas ligadas a +5 V e a terceira entrada for A. Qual será a saída?

- a) A
- b)  $\overline{A}$
- c) 1
- d) 0

5.6 – Se uma entrada de uma porta NÃO-OU de 3 entradas for 1 e as outras entradas não forem conhecidas. Qual será a saída?

- a) 0
- b) 1
- c) Indeterminada
- d) Nenhuma das opções acima é verdadeira

5.7 – Pelo teorema de De Morgan, a função

$f = \overline{[(A \cdot B) + C]}$  é igual a:

- a)  $[(A + B) \cdot C]$
- b)  $[(\overline{A} + \overline{B}) \cdot \overline{C}]$
- c)  $[(\overline{A} + \overline{B}) \cdot C]$
- d)  $[(\overline{A} + \overline{B}) \cdot \overline{C}]$

5.8 – Para usar uma porta OU-EXCLUSIVO como INVERSORA:

- a) ambas as entradas devem ser 1
- b) ambas as entradas devem ser 0
- c) uma das entradas deve ser aterrada
- d) uma das entradas deve ser ligada a +5 V

5.9 – Se as entradas de uma porta OU-EXCLUSIVO forem iguais, a saída será 1:

- a) 0
- b) 1
- c) depende do valor das entradas