

Experimento 7: FLIP-FLOPS RS E JK

1 OBJETIVO

Apresentação do multivibrador biestável ou flip-flop como uma unidade de memória. Os conceitos de latch RS e de flip-flop RS gatilhado são examinados em circuitos montados com portas lógicas. As tabelas de ambos os flip-flops são verificadas, bem como os instantes de transição nas saídas. É solicitado um diagrama no tempo das formas de onda nas saídas, tendo como referência o relógio.

São previstos ainda controles de PRESET e CLEAR. No flip-flop JK, é apresentado o conceito de SENHOR-ESCRAVO.

2 INTRODUÇÃO TEÓRICA

Um dos elementos mais importantes de um sistema digital é a memória ou dispositivo para armazenar informações, tais como: núcleos magnéticos, flip-flops, chaves etc.

Durante muito tempo, a unidade de memória de um computador digital era quase que exclusivamente feita de núcleos magnéticos. Entretanto, devido ao grande avanço da tecnologia de semicondutores, os núcleos magnéticos foram rapidamente substituídos pelas memórias a semicondutores.

Existem dois tipos básicos de memórias a semicondutores: as estáticas e as dinâmicas. As memórias estáticas são construídas pelo agregamento de flip-flops, ou bi-estáveis. As memórias dinâmicas não estão no escopo desta experiência, mas baseiam-se quase sempre no armazenamento de cargas em capacitores.

O flip-flop é um multivibrador bi-estável, que possui dois estados estáveis, como seu próprio nome indica. Num deles, a saída Q é igual 1, e no outro é igual 0. Portanto ele serve para armazenar um bit de informação. Dependendo da forma de gatilhamento, o flip-flop é chamado de RS, D, T ou JK. No flip-flop RS, o estado de “Set” ou “Reset” da entrada determina o estado da saída. Ativando-se a entrada “Set” teremos $Q=1$. Ativando-se a entrada “Reset” teremos $Q=0$. O flip-flop JK é o mais usado, devido a sua maior versatilidade. É essencialmente um flip-flop RS gatilhado, com uma segunda ligação cruzada entre a entrada e saída.

2.1 Latch RS

A tabela verdade do latch RS é apresentada na tabela 1. Ele pode ser construído como apresentado na figura 1. Neste tipo de flip-flop, normalmente o estado de entrada é $S R = 0 0$. Nesta situação, se fizermos

$S R = 1 0$, teremos na saída $Q = 1$. Se, entretanto, voltarmos novamente para $S R = 0 0$, Q continuará sendo 1. Portanto, se o estado de entrada for 0 0, uma simples inspeção de saída indicará qual foi o último estado assumido pelas entradas S e R.

Entretanto, a combinação $S R = 1 1$ é proibida. Observe que, se mudarmos de $S R = 0 0$ para 1 1, a saída Q será igual a saída \bar{Q} : ambas serão 0, o que é uma contradição! Se voltarmos novamente para 1 1, a saída poderá ser tanto 0 como 1. A saída, no caso, dependerá dos atrasos inerentes de cada porta e, portanto, não apresenta interesse prático.

Tabela 1 - Tabela verdade do latch RS.

S	R	Q	\bar{Q}
0	0	mantém estado	
0	1	0	1
1	0	1	0
1	1	proibido	

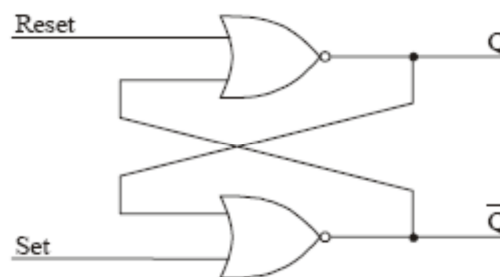


Figura 1 - Implementação do latch RS.

2.2 Flip-flop RS gatilhado

O flip-flop da figura 1 muda de estado assim que uma informação apropriada é recebida na entrada; não há requerimentos precisos de tempo e a operação é dita assíncrona. Em outras aplicações, tais como operações aritméticas, os dados devem ser armazenados ou lidos em instantes bem determinados. Neste caso, o sistema é chamado síncrono e as operações são realizadas sob o comando de pulsos de um sinal chamado “relógio”.

Um flip-flop gatilhado implementado com portas NÃO-E é mostrado na figura 2. Em repouso, $T = 0$ e as entradas S e R não têm ação sobre o flip-flop. Quando $T = 1$, as entradas S e R podem alterar o estado do flip-flop, conforme mostra a tabela 2. Quando T volta novamente a zero, a informação fica retida no flip-flop.

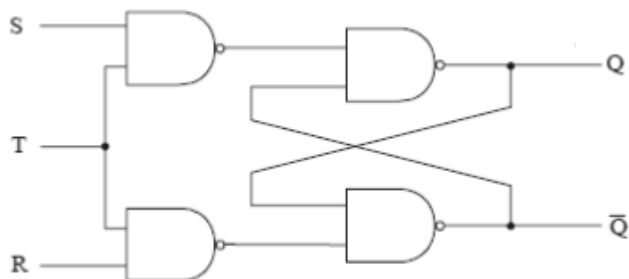


Figura 2 - Implementação do flip-flop RS gatilhado.

Tabela 2 - Tabela verdade do flip-flop RS gatilhado.

T	S	R	Q	\bar{Q}
0	X	X	mantém estado	
1	0	0	mantém estado	
1	0	1	0	1
1	1	0	1	0
1	1	1	proibido	

2.3 Flip-flop RS gatilhado com “PRESET” e “CLEAR”

Uma implementação de um flip-flop RS, com “PRESET” e “CLEAR” usando portas NÃO-E é apresentada na figura 3.

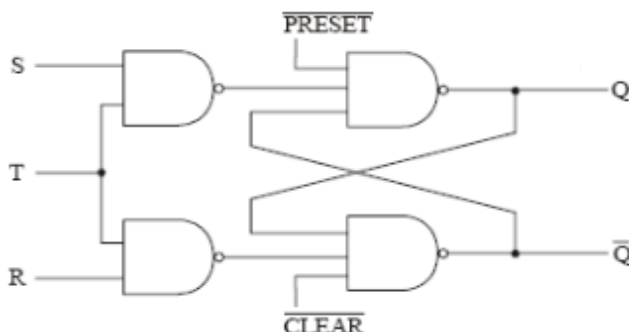


Figura 3 - Implementação do flip-flop RS gatilhado com “PRESET” e “CLEAR”.

As entradas “PRESET” e “CLEAR” são usadas para forçar a saída Q para o estado 1 ou 0, respectivamente. Essas operações independem de outras, e não devem ser acionadas simultaneamente. Se $\overline{\text{PRESET}} = 0$, a saída Q será 1, e se $\overline{\text{CLEAR}} = 0$, a saída \bar{Q} será 1, independentemente das demais entradas. Entretanto há alguns estados proibidos, listados na tabela 3.

Tabela 3 - Tabela Verdade do Flip-flop RS gatilhado com “PRESET” e “CLEAR”.

$\overline{\text{PR}}$	$\overline{\text{CL}}$	T	S	R	Q	\bar{Q}
0	0	X	X	X	proibido	
0	1	0	X	X	1	0
0	1	1	X	0	1	0
0	1	1	X	1	proibido	
1	0	0	X	X	0	1
1	0	1	0	X	0	1
1	0	1	1	X	proibido	
1	1	1	0	0	mantém	
1	1	1	0	1	0	1
1	1	1	1	0	1	0
1	1	1	1	1	proibido	

2.4 Flip-flop RS “SENHOR-ESCRAVO”

A implementação de um flip-flop RS “SENHOR-ESCRAVO” com portas NÃO-é apresentada na figura 4. Seu comportamento é descrito a seguir.

Quando $T=1$, o flip-flop “ESCRAVO” mantém seu estado anterior, independentemente das entradas S e R. Já o flip-flop “SENHOR” faz a leitura das entradas S e R, alterando Q para 1 quando $S = 1$ e Q para 0 quando $R = 1$, ou mantendo seu estado anterior quando $S = R = 0$.

Quando T muda de 1 para 0, o estado do flip-flop “SENHOR” é copiado para o flip-flop “ESCRAVO”. Enquanto $T = 0$, os valores nas entradas S e R não têm efeito, pois o flip-flop “SENHOR” se encontra desabilitado. Note que a saída Q só se altera na borda de descida do sinal T. Entretanto, o flip-flop “SENHOR” estará habilitado durante todo o período em que $T=1$, respondendo as entradas S e R. O estado a ser transferido do flip-flop “SENHOR” para o flip-flop “ESCRAVO” — e, consequentemente, para a saída Q — será o estado final do flip-flop “SENHOR” imediatamente antes da transição do sinal T do nível 1 para o nível 0. Assim, uma grande limitação desse flip-flop é que um ruído qualquer nos sinais S ou R que aconteça quando $T=1$ afetará o estado do flip-flop “SENHOR” e, consequentemente, poderá ser transferido para o flip-flop “ESCRAVO” (e para a saída Q) quando T retornar ao nível 0. Esta limitação é resolvida pelo flip-flop chamado de “gatilhado pela borda”, em que a leitura acontece somente na borda de subida (ou de descida) do sinal T.

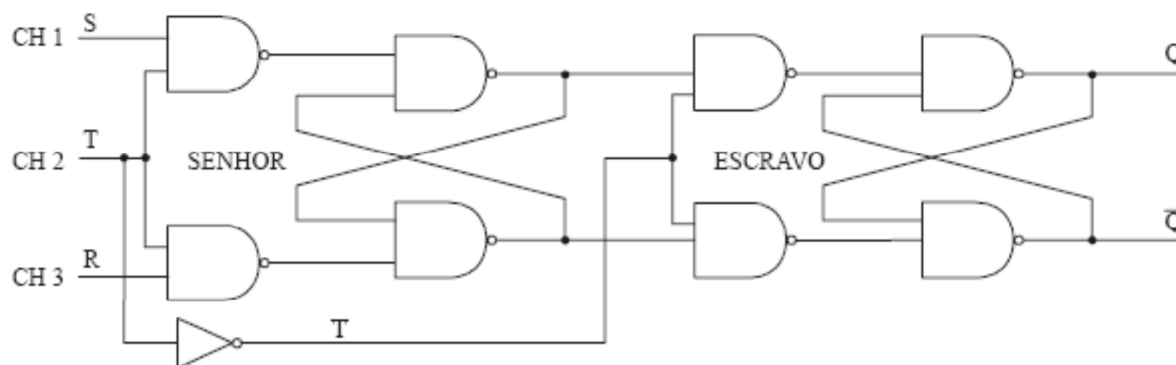


Figura 4- Implementação de um flip-flop RS Senhor-Escravo.

2.5 Flip-flop JK SENHOR-ESCRAVO

O flip-flop JK é semelhante ao flip-flop RS, com uma diferença: além dos comandos de “manter o estado” ($J=0$ e $K=0$), “setar” ($J=1$ e $K=0$) e “resetar” ($J=0$ e $K=1$), há o comando de “trocar o estado” ($J=1$ e $K=1$). Quando $J=1$ e $K=1$, um pulso em T faz com que o flip-flop mude de estado: se Q estava em 0, este irá para 1, e vice-versa. Isto elimina o estado indeterminado encontrado no flip-flop RS, quando $S=1$ e $R=1$. Na tabela verdade apresentada na tabela 4, a notação Q_n indica o estado de saída antes do pulso em T, enquanto Q_{n+1} indica o estado de saída depois desse pulso.

Tabela 4 - Tabela Verdade do Flip-Flop JK.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Uma implementação SENHOR-ESCRAVO do flip-flop JK é apresentada na figura 5. Este flip-flop

difere do RS SENHOR-ESCRAVO da figura 4 apenas pelas realimentações da saída para a entrada. Com isto, o estado de entrada 1 1 apresenta interesse prático, pois o comportamento da saída torna-se perfeitamente conhecido (reversão de estados).

Na implementação SENHOR-ESCRAVO do flip-flop JK, quando $T=1$, o flip-flop “ESCRAVO” mantém seu estado anterior, independentemente das entradas J e K. Já o flip-flop “SENHOR” faz a leitura das entradas J e K, dependendo do valor atual da saída Q: se $Q=0$, o valor da entrada K é irrelevante, e o flip-flop “SENHOR” muda seu estado para 1 se, em qualquer momento, J for ativado; se $Q=1$, o valor da entrada J é irrelevante, e o flip-flop “SENHOR” muda seu estado para 0 se, em qualquer momento, K for ativado. Se tanto J quanto K forem mantidas desativadas o flip-flop “SENHOR” mantém seu estado anterior.

Quando T muda de 1 para 0, o estado do flip-flop “SENHOR” é copiado para o flip-flop “ESCRAVO”. Enquanto $T=0$, os valores nas entradas J e K não têm efeito, pois o flip-flop “SENHOR” se encontra desabilitado.

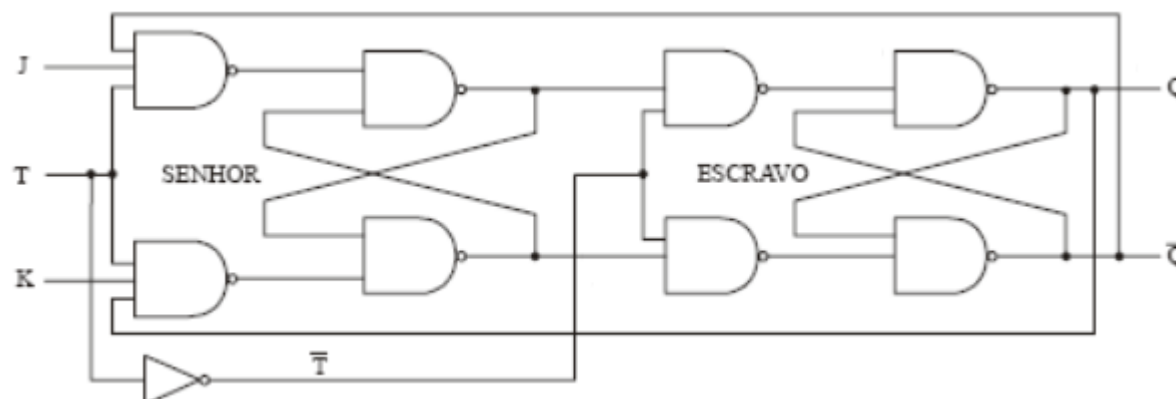


Figura 5 - Implementação de um flip-flop JK Senhor-Escravo.

Note que a saída Q só se altera na borda de descida do sinal T . Entretanto, o flip-flop “SENHOR” estará habilitado durante todo o período em que $T=1$, respondendo as entradas J e K . O estado a ser transferido do flip-flop “SENHOR” para o flip-flop “ESCRAVO” — e, consequentemente, para a saída Q — será o estado final do flip-flop “SENHOR” imediatamente antes da transição do sinal T do nível 1 para o nível 0. Assim, o flip-flop JK SENHOR-ESCRAVO apresenta a mesma limitação que sua versão RS: um ruído qualquer nos sinais J ou K que aconteça quando $T=1$ pode afetar o estado do flip-flop “SENHOR” e, consequentemente, ser transferido para o flip-flop “ESCRAVO” (e para a saída Q) quando T retornar ao nível 0. Da mesma, esta limitação é resolvida pelo flip-flop chamado de “gatilhado pela borda”, em que a leitura acontece somente na borda de subida (ou de descida) do sinal T .

3 PARTE EXPERIMENTAL

3.1 – Monte o latch RS apresentado na figura 1. Elabore uma tabela da verdade para o circuito da figura 1 para verificar o que acontece na sequência 01, 00 10, 00, 11, 00, aplicada nos terminais S e R .

3.2 – Monte o flip-flop RS gatilhado apresentado na figura 2. Verifique a tabela da verdade para o circuito. Explique o comportamento do circuito para $T = 0$ e $T = 1$.

3.3 – Monte o flip-flop RS gatilhado com PRESET e CLEAR apresentado na figura 3. Verifique e explique o funcionamento dos terminais “PRESET” e “CLEAR”.

3.4 – Monte o flip-flop RS senhor-escravo da figura 4. Verifique a tabela da verdade para o circuito.

3.5 – Monte o flip-flop JK senhor-escravo apresentado na figura 5. Verifique a tabela da verdade para o circuito. Note que este circuito não funciona corretamente no Circuit Maker, pois é inicializado em estado proibido, isto é, com $Q = \bar{Q}$. Portanto, não é necessário simulá-lo.

Após montado o circuito da figura 5, aplique nas entradas JK níveis convenientes para que uma onda quadrada com valores alternando entre 0 V e 5 V aplicada em T apareça na saída Q com metade da frequência. Use como sinal T o sinal de 1 Hz do kit lógico. Coloque nos leds tanto a entrada T quanto a saída Q , para verificar a relação entre os pulsos utilizados na entrada e os produzidos na saída.

3.6 – Utilize o software de simulação Circuit Maker para ver o gráfico (sinal de entrada e sinal de saída) obtido pelo procedimento anterior. Para isto, utilize o flip-flop JK já existente no Circuit Maker (7473 ou 7476) e os instrumentos Pulser e Scope.

4 SUMÁRIO

Vários tipos de flip-flop RS: assíncrono, síncrono, senhor-escravo e também o flip-flop JK senhor-escravo foram estudados. As funções de terminais “PRESET” e “CLEAR” foram apresentadas, bem como foram vistos detalhes de transferência de informação com o pulso de relógio T . Implementações desses flip-flops utilizando portas NÃO-E ou NÃO-OU foram discutidas.

5 INSTRUÇÕES PARA EXECUÇÃO DO EXPERIMENTO

5.1 Pré-relatório

O grupo deve ler o roteiro e simular em qualquer programa de simulação de circuitos lógicos os circuitos a serem implementados. Note que, no Circuit Maker, o circuito da figura 5 não funciona corretamente, pois é inicializado em estado proibido, isto é, com $Q = \bar{Q}$. Portanto, não é necessário simular o item 3.5. Mesmo assim, imprima os esquemáticos com a pinagem dos CIs, ou desenhe os esquemáticos à mão, indicando a pinagem, para todos os circuitos. Apresente a tabela verdade de funcionamento de cada circuito.

5.2 Realização do experimento

Cada grupo deve seguir o procedimento apresentado no item 3 deste roteiro. Ao professor, devem ser apresentados os resultados obtidos ao final de cada um dos 6 itens. Cada item vale 1 ponto, exceto pelo itens 3.4 e 3.5, que valem 2 pontos. Os 2 pontos restantes correspondem à nota de pré-relatório.

5.3 Relatório

O relatório é individual, deve ser feito à mão, e consiste em responder ao questionário abaixo.

1) Explique, com suas palavras, comparativamente, o funcionamento dos cinco latches e flip-flops implementados no experimento: (0,6 cada item)

- a) latch RS;
- b) flip-flop RS gatilhado;
- c) flip-flop RS gatilhado com Preset e Clear;
- d) flip-flop RS mestre-escravo;
- e) flip-flop JK mestre-escravo.



2) Tanto no circuito da questão '1b', quanto no circuito da questão '1d', as entradas S e R afetam a saída de acordo com o sinal T (ou clock). Mas existe uma diferença básica na forma como o terminal T controla a passagem de dados. Explique essa diferença. (1 ponto)

3) Explique, usando palavras e formas de onda, como o flip-flop JK mestre-escravo pode ser utilizado para transformar uma onda quadrada de 1 kHz em uma onda quadrada de 500 Hz. (2 pontos)

4) No circuito da questão '1c' implementado em laboratório, os terminais Preset e Clear podem ser usados para "setar" ou "resetar" o latch quando $T = 0$. No entanto, nesta implementação, há estados proibidos com relação ao uso desses terminais quando $T = 1$. Mostre o que acontece quando os terminais Preset, R e T estão ativos no mesmo instante. A seguir, mostre o que acontece quando os terminais Clear, S e T estão ativos no mesmo instante. Finalmente, mostre o que acontece quando os terminais Preset e Clear são ativados simultaneamente. Lembre-se que, nesta implementação, os terminais Preset e Clear são ativos em nível baixo, enquanto que S, R e T são ativos em nível alto. (2 pontos)

5) Em um flip-flop do tipo J-K, a saída Q está em nível baixo, assim como as entradas J, K e clock. O clock é então levado ao nível alto e mantido assim. Ainda com o clock em nível alto, o terminal J foi levado para o nível alto por alguns segundos e a seguir trazido de volta para o nível baixo. Alguns segundos depois, o clock foi trazido para o nível baixo. Explique comparativamente, com formas de onda e palavras, o que acontece com a saída Q caso:

- o flip-flop seja do tipo mestre-escravo
- o flip-flop seja do tipo gatilhado pela borda de descida.

(2 pontos)

6 TESTE DE AUTO-AVALIAÇÃO (OPCIONAL)

6.1 – Qual dos seguintes estados de entrada de um flip-flop RS gatilhado, implementado com portas NÃO-E, produzirá uma saída indeterminada?

- 0 0
- 0 1
- 1 0
- 1 1

6.2 – Um flip-flop RS síncrono difere de um flip-flop RS assíncrono no seguinte particular:

- Muda de estado somente quando gatilhado.
- O flip-flop síncrono não requer entrada RESET.
- O flip-flop síncrono não possui saídas complementares.
- O flip-flop assíncrono não possui saídas complementares.

6.3 – Um flip-flop RS gatilhado:

- É síncrono.
- É assíncrono.
- Possui uma porta de entrada.
- Todas as afirmações estão corretas.

6.4 – Em um flip-flop JK um 1 na entrada K durante a transição do relógio resultará em uma saída de:

- $Q = 0$.
- $Q = 1$.
- Q = reversão de estados.
- Não é possível determinar.

6.5 – A saída Q de um flip-flop JK é 1. As entradas J e K são levadas para 0 e é dado um pulso de relógio. Então o flip-flop:

- Reverte o estado.
- $Q = 0$.
- Não muda de estado.
- Fica em um estado proibido.

6.6 – A saída Q de um flip-flop JK é 1. As entradas J e K são levadas para 1 e é dado um pulso de relógio. Então o flip-flop:

- Não é possível determinar.
- Não muda de estado.
- Fica em um estado proibido.
- Reverte o estado.

6.7 – A saída Q de um flip-flop JK é 1. A entrada J é levada para 0, a entrada K é levada para 1, é dado um pulso de relógio, a entrada \overline{CLEAR} é 1 e a entrada \overline{PRESET} é 0. Então o flip-flop:

- $Q = 0$ porque $J = 0$ e $K = 1$.
- $Q = 0$ porque $\overline{CLEAR} = 1$.
- Não muda de estado pois \overline{CLEAR} e \overline{PRESET} não são 1.
- Permanece com $Q = 1$ porque $\overline{\overline{PRESET}} = 0$.