

Arquitetura e Organização de Computadores

Turma C - 2014/02

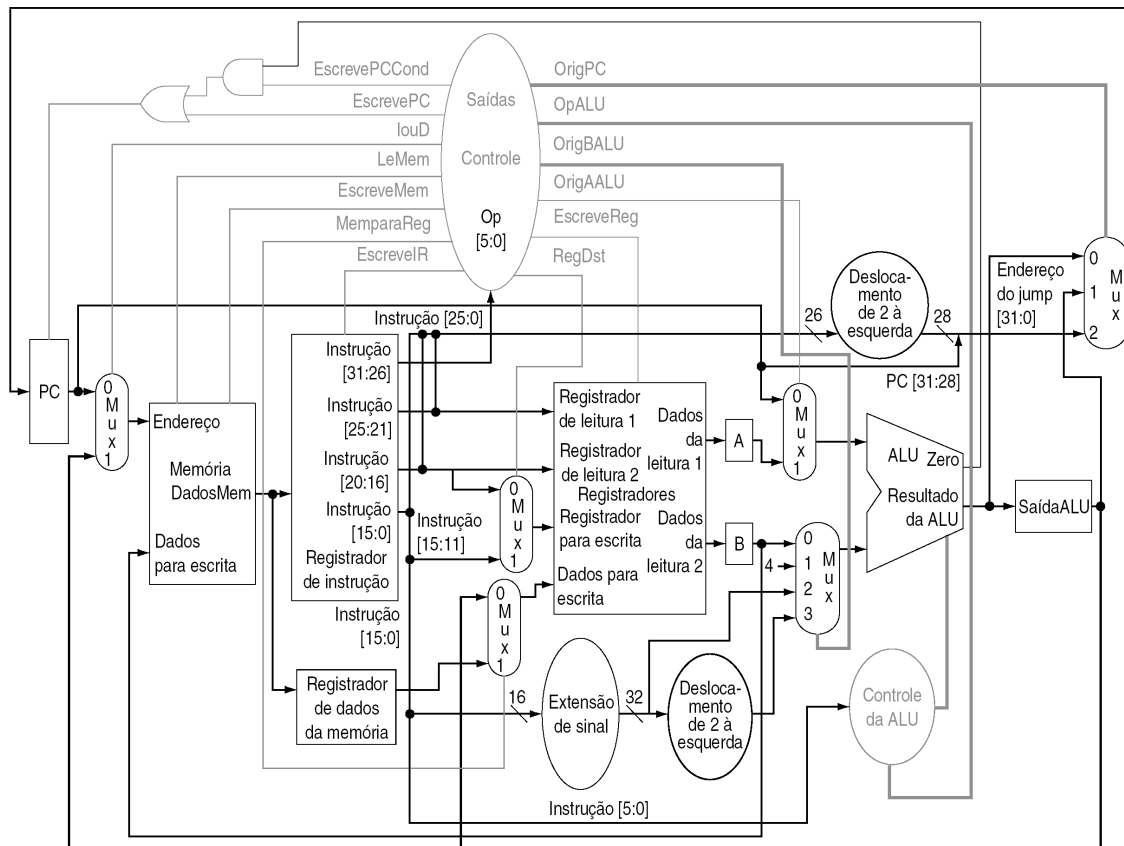
Trabalho 5

Montagem de um Processador MIPS Multiciclo

Objetivo: montar e simular uma versão do processador MIPS multiciclo.

Descrição:

Neste trabalho deve-se instanciar o conjunto de módulos fornecidos na plataforma Moodle que descrevem uma versão elementar do MIPS multiciclo, ilustrado na figura abaixo. Deve-se interligar todos os módulos relativos à parte operativa e à parte de controle.



O diagrama acima não suporta a execução de todas as instruções do MIPS. O conjunto de instruções implementado no código disponibilizado é o seguinte:

- LW, SW, ADD, SUB, AND, OR, NOR, XOR, SLT, J, BEQ, BNE

Analisar o código VHDL fornecido para verificar se todas estas instruções podem ser executadas, considerando tanto a parte de controle quanto a parte operativa. O código é uma implementação de referência.

O processador deve ser simulado no ModelSim e, opcionalmente, implementado em FPGA. Neste caso, para verificação de seu funcionamento, deve-se observar o PC, o RI, o RDM e a saída da ULA através dos mostradores de 7 segmentos.

Para entrada e saída de dados deve-se utilizar:

- botão para acionar o relógio
- mostrador de 7 segmentos para exibir conteúdo de RI e SaidaALU

O PC deve ter 32 bits. A memória tem apenas 256 palavras de 32 bits, de forma que apenas 8 bits do PC devem ser utilizados no seu endereçamento. Para executar um programa gerado pelo MARS, devem ser carregados o código e os dados do programa. Os endereços da área de dados devem ser mapeados para a região de memória que começa no endereço 128 no FPGA. Assim, o endereço de dado deve ser gerado concatenando os bits [8 downto 2] do registrador de saída da ULA com o bit '1' na posição mais significativa: '1' & alu_out(8 downto 2).

Um arquivo comprimido com todos os módulos VHDL do MIPS multiciclo é disponibilizado no Moodle. O código MIPS a ser carregado na memória está contido no arquivo **mem.mif**.

Para exibição dos dados nos mostradores, utilizar os acionadores de display de 7 segmentos feito na primeira aula de laboratório.

A verificação do processador consistirá na execução de programas gerados a partir do MARS.

Entrega: 01 de dezembro. Entregar o código VHDL gerado para simulação, incluindo o testbench do ModelSim.