

Manual de Uso do MIPS na FPGA

Design de Computadores: Projeto 2 - Entrega Intermediária

Gabriel Hermida e Pedro Civita

Conceito Desejado: A+, Todas as instruções, *A* e *B*, implementadas, *sem* instruções extra.

Introdução

Este manual descreve como utilizar o projeto do processador MIPS desenvolvido para o Projeto 2 da disciplina "Design de Computadores" do Insper. O manual aborda as principais funcionalidades, os controles disponíveis na FPGA e como carregar e utilizar o arquivo de memória (ROMcontent.mif).

Controles na FPGA

KEY0:

- Ao pressionar a KEY0, você avança um ciclo de clock no processador MIPS.

Switch 0 (SW0):

- O Switch 0 controla qual valor será exibido nos displays de 7 segmentos (HEX0 - HEX5).
 - Se o Switch 0 estiver na posição alta (para cima), os displays mostrarão a saída da ULA.
 - Se o Switch 0 estiver na posição baixa (para baixo), os displays mostrarão o valor do PC.

Instruções de Uso

1. Configuração Inicial:

- Certifique-se de que a FPGA está corretamente configurada e que o arquivo de memória (ROMcontent.mif) foi carregado.

2. Carregar o Arquivo de Memória:

- O arquivo ROMcontent.mif deve ser utilizado para inicializar a memória ROM do processador MIPS.
- Este arquivo contém o conjunto de instruções que serão executadas pelo processador.

3. Operação:

- Utilize a KEY0 para avançar o ciclo de clock e observar o funcionamento do processador.
- Utilize o SW0 para alternar a visualização entre a saída da ULA e o valor do PC nos displays de 7 segmentos.

Arquivo ROMcontent.mif

-- Copyright (C) 2017 Intel Corporation. All rights reserved.

-- Your use of Intel Corporation's design tools, logic functions

-- and other software and tools, and its AMPP partner logic

-- functions, and any output files from any of the foregoing

-- (including device programming or simulation files), and any

-- associated documentation or information are expressly subject

-- to the terms and conditions of the Intel Program License

-- Subscription Agreement, the Intel Quartus Prime License Agreement,

-- the Intel FPGA IP License Agreement, or other applicable license

-- agreement, including, without limitation, that your use is for
-- the sole purpose of programming logic devices manufactured by
-- Intel and sold by Intel or its authorized distributors. Please
-- refer to the applicable agreement for further details.

WIDTH=32;

DEPTH=64;

ADDRESS_RADIX=DEC;

DATA_RADIX=HEX;

CONTENT BEGIN

-- Valores iniciais no banco de registradores:

-- \$t0 (#8) := 0x00

-- \$t1 (#9) := 0x0A

-- \$t2 (#10) := 0x0B

-- \$t3 (#11) := 0x0C

-- \$t4 (#12) := 0x0D

-- \$t5 (#13) := 0x16

0 : AC090008; --sw \$t1 8(\$zero) (m(8) := 0x0000000A)

1 : 8C080008; --lw \$t0 8(\$zero) (\$t0 := 0x0000000A)

2 : 012A4022; --sub \$t0 \$t1 \$t2 (\$t0 := 0xFFFFFFFF)

3 : 012A4024; --and \$t0 \$t1 \$t2 (\$t0 := 0x0000000A)

4 : 012A4025; --or \$t0 \$t1 \$t2 (\$t0 := 0x0000000B)

5 : 3C08FFFF; --lui \$t0 0xFFFF (\$t0 := 0xFFFF0000)

6 : 2128000A; --addi \$t0 \$t1 0x000A (\$t0 := 0x00000014)

7 : 31080013; --andi \$t0 \$t0 0x0013 (\$t0 := 0x00000010)

8 : 35880007; --ori \$t0 \$t4 0x0007 (\$t0 := 0x0000000F)

9 : 2928FFFF; --slti \$t0 \$t1 0xFFFF (\$t0 := 0x00000000)

10 : 010A4020; --add \$t0 \$t0 \$t2 (\$t0 := 0x0000000B)
--segunda execução (\$t0 := 0x00000016)

11 : 150DFFE; --bne \$t0 \$t5 0xFFFF (pc := #10)
--segunda execução (pc := #12)

12 : 012A402A; --slt \$t0 \$t1 \$t2 (\$t0 := 0x00000001)

13 : 010A4020; --add \$t0 \$t0 \$t2 (\$t0 := 0x0000000C)
--segunda execução (\$t0 := 0x00000017)

14 : 110BFFE; --beq \$t0 \$t3 0xFFFF (pc := #13)
--segunda execução (pc := #15)

15 : 0C00001F; --jal 0x00001F (pc := #31)

17 : 08000000; --j 0x000000 (pc := #0)

31 : 03E00008; --jr \$ra (pc := #17)

END;

Conclusão

Este manual fornece uma visão geral básica de como utilizar o processador MIPS single-cycle desenvolvido para a entrega intermediária do Projeto 2. As principais funcionalidades estão relacionadas ao controle do clock e à exibição de informações nos displays de 7 segmentos.