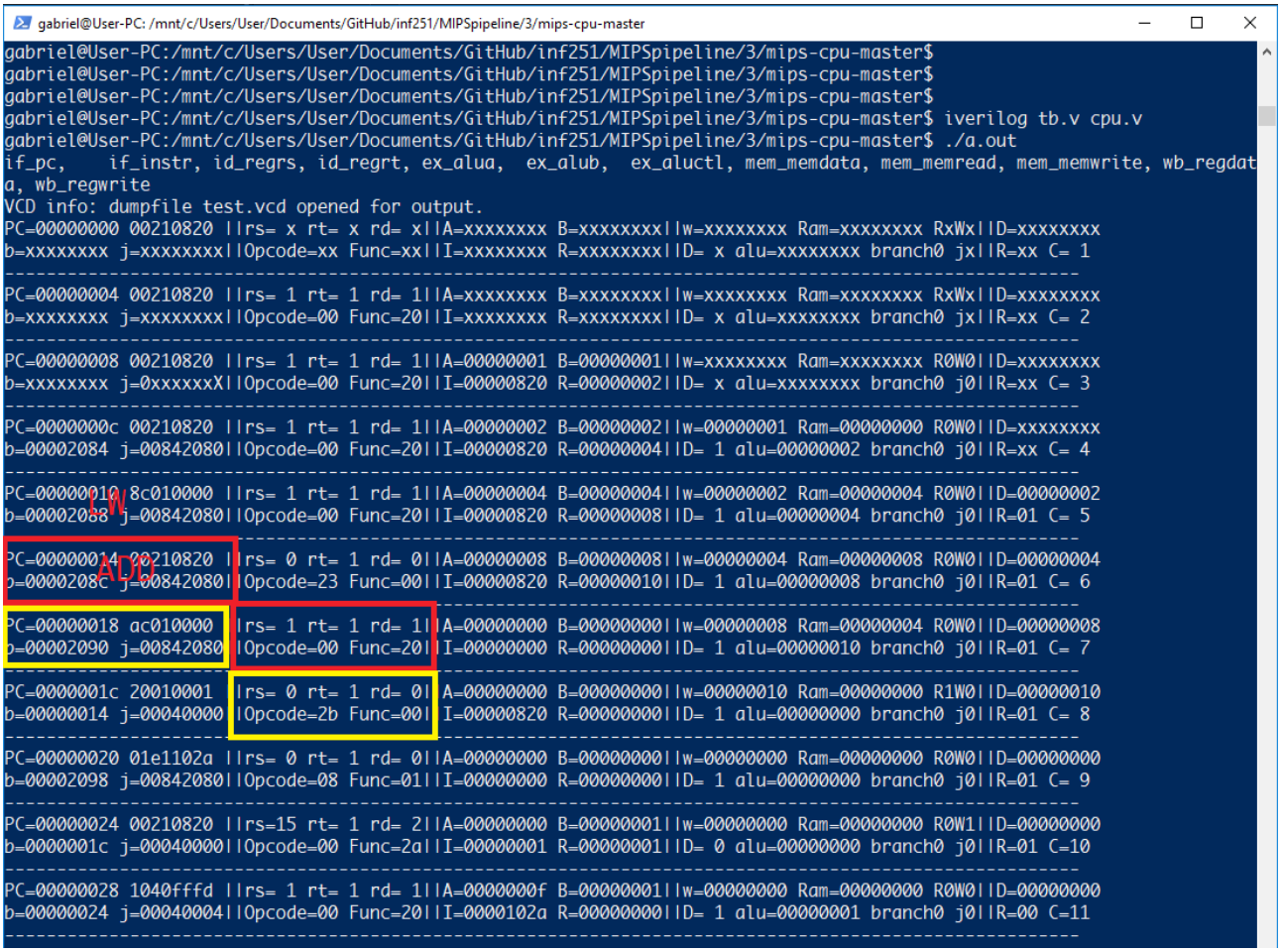
DOCUMENTAÇÃO

Para remover o hazard, apenas definimos que nunca ocorrerá o stall_s1_s2.

```
always @(*) begin
  if (memread_s3 == 1'b1 && ((rt == rt_s3) || (rs == rt_s3)) ) begin
    stall_s1_s2 <= 1'b0;  // no stall
  end else
    stall_s1_s2 <= 1'b0;  // no stall
end
```

Com isso, mesmo que a caixinha de hazard detecte esse caso, ela não irá alterar a sequencia do pipeline, simulando assim a remoção/ausencia do hazard.



A partir da imagem podemos concluir que, de fato, não ocorre o stall_s1_s2 pois após a instrucao de LW a instrucao de ADD não fica travada, e o pipeline continua sua execução normalmente.

Exemplo gerado com o arquivo “addlwswsltbeq.txt”.