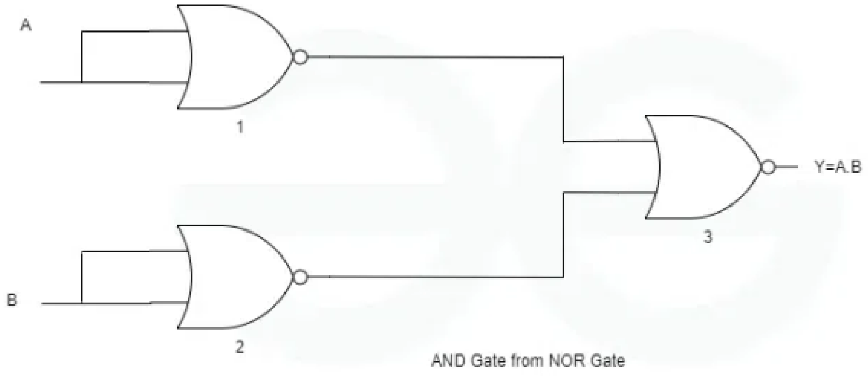
- Scrivere EXOR usando gli operatori AND, OR e NOT

$$A \oplus B = (A \cdot \neg B) + (\neg A \cdot B)$$

- Disegnare il circuito per AND usando solo porte NOR e scriverne l'espressione logica



The output of first two NOR gates

Y_1=A' and Y_2=B'

The output of first third NOR gate

Y=(A'+B')'=(A')'.(B')'

∴ Y=A.B

- Con quale porta logica si può effettuare la complementazione di una variabile binaria usando un'altra variabile binaria con input uguale ad 1

La porta XOR (o EXOR) ha la proprietà di produrre un'uscita alta (1) se i due input sono diversi, e un'uscita bassa (0) se i due input sono uguali. Questo comportamento può essere utilizzato per complementare una variabile binaria.

Sia A la variabile da complementare e B la variabile di controllo. La porta XOR funziona come segue:

- Se $B = 0$: L'uscita sarà uguale all'input A, perché $A \oplus 0 = A$.
- Se $B = 1$: L'uscita sarà il complemento di A, perché $A \oplus 1 = \neg A$.

Schema della porta XOR:

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

2. A) Quanti input ha un demultiplexer con 3 input di "controllo"?
B) Quanti intput ha un demultiplexer con n input di "controllo"?

$$1\ (\text{dati}) + 3\ (\text{controllo}) = 4 \text{ input totali}$$

$$1\ (\text{dati}) + n\ (\text{controllo}) = n + 1 \text{ input totali}$$

3. Disegnare il circuito logico di un comparatore di due word di 4 bit ciascuna e spiegarne l'output

Un comparatore di grandezza confronta due numeri binari e determina la relazione tra di loro. In questo caso, consideriamo due word di 4 bit ciascuna, indicate come $A = A_3A_2A_1A_0$ e $B = B_3B_2B_1B_0$.

Un comparatore di 4 bit ha tre uscite principali:

1. $A = B$: output è 1 se A è uguale a B.
2. $A > B$: output è 1 se A è maggiore di B.
3. $A < B$: output è 1 se A è minore di B.

```
A3 ────┬──────────┐
   │    │
   │    │
B3 ──┐ │    ┌┘
  ││    │
  ││    │
  AND    AND
  ││    │
  │└─────┬───┘
  │   │
A2 ──┴────┐ │
    ││
    ││
B2 ──┐   AND AND
  │  ││
  │  ││
  AND  AND AND
```

```
   |    | |
   |    | |
A1 ——┴—┐ | |
     | | |
     | | |
B1 —┐  AND AND AND
   |  |  | |
   |  |  | |
  AND AND AND AND
   | | | | |
   | | | | |
A0 —┴—┐ | | |
    || | |
    || | |
B0 —┐ AND AND AND AND
   | | | | | |
   | | | | | |
   └——┴——┴——┴——┴—> (Uguaglianza: A = B)
   └——┴——┴——┴——┴—> (A > B)
   └——┴——┴——┴——┴—> (A < B)
```

https://www.geeksforgeeks.org/magnitude-comparator-in-digital-logic/

4. Scrivere tabella di verità e circuito logico di un sommatore completo, indicando gli input con A, B e C_{in} (quest'ultimo per il riporto in entrata) e gli output con S (per la somma) e C_{out} (per il riporto in uscita) (

https://cvbl.iiita.ac.in/sks/coa-files/tutorial/Tutorial-5.pdf

5. Spiegare <u>brevemente</u> cos'è ed a cosa serve un multiplexer

6. **A)** Quali sono i problemi del circuito logico latch S-R e <u>come</u> vengono risolti dal circuito latch D?
   B) Cosa si intende per "trasparenza"
   C) In quale tipo di circuito <u>non</u> si presenta la trasparenza? Motivare la risposta spiegando come funziona questo tipo di circuito

7. Si supponga di dover utilizzare il 2°, il 5° e il 7° bit (<u>contando da sinistra</u>) di un byte di dato:
   A) Quale disposizione di bit di maschera dovrà essere impiegata?
   B) Cosa si ottiene mascherando in questo modo ad esempio il byte di dato 11011010?

5. Un multiplexer è un dispositivo che seleziona uno tra diversi segnali di ingresso e lo instrada verso un'unica uscita. Serve a combinare più segnali su un singolo canale, riducendo il numero di linee necessarie per la trasmissione dei dati.

6.

- A) I problemi del circuito logico latch S-R includono la condizione proibita quando entrambi gli ingressi sono attivi e l'ambiguità dell'uscita in alcune situazioni. Il latch D risolve questi problemi utilizzando un singolo ingresso D e un ingresso di clock.

- B) Per "trasparenza" si intende la caratteristica di alcuni circuiti sequenziali di permettere ai cambiamenti dell'ingresso di influenzare direttamente l'uscita quando il segnale di abilitazione è attivo.

- C) I circuiti flip-flop edge-triggered non presentano trasparenza. Questi circuiti cambiano stato solo in corrispondenza di un fronte (salita o discesa) del clock, mantenendo l'uscita stabile tra un fronte e l'altro.

7.

- A) Per utilizzare il 2°, il 5° e il 7° bit (contando da sinistra) di un byte, si dovrà impiegare una maschera di bit.

- B) Mascherando in questo modo il byte 11011010, si ottiene: 10010000. Il processo mantiene i bit nelle posizioni 2, 5 e 7 (contando da sinistra) e azzera gli altri.

8. Applicando le proprietà e i teoremi dell'algebra booleana semplificare le seguenti espressioni booleane, indicando le operazioni per ogni passaggio, e disegnarne i corrispondenti circuiti logici:

A) $\overline{A}\cdot\overline{B}\cdot C + A\cdot\overline{B} + \overline{A}\cdot\overline{B} + A\cdot B =$ (6

B) $(A + (B\cdot\overline{A}\cdot\overline{B}))\cdot(\overline{\overline{A}+\overline{B}}) =$ (7

C) $\overline{A}\cdot\overline{B}\cdot\overline{C} + B\cdot\overline{C} + A\cdot\overline{B\cdot C} =$ (8 https://www.emathhelp.net/en/calculators/discrete-mathematics/boolean-algebra-calculator/?f=%28%7EA%E2%88%A7B%E2%88%A7C%29%E2%88%A8%28A%E2%88%A7%7EB%29%E2%88%A8%28%7EA%E2%88%A7%7EB%29%E2%88%A8%28A%E2%88%A7B%29

Un esempio risolto.