Unità 3

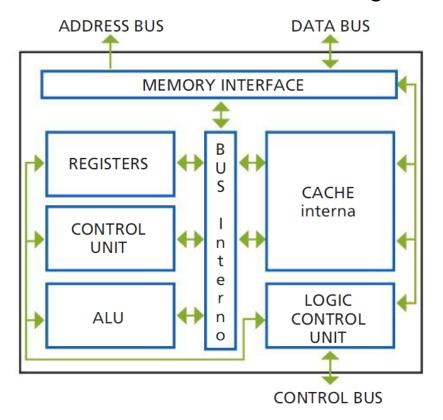
Il microprocessore



L'architettura della CPU (1)

L'elemento fondamentale di un sistema di elaborazione è la **CPU** (*Central Processing Unit*).

La struttura interna della CPU è mostrata nella figura.

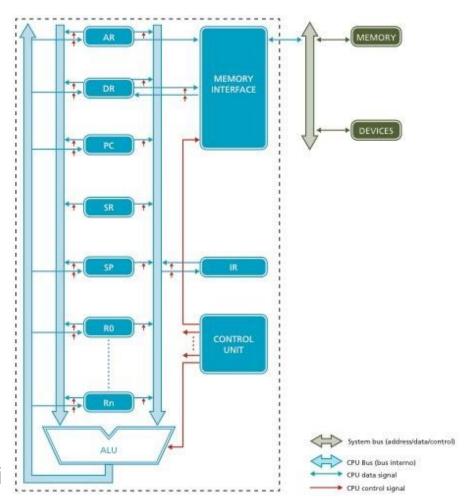


L'architettura della CPU (2)

La CPU dialoga con le memorie e con le periferiche attraverso il **system bus.**

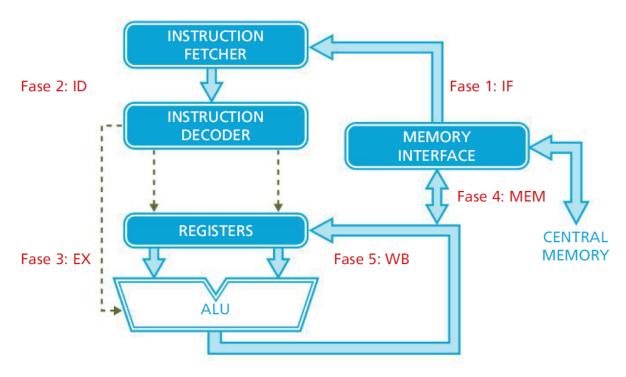
La CPU utilizza una serie di **registri** per eseguire il suo compito.

Architettura di una CPU con i registri fondamentali



Il ciclo macchina (1)

La CPU esegue ogni istruzione in un ciclo macchina (o fetch-execute cycle).



Schema a blocchi del ciclo macchina

Il ciclo macchina (2)

Le **fasi del ciclo sono 5** e si ripetono fino al termine delle istruzioni macchina del programma:

- IF (Instruction Fetch);
- ID (Instruction Decode);
- EX (Execution);
- MEM (Memory);
- WB (Write Back).

PC← indirizzo prima istruzione Fase 1: IF IR ← istruzione PC ← PC + 1 DECODE ci sono Fase 2: ID R0, ..., Rn ← DR EXECUTE Fase 3: EX Fase 4: MEM DR ← risultato esecuzione Fase 5: WB SR ← settaggio dei flag di stato fine istruzioni?

Flowchart del ciclo mad

La tecnica pipelining (1)

Il **pipelining** è una tecnica che consente di elaborare in parallelo più istruzioni.

Con la tecnica pipelining più unità funzionali sono usate per eseguire un'istruzione macchina, formando una conduttura o pipeline.

istr1 IF ID EX MEM WB istr2 IF ID EX MEM WB istr3 IF ID EX MEM WB istr4 IF ID EX MEM WB istr5 IF ID EX MEM WB istr6 IF ID EX MEM WB istr7 IF ID EX MEM WB istr8 IF ID EX MEM WB 1 2 3 4 5 6 7 8 9 10 11 12 fasi																		tempo
istr2 IF ID EX MEM WB istr3 IF ID EX MEM WB istr4 IF ID EX MEM WB istr5 IF ID EX MEM WB istr6 IF ID EX MEM WB istr7 IF ID EX MEM WB			1		2		3		4	5	6	7	8	9	10	11	12	fasi
istr2 IF ID EX MEM WB istr3 IF ID EX MEM WB istr4 IF ID EX MEM WB istr5 IF ID EX MEM WB istr6 IF ID EX MEM WB	istr8												IF	ID	EX	MEM	WB	
istr2 IF ID EX MEM WB istr3 IF ID EX MEM WB istr4 IF ID EX MEM WB istr5 IF ID EX MEM WB	istr7											IF	ID	EX	MEM	WB		
istr2 IF ID EX MEM WB istr3 IF ID EX MEM WB istr4 IF ID EX MEM WB	istr6 IF												EX	MEM	WB			
istr2 IF ID EX MEM WB istr3 IF ID EX MEM WB	istr5									IF	ID	EX	MEM	WB				
istr2 IF ID EX MEM WB	istr4							I	F	ID	EX	MEM	WB					
	istr3						IF		ID	EX	MEM	WB						
istr1 IF ID EX MEM WB	istr2				IF		ID	E	EX	MEM	WB							
	istr1	I	F		ID		EX	M	IEM	WB								

La tecnica pipelining (2)

La tecnica pipelining funziona molto bene se non vi sono legami troppo stretti tra due istruzioni.

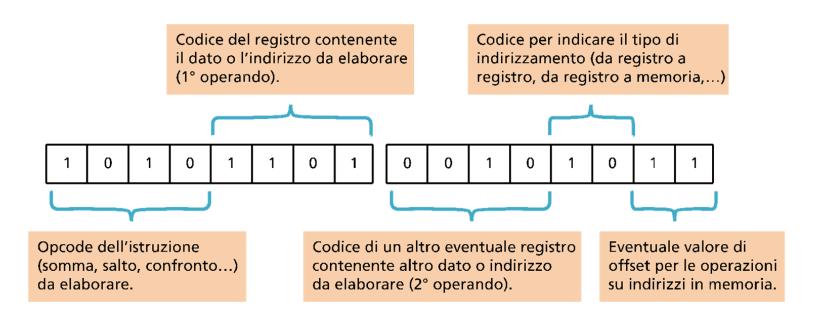
Un altro problema è dovuto ai **salti di esecuzione**: blocchi di istruzioni che non sono eseguite se non sono verificate determinate condizioni.

Per ovviare a questi problemi sono adottate diverse soluzioni:

- utilizzare i cosiddetti registri a doppia porta;
- utilizzare più pipeline autonome in parallelo (tecnica superscalare);
- introdurre dei circuiti che si occupano di analizzare i possibili salti (unità di predizione delle diramazioni);
- suddividere l'esecuzione di un'operazione in fasi elementari (20-30) che possono essere eseguite molto rapidamente aumentando la frequenza del clock.

I set di istruzioni macchina

Il **linguaggio macchina** rappresenta l'insieme delle istruzioni macchina che la CPU è in grado di comprendere ed eseguire.



Esempio di formato di un'istruzione macchina