

Aspetti Elettronici delle Porte Logiche

Corrado Santoro

Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



Corso di Architettura degli Elaboratori

Ritardo di Propagazione

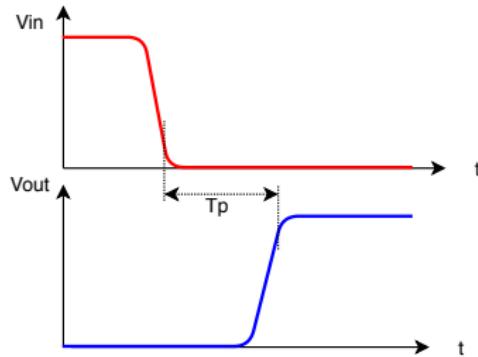
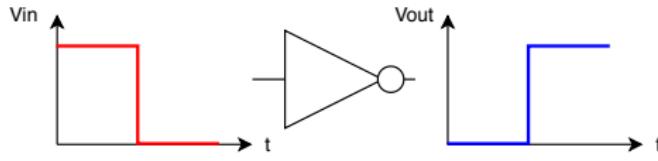
Ritardo di Propagazione

- Una porta logica è realizzata tramite una rete di **transistor MOS** che operano da **interruttori elettronici comandati**
- A seguito di un comando elettrico, il transistor MOS **commuta**, cambiando stato da ON a OFF oppure da OFF a ON
- Tuttavia la commutazione **non avviene istantaneamente** ma richiede un certo tempo (seppur piccolo)
- Pertanto, in una porta logica, una variazione di stato su uno o più ingressi richiede un certo tempo per presentarsi in uscita
- Tale tempo è denominato **tempo (o ritardo) di propagazione**, ed è dell'ordine dei **nanosecondi** 10^{-9} s

Ritardo di Propagazione

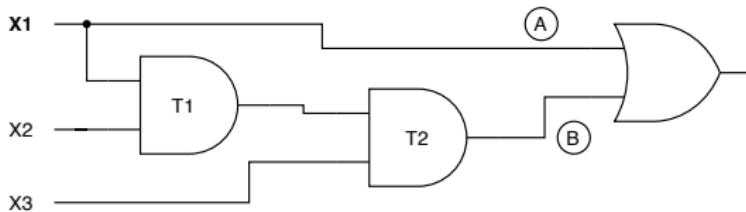
Ritardo di Propagazione in un invertitore

- I “fronti” (variazioni 1-to-0, 0-to-1) non sono mai perfettamente verticali
- Il segnale si propaga in uscita dopo il **tempo di propagazione T_p**



Problemi del Ritardo di Propagazione

- Nel circuito in figura, una variazione su X_1 arriva:
 - **immediatamente** al collegamento A;
 - dopo $T_1 + T_2$ al collegamento B.
- La porta OR si trova a operare con variazioni sfasate nel tempo e questo potrebbe generare comportamenti indesiderati
- E' sempre bene cercare di **bilanciare** le reti in modo che i rami dei circuiti all'ingresso di una porta logica finale non abbiano tempi di propagazione troppo diversi tra loro.



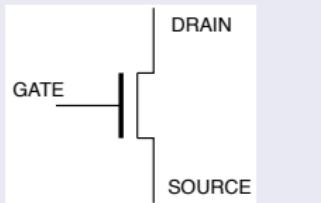
Transistor MOS

Transistor MOS

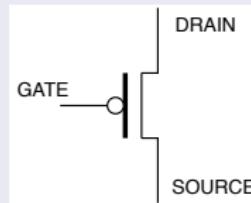
Transistor MOS

- Un transistor MOS (Metal-Oxide-Semiconductor) è un componente elettronico dotato di tre collegamenti denominati: **Gate, Source, Drain**
- Esso agisce da interruttore elettronico: il **Source** e **Drain** vengono **“connessi”** (collegati insieme) o meno sulla base del **valore logico** applicato al **Gate**
- Esistono due tipi di MOS: **NMOS** e **PMOS**; essi si comportano in modo complementare

Rappresentazione di un NMOS



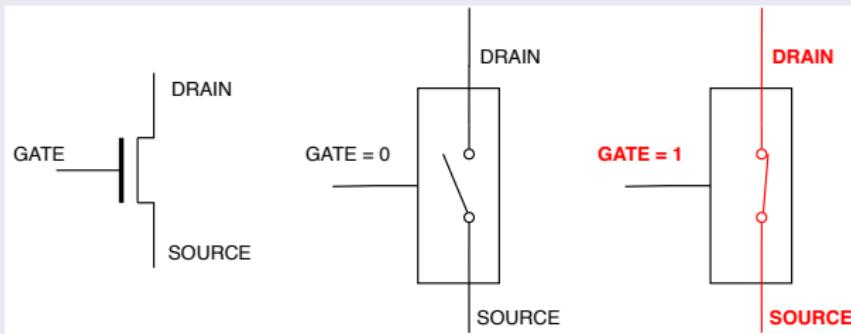
Rappresentazione di un PMOS



Transistor NMOS

In un transistor **NMOS**, il collegamento tra Drain e Source:

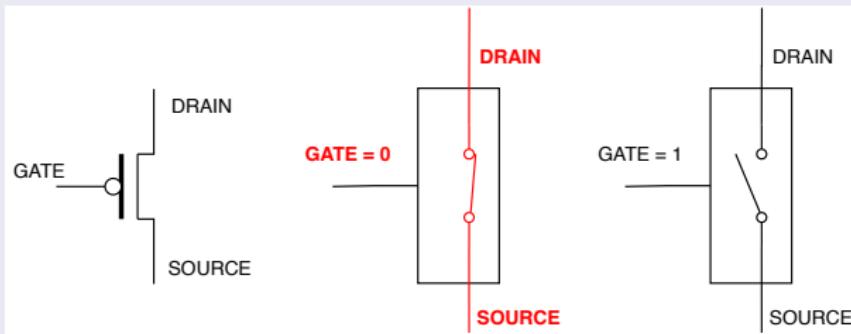
- Si “apre” se il Gate è allo stato logico 0
- Si “chiude” se il Gate è allo stato logico 1



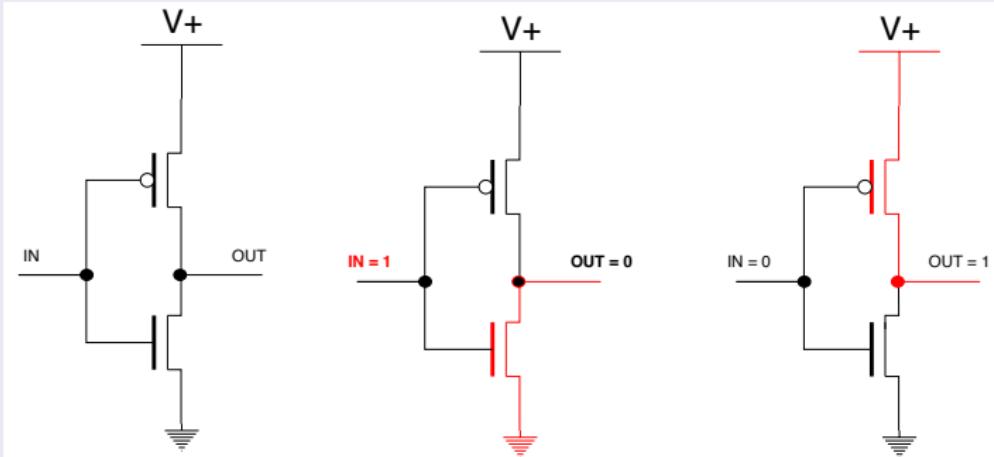
Transistor PMOS

In un transistor **PMOS**, il collegamento tra Drain e Source:

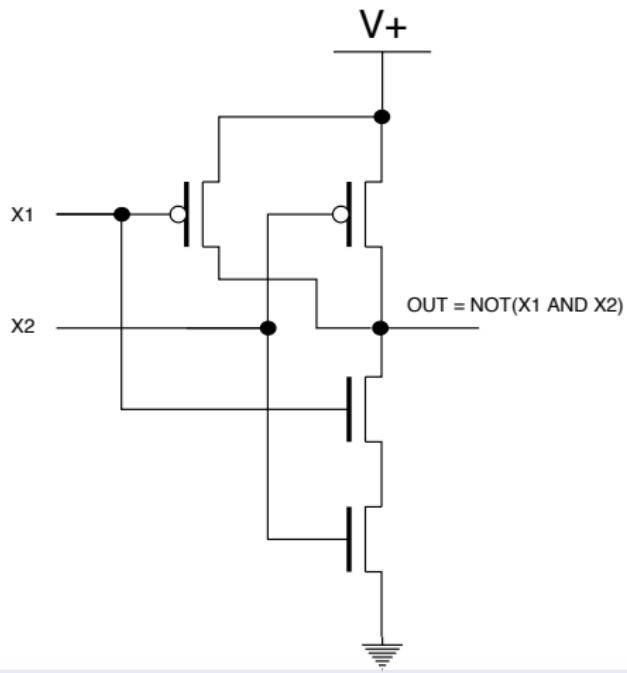
- Si “chiude” se il Gate è allo stato logico 0
- Si “apre” se il Gate è allo stato logico 1



Esempio di Inverter a MOS

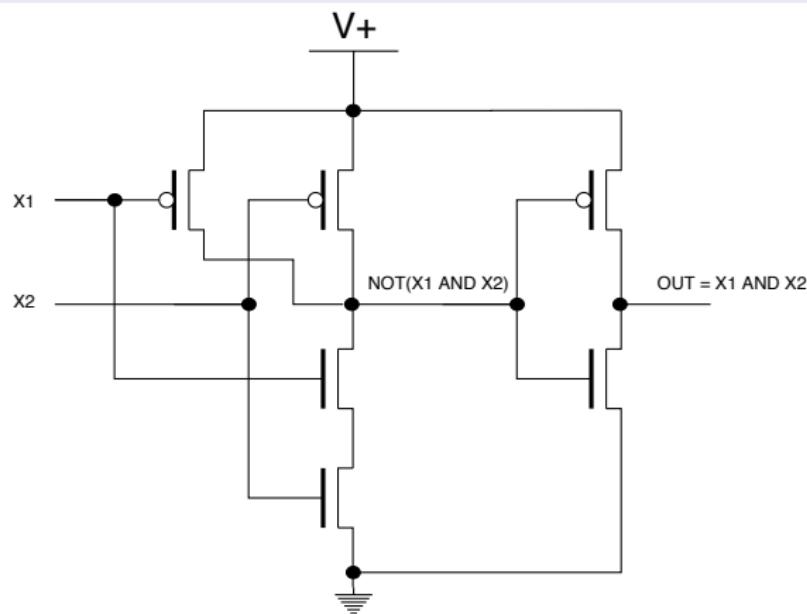


Esempio di Porta NAND a MOS



Esempio di Porta AND a MOS

NAND + NOT



Aspetti Elettronici delle Porte Logiche

Corrado Santoro

Dipartimento di Matematica e Informatica

santoro@dmi.unict.it



Corso di Architettura degli Elaboratori