

INSTITUTO TECNOLÓGICO DE COSTA RICA

I SEMESTRE 2004

ESCUELA DE INGENIERIA EN ELECTRÓNICA

CURSO: EL-5408 CONTROL AUTOMÁTICO

MEDIO: EJERCICIO

PROF: ING. EDUARDO INTERIANO

Ejercicio 3

Problema: Para el compensador K(s) que se muestra a continuación, sintetice, dibuje y

dimensione un circuito analógico para implementarlo electrónicamente y que

cumpla las siguientes condiciones:

Impedancia de entrada: $10k\Omega$

Compensado contra los efectos de las corrientes de offset

El efecto neto sea NO inversor

$$K(s) = 17 \cdot \frac{(s+1.5)}{(s+6)}$$

Asuma que tiene condensadores con una tolerancia de \pm 20% y solo de los valores siguientes y use uno de ellos para Cq:

a) 10µF

b) 33μF

b) 47μFc) 68μF

d) 100µF

EIS/eis 2004

Solución:

Calculamos el valor mínimo para Cq

$$Cq \ge 4 \cdot \frac{(p_0 - z_0)}{K_C R_0 z_0^2}$$

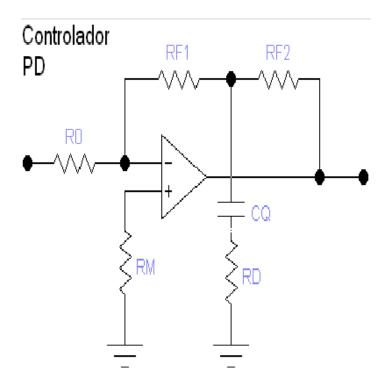
$$Cq \ge 4 \cdot \frac{(6 - 1.5)}{17 * 10000 * 1.5^2} = 47.05 \ \mu\text{F}$$

Escogemos el condensador Cq de 68 μF ; porque debido a la tolerancia uno de 47 μF -20% se sale de los valores permitidos Cq \geq 47 μF

y entonces:

$$R0 = 10000 \Omega$$

 $RF2 = 33042 \Omega$
 $RF1 = 9457 \Omega$
 $Rd = 2450 \Omega$
 $Rm = 8095 \Omega$



Solución para el problema 3

A la salida de la figura anterior debe agregarse un inversor con ganancia unitaria para producir el efecto total de NO inversor.